(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. 7
G02F 1/136

(11) 공개번호 특2003-0016051
(43) 공개일자 2003년02월26일

(21) 출원번호 10-2001-0049963
(22) 출원일자 2001년08월20일

(71) 출원인 삼성전자주식회사
경기도 수원시 팔달구 매탄3동 416번지

(72) 발명자 송진호
경기도평택시이충동미주3차아파트103동304호
정창오
경기도수원시팔달구망포동벽산아파트111동1001호

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 액정 표시 장치용 박막 트랜지스터 기판 및 그 제조 방법

요약

먼저, 알루미늄을 포함하는 게이트 배선용 도전막을 적층하고 그 상부에 연속적으로 질소를 이용한 반응성 스퍼터링으로 알루미늄 및 질소를 포함하는 저저항 도전막을 적층하고 패터닝하여 기판 위에 게이트선, 게이트 전극 및 게이트 패드를 포함하는 가로 방향의 게이트 배선을 형성한다. 다음, 게이트 절연막을 형성하고, 그 상부에 반도체층 및 저항 접촉층을 차례로 형성한다. 이어, 알루미늄 계열의 데이터 배선용 도전 물질 및 저저항 도전막을 차례로 연속하여 적층하고 패터닝하여 게이트선과 교차하는 데이터선, 소스 전극, 드레인 전극 및 데이터 패드를 포함하는 데이터 배선을 형성한다. 이어, 보호막을 적층하고 패터닝하여 드레인 전극, 게이트 패드 및 데이터 패드를 각각 드러내는 접촉 구멍을 형성한다. 이어, IZO를 적층하고 패터닝하여 저저항 도전막을 경유하여 드레인 전극, 게이트 패드 및 데이터 패드와 각각 전기적으로 연결되는 화소 전극, 보조 게이트 패드 및 보조 데이터 패드를 형성한다.

대표도

도 1

색인어

알루미늄, IZO, 접촉저항, 질소, 반응성스퍼터링

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판이고,

도 2는 도 1에 도시한 박막 트랜지스터 기판을 II - II 선을 따라 잘라 도시한 단면도이고,

도 3은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 공정에서 첫 번째 단계를 도시한 단면도이고,

도 4a, 5a, 7a 및 8a는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 중간 과정에서의 박막 트랜지스터 기판의 배치도이고,

도 4b는 도 4a에서 IVb - IVb' 선을 따라 절단한 단면도이고,

도 5b는 도 5a에서 Vb - Vb' 선을 따라 잘라 도시한 도면으로서 도 4b의 다음 단계를 도시한 단면도이고,

도 6은 도 5a에서 Vb - Vb' 선을 따라 잘라 도시한 도면으로서 도 5b의 다음 단계를 도시한 단면도이고,

도 7b는 도 7a에서 VIIb - VIIb' 선을 따라 잘라 도시한 도면으로서 도 6의 다음 단계를 도시한 단면도이고,

도 8b는 도 8a에서 VIIIb - VIIIb' 선을 따라 잘라 도시한 도면으로서 도 7b의 다음 단계를 도시한 단면도이고,

도 9는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고,

도 10 및 도 11은 도 9에 도시한 박막 트랜지스터 기판을 X - X' 선 및 XI - XI'선을 따라 잘라 도시한 단면도이고,

도 12a는 본 발명의 제2 실시예에 따라 제조하는 첫 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 12b 및 12c는 각각 도 11a에서 XIb - XIb' 선 및 XIc - XIc' 선을 따라 잘라 도시한 단면도이며,

도 13a 및 13b는 각각 도 12a에서 XIIb - XIIb' 선 및 XIIc - XIIc' 선을 따라 잘라 도시한 단면도로서, 도 12b 및 도 12c 다음 단계에서의 단면도이고,

도 14a는 도 13a 및 13b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 14b 및 14c는 각각 도 14a에서 XIVb - XIVb' 선 및 XIVc - XIVc' 선을 따라 잘라 도시한 단면도이며,

도 15a, 16a, 17a와 도 15b, 16b, 17b는 각각 도 14a에서 XIVb - XIVb' 선 및 XIVc - XIVc' 선을 따라 잘라 도시한 단면도로서 도 14b 및 14c 다음 단계들을 공정 순서에 따라 도시한 것이고,

도 18a는 도 17a 및 17b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 18b 및 18c는 각각 도 18a에서 XVIIIb - XVIIIb' 선 및 XVIIIc - XVIIIc' 선을 따라 잘라 도시한 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치용 박막 트랜지스터 기판 및 그 제조 방법에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.

액정 표시 장치 중에서도 현재 주로 사용되는 것은 두 기판에 전극이 각각 형성되어 있고 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 가지고 있는 액정 표시 장치이며, 박막 트랜지스터는 두 기판 중 하나에 형성되는 것이 일반적이다.

박막 트랜지스터가 형성되어 있는 기판은 마스크를 이용한 사진 식각 공정을 통하여 제조하는 것이 일반적이다. 이때, 생산 비용을 줄이기 위해서는 마스크의 수를 적게 하는 것이 바람직하다.

한편, 신호 지연을 방지하기 위하여 배선은 저저항을 가지는 알루미늄(Al) 또는 알루미늄 합금(Al alloy) 등과 같은 저저항 물질을 사용하는 것이 일반적이다. 그러나, 액정 표시 장치에서와 같이 화소 전극으로 사용되는 ITO(indium tin oxide)를 사용하여 패드부의 신뢰성을 확보하는 경우 알루미늄 또는 알루미늄 합금과 ITO의 접촉 특성이 좋지 않아 몰리브덴 계열 또는 크롬 등의 다른 금속을 개재하고 패드부의 알루미늄 또는 알루미늄 합금은 제거해야 하므로 제조 공정이 복잡해진다. 이러한 문제점을 해결하기 위해 화소 전극을 투명한 도전 물질인 IZO (indium zinc oxide)를 사용하고 이를 패드부에 사용하여 패드부의 신뢰성을 확보하는 기술이 개발되었다. 하지만, 패드부를 포함하는 접촉부의 접촉 저항이 증가하게 되어 액정 표시 장치의 표시 특성이 저하되는 문제점이 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 저저항 물질로 이루어진 신호 배선을 가지는 동시에 접촉부의 신뢰성을 확보할 수 있는 액정 표시 장치용 박막 트랜지스터 기판을 제조하는 방법을 제공하는 것이다.

또한, 본 발명의 다른 과제는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법을 단순화하는 것이다.

발명의 구성 및 작용

이러한 문제점을 해결하기 위하여 저저항을 배선을 형성하기 위해 알루미늄 또는 알루미늄 합금을 적층하여 배선용 박막을 형성하고, 연속적으로 질소 기체를 이용하는 반응성 스퍼터링(reactive sputtering)을 실시하여 배선용 박막의 상부에 알루미늄 질화막 또는 알루미늄 합금 질화막을 형성하고, 이를 통하여 접촉부에서 배선용 박막과 IZO의 화소 전극이 서로 전기적으로 연결되도록 한다.

더욱 상세하게, 본 발명에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서는, 우선 절연 기판 위에 게이트 배선용 도전막을 이용하여 게이트선, 게이트선과 연결되어 있는 게이트 전극을 포함하는 게이트 배선을 형성한다. 이어, 게이트 절연막 및 반도체층을 차례로 형성하고, 데이터 배선용 도전막을 이용하여 게이트선과 교차하는 데이터선, 데이터선과 연결되어 있으며 게이트 전극에 인접하는 소스 전극 및 게이트 전극에 대하여 소스 전극의 맞은 편에 위치하는 드레인 전극을 포함하는 데이터 배선을 형성한다. 보호막을 적층하고 패터닝하여 드레인 전극을 드러내는 제1 접촉 구멍을 형성하고, 드러난 드레인 전극과 전기적으로 연결되는 화소 전극을 형성한다. 이때, 게이트 배선 또는 데이터 배선 상부에 게이트 배선용 또는 데이터 배선용 도전 물질과 질소를 포함하는 저저항 도전막을 형성한다.

여기서, 게이트 배선용 또는 데이터 배선용 도전 물질은 알루미늄 또는 알루미늄 합금을 포함하는 제1 도전막을 포함하며, 제1 도전막의 하부에 형성되어 있으며, 크롬 또는 몰리브덴 또는 몰리브덴 합금으로 이루어진 제2 도전막을 포함할 수 있다.

이때, 저저항 도전막은 반응서 스퍼터링으로 적층하여 형성하고, 화소 전극은 IZO로 형성하는 것이 바람직하다.

데이터 배선 및 반도체층은 부분적으로 두께가 다른 감광막 패턴을 이용한 하나의 사진 식각 공정으로 형성할 수 있으며, 데이터 배선과 반도체층을 하나의 마스크를 사용하여 형성할 수 있다.

그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판 및 그 제조 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

먼저, 도 1 및 도 2를 참고로 하여 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조에 대하여 상세히 설명한다.

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판이고, 도 2는 도 1에 도시한 박막 트랜지스터 기판을 Ⅱ-Ⅱ' 선을 따라 잘라 도시한 단면도이다.

절연 기판(10) 위에 저저항을 가지는 알루미늄 또는 알루미늄 합금의 도전 물질로 이루어진 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트 패드(24) 및 게이트선(22)에 연결되어 있는 박막 트랜지스터의 게이트 전극(26)을 포함한다.

게이트 배선(22, 24, 26)의 상부에는 패드부의 신뢰성을 확보하기 위해 이후에 형성되는 IZO(indium zinc oxide)의 보조 게이트 패드(84)와 게이트 패드(24)의 접촉 저항을 최소화하기 위해 질소와 게이트 배선용 도전 물질을 포함하는 알루미늄 질화막 또는 알루미늄 합금 질화막의 저저항 도전막(200)이 형성되어 있다.

기판(10) 위에는 질화 규소(SiN_x) 따위로 이루어진 게이트 절연막(30)이 게이트 배선(22, 24, 26) 및 저저항 도전막(90)을 덮고 있으며, 게이트 절연막(30)은 이후에 형성되는 보호막(70)과 함께 게이트 패드(24) 상부의 저저항 도전막(90)을 드러내는 접촉 구멍(74)을 가진다.

게이트 전극(24)의 게이트 절연막(30) 상부에는 비정질 규소 등의 반도체로 이루어진 반도체층(40)이 형성되어 있으며, 반도체층(40)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항 접촉층(55, 56)이 각각 형성되어 있다.

저항 접촉층(55, 56) 및 게이트 절연막(30) 위에는 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta) 등의 금속 또는 도전체로 이루어진 데이터 배선(62, 64, 66, 68)이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 게이트선(22)과 교차하여 화소를 정의하는 데이터선(62), 데이터선(62)의 분지이며 저항 접촉층(55)의 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)의 한쪽 끝에 연결되어 있으며 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 소스 전극(65)과 분리되어 있으며 게이트 전극(26)에 대하여 소스 전극(65)의 반대쪽 저항 접촉층(56) 상부에 형성되어 있는 드레인 전극(66)을 포함한다.

데이터 배선(62, 65, 66, 68)은 알루미늄 계열의 단일막으로 형성하는 것이 바람직하지만, 이중층이상으로 형성될 수도 있다. 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 다른 물질과의 접촉 특성이 좋은 물질로 만드는 것이 바람직하다. 그 예로는 Cr/Al(또는 Al 합금) 또는 Al/Mo 등을 들 수 있으며, 본 발명의 실시예에서 데이터 배선(62, 65, 66, 68)은 Cr 또는 몰리브덴 텅스텐 합금의 하부막(601)과 알루미늄 합금의 상부막(602)으로 형성되어 있다.

데이터 배선(62, 65, 66, 68) 상부에도 이들과 이후에 형성되는 IZO의 화소 전극(82) 또는 보조 데이터 패드(88)와

의 접촉 저항을 최소화하기 위한 저저항 도전막(600)이 형성되어 있다. 여기서, 저저항 도전막(600)은 서로 다른 물질로 이루어진 두 도전층간의 접촉 특성을 향상시키기 위한 것으로서 적어도 데이터 배선 (62, 65, 66, 68)의 상부막(602)과 동일한 알루미늄 또는 알루미늄 합금의 도전 물질과 질소를 포함하며, 도전 물질로 크롬 또는 몰리브덴 또는 몰리브덴 합금을 포함할 수도 있다.

데이터 배선(62, 65, 66, 68) 및 이들이 가리지 않는 반도체층(40) 상부에는 보호막(70)이 형성되어 있다. 보호막(70)에는 드레인 전극(66) 및 데이터 패드 (68) 상부의 저저항 도전막(600)을 드러내는 접촉 구멍(76, 78)이 각각 형성되어 있으며, 게이트 절연막(30)과 함께 게이트 패드(24) 상부의 저저항 도전막(200)을 드러내는 접촉 구멍(74)이 형성되어 있다.

보호막(70) 위에는 접촉 구멍(76)을 통하여 드레인 전극(66) 상부의 저저항 도전막(600)과 접촉하여 드레인 전극(66)과 전기적으로 연결되어 있으며 화소에 위치하는 화소 전극(82)과 접촉 구멍(74, 78)을 통하여 각각 게이트 패드(24) 및 데이터 패드(68) 상부의 저저항 도전막(200, 600)과 연결되어 있는 보조 게이트 패드 (84) 및 보조 데이터 패드(88)를 포함하며, IZO로 이루어진 화소 배선이 형성되어 있다.

여기서, 화소 전극(82)은 도1 및 도 2에서 보는 바와 같이, 게이트선(22)과 중첩되어 유지 축전기를 이루며, 유지 용량이 부족한 경우에는 게이트 배선(22, 24, 26)과 동일한 층에 유지 용량용 배선을 추가할 수도 있다.

이러한 본 발명의 실시예에 따른 구조에서는 저저항을 가지는 알루미늄 또는 알루미늄 합금의 도전 물질로 이루어진 게이트 배선(22, 24, 26) 및 데이터 배선(62, 65, 66, 68)을 포함하고 있어 대화면 고정세의 액정 표시 장치에 적용할 수 있다. 또한, 동시에 데이터 패드(68), 드레인 전극(66) 및 게이트 패드(24)와 IZO로 이루어진 보조 데이터 패드(88), 화소 전극(82) 및 보조 게이트 패드(84)는 각각 저저항 도전층(200, 600)을 통하여 서로 접촉되어 있어 접촉부의 접촉 저항을 최소화하여 패드부의 신뢰성을 확보할 수 있으며, 이를 통하여 액정 표시 장치의 표시 특성을 향상시킬 수 있다.

그러면, 이러한 본 발명의 제1 실시예에 따른 구조의 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에 대하여 도 1 및 도 2와 도 3 내지 도 8b를 참고로 하여 상세히 설명한다.

먼저, 도 3에 도시한 바와 같이, 기판(10) 위에 저저항을 가지는 알루미늄 네오디뮴(Al-Nd) 합금 타겟(target)을 장착한 스퍼터링 챔버(sputtering chamber)에서 아르곤 기체를 주입하면서 스퍼터링을 실시하여 2,500Å 정도의 두께로 알루미늄 네오디뮴 합금의 게이트 배선용 도전막(20)을 적층한다. 이어, 질소 기체를 추가로 주입하면서 반응성 스퍼터링(reactive sputtering)을 연속적으로 실시하여 게이트 배선용 도전막의 상부에 알루미늄 네오디뮴 합금 질화막(Al-Nd-N, 200)을 형성한다. 이때, 알루미늄 네오디뮴 합금 질화막(Al-Nd-N, 200)은 도전성을 가질 수 있도록 스퍼터링 챔버의 내부로 주입되는 아르곤 기체와 질소 기체의 비율을 적절하게 조절하고, 게이트 배선용 도전막과 함께 습식 또는 건식 식각으로 패터닝할 수 있도록 알루미늄 네오디뮴 합금 질화막(Al-Nd-N, 200)의 두께를 조절하는 것이 바람직하다. 게이트 배선용 도전막(20)의 상부에 진공 상태에서 알루미늄 네오디뮴 합금 질화막(Al-Nd-N, 200)을 연속하여 적층함으로써 대기중에서 게이트 배선용 도전막(20)의 상부에 Al_2O_3 등과 같이 이후의 공정에서 접촉부의 접촉 저항을 증가시키는 원인이 되는 고저항의 잔류막이 형성되는 것을 방지할 수 있다.

이어, 도 4a 및 도 4b에 도시한 바와 같이, 알루미늄 네오디뮴 합금의 게이트 배선용 도전막(20)과 그 상부의 알루미늄 네오디뮴 합금 질화막(Al-Nd-N, 200)을 한번에 패터닝하여 게이트선(22), 게이트 전극(26) 및 게이트 패드(24)를 포함하는 가로 방향의 게이트 배선과 그 상부에 저저항 도전막(200)을 형성한다.

다음, 도 5a 및 도 5b에 도시한 바와 같이, 게이트 절연막(30), 비정질 규소로 이루어진 반도체층(40), 도핑된 비정질 규소층(50)의 삼층막을 연속하여 적층하고 마스크를 이용한 패터닝 공정으로 반도체층(40)과 도핑된 비정질 규소층(50)을 패터닝하여 게이트 전극(24)과 마주하는 게이트 절연막(30) 상부에 반도체층(40)과 저항 접촉층(50)을 형성한다.

다음, 도 6에 도시한 바와 같이, 몰리브덴 또는 몰리브덴 텅스텐 합금 또는 크롬 등으로 이루어진 하부막(601)을 300Å 정도의 두께로, 저저항을 가지는 알루미늄 네오디뮴 합금으로 이루어진 상부막(602)을 2,500Å 정도의 두께로 차례로 적층한다. 이어, 앞에서 설명한 바와 같이 진공을 해제시키지 않고 동일한 스퍼터링 챔버 내에서 질소 기체를 주입하면서 반응성 스퍼터링을 실시하여 상부막(602)의 상부에 알루미늄 네오디뮴 합금 질화막의 저저항 도전막(600)을 연속하여 적층한다. 여기서, 상부막(602) 위에 저저항 도전막(600)을 진공 상태에서 연속하여 적층함으로써 대기중에서 알루미늄 계열의 상부막(602) 위에 형성될 수 있는 Al_2O_3과 같이 이후의 공정에서 접촉부의 접촉 저항을 증가시키는 원인이 되는 고저항의 잔류막이 형성되는 것을 방지할 수 있다.

이어, 도 7a 및 도 7b에서 보는 바와 같이, 마스크를 이용한 사진 공정으로 저저항 도전막(600), 상부막(602) 및 하부막(601)을 패터닝하여 게이트선(22)과 교차하는 데이터선(62), 데이터선(62)과 연결되어 게이트 전극(26) 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)은 한쪽 끝에 연결되어 있는 데이터 패드(68) 및 소스 전극(65)과 분리되어 있으며 게이트 전극(26)을 중심으로 소스 전극(66)과 마주하는 드레인 전극(66)을 포함하는 데이터 배선을 형성하고, 그 상부에 저저항 도전막(600)을 남긴다. 여기서, 상부막(602) 및 하부막(601)은 모두 습식 식각으로 식각할 수 있으며, 상부막(602)은 습식 식각으로 식각하고 하부막(601)은 건식 식각으로 식각할 수 있다. 또한, 하부막(601)이 몰리브덴 또는 몰리브덴 텅스텐 합금인 경우에는 상부막(602)과 함께 한번에 습식 식각으로 패터닝할 수 있다.

이어, 데이터 배선(62, 65, 66, 68)으로 가리지 않는 도핑된 비정질 규소층 패턴(50)을 식각하여 게이트 전극(26)을 중심으로 양쪽으로 분리시키는 한편, 양쪽의 도핑된 비정질 규소층(55, 56) 사이의 반도체층 패턴(40)을 노출시킨다. 이어, 노출된 반도체층(40)의 표면을 안정화시키기 위하여 산소 플라스마를 실시하는 것이 바람직하다.

다음으로, 도 8a 및 도 8b에 도시한 바와 같이, 질화 규소 또는 유기 절연막으로 이루어진 보호막(70)을 적층한 후 마스크를 이용한 사진 식각 공정으로 게이트 절연막(30)과 함께 건식 식각으로 패터닝하여, 게이트 패드(24), 드레인 전극(66) 및 데이터 패드(68)의 상부의 저저항 도전막(200, 600)을 노출시키는 접촉 구멍(74, 76, 78)을 형성한다.

다음, 마지막으로 도 1 및 2에 도시한 바와 같이, IZO막을 적층하고 마스크를 이용한 패터닝을 실시하여 접촉 구멍(76)을 통하여 드레인 전극(66) 상부의 저저항 도전막(600)과 접하여 드레인 전극(66)과 전기적으로 연결되는 화소 전극(82)과 접촉 구멍(74, 78)을 통하여 게이트 패드(24) 및 데이터 패드(68) 상부의 저저항 도전막(200, 600)과 각각 연결되는 보조 게이트 패드(86) 및 보조 데이터 패드(88)를 각각 형성한다.

이러한 본 발명의 실시예에 따른 제조 방법에서는 게이트 배선(22, 24, 26) 및 데이터 배선(62, 65, 66, 68)의 상부에 질소를 포함하는 저저항 도전막(200, 600)을 진공 상태에서 연속으로 증착하여 형성함으로써 알루미늄 합금의 도전막 위에 고저항의 알루미늄 산화막이 형성되는 것을 방지할 수 있어 제조 공정 조건의 변화와 무관하게 균일한 제조 공정을 설계할 수 있으며, 접촉부에서 IZO와 알루미늄 또는 알루미늄 합금을 저저항 도전막을 통하여 연결하여 이들의 접촉부에서 접촉 저항을 최소화할 수 있어 패드부를 포함하는 접촉부의 신뢰도를 안정적으로 확보할 수 있다.

이러한 방법은 앞에서 설명한 바와 같이, 5매의 마스크를 이용하는 제조 방법에 적용할 수 있지만, 4매 마스크를 이용하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에서도 동일하게 적용할 수 있다. 이에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

먼저, 도 9 내지 도 11을 참고로 하여 본 발명의 실시예에 따른 4매 마스크를 이용하여 완성된 액정 표시 장치용 박막 트랜지스터 기판의 단위 화소 구조에 대하여 상세히 설명한다.

도 9는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 10 및 도 11은 각각 도 8에 도시한 박막 트랜지스터 기판을 X-X' 선 및 XI-XI' 선을 따라 잘라 도시한 단면도이다.

먼저, 절연 기판(10) 위에 제1 실시예와 동일하게 알루미늄 또는 알루미늄 합금으로 이루어진 게이트선(22), 게이트 패드(24) 및 게이트 전극(26)을 포함하는 게이트 배선이 형성되어 있다. 그리고, 게이트 배선은 기판(10) 상부에 게이트선(22)과 평행하며 상판의 공통 전극에 입력되는 공통 전극 전압 따위의 전압을 외부로부터 인가 받는 유지 전극(28)을 포함한다. 유지 전극(28)은 후술할 화소 전극(82)과 연결된 유지 축전기용 도전체 패턴(64)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(82)과 게이트선 (22)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다.

게이트 배선(22, 24, 26, 28)의 상부에는 제1 실시예와 동일하게 알루미늄 및 질소를 포함하는 저저항 도전막(200)이 형성되어 있다.

게이트 배선(22, 24, 26, 28) 및 저저항 도전막(200) 위에는 질화 규소 (SiN_x) 따위로 이루어진 게이트 절연막(30)이 형성되어 저저항 도전막(22, 24, 26, 28)을 덮고 있다.

게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 반도체 패턴(42, 48)이 형성되어 있으며, 반도체 패턴(42, 48) 위에는 인(P) 따위의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(ohmic contact layer) 패턴 또는 중간층 패턴(55, 56, 58)이 형성되어 있다.

저항성 접촉층 패턴(55, 56, 58) 위에는 저저항을 가지는 알루미늄 또는 알루미늄 합금을 포함하는 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 있는 데이터선(62), 데이터선(62)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터 패드(68), 그리고 데이터선(62)에 연결되어 있는 박막 트랜지스터의 소스 전극(65)으로 이루어진 데이터선부를 포함하며, 또한 데이터선부(62, 68, 65)와 분리되어 있으며 게이트 전극(26) 또는 박막 트랜지스터의 채널부(C)에 대하여 소스 전극(65)의 반대쪽에 위치하는 박막 트랜지스터의 드레인 전극(66)과 유지 전극(28) 위에 위치하고 있는 유지 축전기용 도전체 패턴(64)도 포함한다. 유지 전극(28)을 형성하지 않을 경우 유지 축전기용 도전체 패턴(64) 또한 형성하지 않는다.

데이터 배선(62, 64, 65, 66, 68)의 상부에는 제1 실시예와 동일하게 알루미늄 또는 알루미늄 합금 등과 같이 저저항의 도전 물질과 질소를 포함하는 저저항 도전막(600)이 형성되어 있다.

데이터 배선(62, 64, 65, 66, 68)도 게이트 배선(22, 24, 26, 28)과 마찬가지로 단일층으로 형성될 수도 있지만, 제1 실시예와 동일하게 크롬 또는 몰리브덴 또는 몰리브덴 합금을 포함하는 하부막과 알루미늄 또는 알루미늄 합금의 상부막으로 이루어진 이중막으로 형성될 수도 있다.

접촉층 패턴(55, 56, 58)은 그 하부의 반도체 패턴(42, 48)과 그 상부의 데이터 배선(62, 64, 65, 66, 68)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(62, 64, 65, 66, 68)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 중간층 패턴(55)은 데이터선부(62, 68, 65)와 동일하고, 드레인 전극용 중간층 패턴(56)은 드레인 전극(66)과 동일하며, 유지 축전기용 중간층 패턴(58)은 유지 축전기용 도전체 패턴(64)과 동일하다.

한편, 반도체 패턴(42, 48)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(62, 64, 65, 66, 68) 및 저항성 접촉층 패턴(55, 56, 57)과 동일한 모양을 하고 있다. 구체적으로는, 유지 축전기용 반도체 패턴(48)과 유지 축전기용 도전체 패턴(64) 및 유지 축전기용 접촉층 패턴(58)은 동일한 모양이지만, 박막 트랜지스터용 반도체 패턴(42)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터의 채널부(C)에서 데이터선부(62, 68, 65), 특히 소스 전극(65)과 드레인 전극(66)이 분리되어 있고 데이터선부 중간층(55)과 드레인 전극용 접촉층 패턴(56)도 분리되어 있으나, 박막 트랜지스터용 반도체 패턴(42)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다.

데이터 배선(62, 64, 65, 66, 68) 위에는 그 상부의 저저항 도전막(600)을 덮는 보호막(70)이 형성되어 있으며, 보호막(70)은 드레인 전극(66), 데이터 패드(68) 및 유지 축전기용 도전체 패턴(64) 상부의 저저항 도전막(600)을 드러내는 접촉구멍(76, 78, 72)을 가지고 있으며, 또한 게이트 절연막(30)과 함께 게이트 패드(24) 상부의 저저항 도전막(200)을 드러내는 접촉 구멍(74)을 가지고 있다. 보호막(70)은 질화규소나 아크릴계 따위의 유기 절연 물질로 이루어질 수 있다.

보호막(70) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(82)이 형성되어 있다. 화소 전극(82)은 IZO(indium zinc oxide) 따위의 투명한 도전 물질로 만들어지며, 저저항 도전막(600)을 경유하여 접촉 구멍(76)을 통하여 드레인 전극(66) 전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(82)은 또한 이웃하는 게이트선(22) 및 데이터선(62)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다. 또한 화소 전극(82)은 접촉 구멍(72)에서 저저항 도전막(600)을 통하여 유지 축전기용 도전체 패턴(64)과 전기적으로 연결되어 도전체 패턴(64)으로 화상 신호를 전달한다. 한편, 게이트 패드(24) 및 데이터 패드(68) 위에는 접촉 구멍(74, 78)에서 저저항 도전막(200, 600)을 통하여 각각 이들과 연결되는 보조 게이트 패드(84) 및 보조 데이터 패드(88)가 형성되어 있으며, 이들은 패드(24, 68)와 외부 회로 장치와의 접착성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

여기에서는 화소 전극(82)의 재료의 예로 투명한 IZO를 들었으나, 반사형 액정 표시 장치의 경우 불투명한 도전 물질을 사용하여도 무방하다.

그러면, 도 9 내지 도 11의 구조를 가지는 액정 표시 장치용 박막 트랜지스터 기판을 4매 마스크를 이용하여 제조하는 방법에 대하여 상세하게 도 9 내지 도 11과 도 12a 내지 도 18c를 참조하여 설명하기로 한다.

먼저, 도 12a 내지 12c에 도시한 바와 같이, 제1 실시예와 동일하게 저저항의 게이트 배선용 도전막과 저저항 도전막을 연속으로 적층하고 제1 마스크를 이용한 사진 식각 공정으로 기판(10) 위에 게이트선(22), 게이트 패드(24), 게이트 전극(26) 및 유지 전극(28)을 포함하는 게이트 배선과 그 상부에 저저항 도전막(20)을 형성한다.

다음, 도 13a 및 13b에 도시한 바와 같이, 게이트 절연막(30), 반도체층(40), 중간층(50)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 300 Å 내지 600 Å의 두께로 연속 증착하고, 이어 알루미늄 또는 알루미늄 합금을 포함하는 데이터 배선용 도전 물질의 도전체층(60)과 제1 실시예와 같이 저저항 도전막을 스퍼터링 등의 방법으로 연속하여 적층한다. 이어, 그 위에 감광막(110)을 1 μm 내지 2 μm의 두께로 도포한다.

그 후, 제2 마스크를 통하여 감광막(110)에 빛을 조사한 후 현상하여 도 14b 및 14c에 도시한 바와 같이, 감광막 패턴(112, 114)을 형성한다. 이때, 감광막 패턴(112, 114) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(65)과 드레인 전극(66) 사이에 위치한 제1 부분(114)은 데이터 배선부(A), 즉 데이터 배선(62, 64, 65, 66, 68)이 형성될 부분에 위치한 제2 부분(112)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거한다. 이 때, 채널부(C)에 남아 있는 감광막 (114)의 두께와 데이터 배선부(A)에 남아 있는 감광막(112)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(114)의 두께를 제2 부분(112)의 두께의 1/2 이하로 하는 것이 바람직하며, 예를 들면, 4,000 Å 이하인 것이 좋다.

이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, A 영역의 빛 투과량을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.

이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.

이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어 감광막을 현상하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.

이러한 얇은 두께의 감광막(114)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상적인 마스크로 노광한 다음 현상하고 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 흘러내리도록 함으로써 형성할 수도 있다.

이어, 감광막 패턴(114) 및 그 하부의 막들, 즉 저저항 도전막(600), 도전체층(60), 중간층(50) 및 반도체층(40)에 대한 식각을 진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부분(B)에는 위의 3개 층(60, 50, 40)이 모두 제거되어 게이트 절연막(30)이 드러나야 한다.

먼저, 도 15a 및 15b에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 저저항 도전막(600) 및 도전체층(60)을 제거하여 그 하부의 중간층(50)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 저저항 도전막(600) 및 도전체층(60)은 식각되고 감광막 패턴(112, 114)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우

저저항 도전막(600) 및 도전체층(60)이 Cr, Al 또는 Al 합금 및 Mo 또는 MoW 합금을 포함하는 경우에는 습식 또는 건식 식각 중 하나를 선택하여 패터닝하는 것이 가능하다. 그러나, Cr은 건식 식각 방법으로는 잘 제거되지 않기 때문에 도전체층(60)이 Cr이라면 습식 식각만을 이용하는 것이 좋다. Cr의 도전체층(60)은 식각액으로 $CeNHO_3$을 사용할 수 있고, 도전체층(60)이 Mo나 MoW을 포함하고 건식 식각의 경우에는 식각 기체로 CF_4와 HCl의 혼합 기체나 CF_4와 O_2의 혼합 기체를 사용할 수 있으며 후자의 경우 감광막에 대한 식각비도 거의 비슷하다.

이렇게 하면, 도 15a 및 도 15b에 나타낸 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층, 즉 소스/드레인용 도전체 패턴(67)과 유지 축전기용 도전체 패턴(64) 및 그 상부의 저저항 도전막(600)만이 남고 기타 부분(B)의 도전체층(60) 및 저저항 도전막(600)은 모두 제거되어 그 하부의 중간층(50)이 드러난다. 이때 남은 도전체 패턴(67, 64)은 소스 및 드레인 전극(65, 66)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(62, 64, 65, 66, 68)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(112, 114)도 어느 정도의 두께로 식각된다.

이어, 도 16a 및 16b에 도시한 바와 같이, 기타 부분(B)의 노출된 중간층(50) 및 그 하부의 반도체층(40)을 감광막의 제1 부분(114)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(112, 114)과 중간층 (50) 및 반도체층(40)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(30)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어, SF_6과 HCl의 혼합 기체나, SF_6과 O_2의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(112, 114)과 반도체층(40)에 대한 식각비가 동일한 경우 제1 부분(114)의 두께는 반도체층(40)과 중간층(50)의 두께를 합한 것과 같거나 그보다 작아야 한다.

이렇게 하면, 도 16a 및 16b에 나타낸 바와 같이, 채널부(C)의 제1 부분(114)이 제거되어 소스/드레인용 도전체 패턴(67) 상부의 저저항 도전층(600)이 드러나고, 기타 부분(B)의 중간층(50) 및 반도체층(40)이 제거되어 그 하부의 게이트 절연막(30)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(112) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체 패턴(42, 48)이 완성된다. 도면 부호 57과 58은 각각 소스/드레인용 도전체 패턴(67) 하부의 중간층 패턴과 유지 축전기용 도전체 패턴(64) 하부의 중간층 패턴을 가리킨다.

이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(67) 상부의 저저항 도전막(600)표면에 남아 있는 감광막 찌꺼기를 제거한다.

다음, 도 17a 및 17b에 도시한 바와 같이 채널부(C)의 저저항 도전막(600), 소스/드레인용 도전체 패턴(67) 및 그 하부의 소스/드레인용 중간층 패턴(57)을 식각하여 제거한다. 이 때, 식각은 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 소스/드레인용 도전체 패턴(67)에 대해서는 습식 식각으로, 중간층 패턴(57)에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57)의 식각 선택비가 큰 조건하에서 식각을 행하는 것이 바람직하며, 이는 식각 선택비가 크지 않을 경우 식각 종점을 찾기가 어려워 채널부(C)에 남는 반도체 패턴(42)의 두께를 조절하기가 쉽지 않기 때문이다. 예를 들면, SF_6 과 O_2 의 혼합 기체를 사용하여 소스/드레인용 도전체 패턴(67)을 식각하는 것을 들 수 있다. 습식 식각과 건식 식각을 번갈아 하는 후자의 경우에는 습식 식각되는 소스/드레인용 도전체 패턴(67)의 측면은 식각되지만, 건식 식각되는 중간층 패턴(57)은 거의 식각되지 않으므로 계단 모양으로 만들어진다. 중간층 패턴(57) 및 반도체 패턴(42)을 식각할 때 사용하는 식각 기체의 예로는 앞에서 언급한 CF_4 와 HCl의 혼합 기체나 CF_4 와 O_2 의 혼합 기체를 들 수 있으며, CF_4 와 O_2 를 사용하면 균일한 두께로 반도체 패턴(42)을 남길 수 있다. 이때, 도 17b에 도시한 것처럼 반도체 패턴(42)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제2 부분(112)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(30)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(112)이 식각되어 그 하부의 데이터 배선(62, 64, 65, 66, 68)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

이렇게 하면, 소스 전극(65)과 드레인 전극(66)이 분리되면서 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58)이 완성된다.

마지막으로 데이터 배선부(A)에 남아 있는 감광막 제2 부분(112)을 제거한다. 그러나, 제2 부분(112)의 제거는 채널부(C) 소스/드레인용 도전체 패턴(67)을 제거한 후 그 밑의 중간층 패턴(57)을 제거하기 전에 이루어질 수도 있다.

앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 후자의 경우에는 한 종류의 식각만을 사용하므로 공정이 비교적 간편하지만, 알맞은 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 공정이 후자에 비하여 번거로운 점이 있다.

이와 같이 하여 데이터 배선(62, 64, 65, 66, 68) 및 그 상부의 저저항 도전막(600)을 형성한 후, 도 18a 내지 18c에 도시한 바와 같이 질화규소를 CVD 방법으로 증착하거나 유기 절연 물질을 스핀 코팅하여 3,000 Å 이상의 두께를 가지는 보호막(70)을 형성한다. 이어 제3 마스크를 이용하여 보호막(70)을 게이트 절연막(30)과 함께 식각하여 드레인 전극(66), 게이트 패드(24), 데이터 패드(68) 및 유지 축전기용 도전체 패턴(64) 상부의 저저항 도전막(200, 600)을 각각 드러내는 접촉 구멍(76, 74, 78, 72)을 형성한다.

마지막으로, 도 9 내지 도 11에 도시한 바와 같이, 400 Å 내지 500 Å 두께의 IZO층을 증착하고 제4 마스크를 사용하여 식각하여 저저항 도전막(600)을 경유하여 접촉 구멍(72, 76)에서 드레인 전극(66) 및 유지 축전기용 도전체 패턴(64)과 전기적으로 연결된 화소 전극(82), 접촉 구멍(74)에서 저저항 도전막(200)을 통하여 각각 게이트 패드(24)와 연결된 보조 게이트 패드(84) 및 저저항 도전막(600)을 경유하여 접촉 구멍(78)에서 데이터 패드(68)와 연결된 보조 데이터 패드(88)를 형성한다.

이러한 본 발명의 제2 실시예에서는 제1 실시예에 따른 효과뿐만 아니라 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58) 및 반도체 패턴(42, 48)을 하나의 마스크를 이용하여 형성하고 이 과정에서 소스 전극(65)과 드레인 전극(66)이 분리하여 제조 공정을 단순화할 수 있다.

발명의 효과

이와 같이, 본 발명에 따르면 제조 공정에서 질소 및 알루미늄을 포함하는 저저항의 도전막을 알루미늄을 포함하는 배선용 도전막 상부에 연속으로 적층하여 배선용 도전막 상부에 형성될 수 있는 고저항의 산화막 형성 조건을 제거함으로써 제조 공정에서 균일한 공정 조건을 설계할 수 있으며, 접촉부에서의 접촉 저항을 최소화함으로써 접촉부의 신뢰성을 확보할 수 있다. 아울러, 저저항의 알루미늄 또는 알루미늄 합금으로 배선을 형성함으로써 대화면 고정세의 제품의 특성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

절연 기판 위에 게이트 배선용 도전막을 이용하여 게이트선, 상기 게이트선과 연결되어 있는 게이트 전극을 포함하는 게이트 배선을 형성하는 단계,

게이트 절연막을 형성하는 단계,

상기 게이트 절연막 상부에 반도체층을 형성하는 단계,

데이터 배선용 도전막을 이용하여 상기 게이트선과 교차하는 데이터선, 상기 데이터선과 연결되어 있으며 상기 게이트 전극에 인접하는 소스 전극 및 상기 게이트 전극에 대하여 상기 소스 전극의 맞은 편에 위치하는 드레인 전극을 포함하는 데이터 배선을 형성하는 단계,

보호막을 적층하고 패터닝하여 상기 드레인 전극을 드러내는 제1 접촉 구멍을 형성하는 단계,

드러난 상기 드레인 전극과 전기적으로 연결되는 화소 전극을 형성하는 단계,

상기 게이트 배선 또는 상기 데이터 배선 상부에 상기 게이트 배선용 또는 상기 데이터 배선용 도전 물질과 질소를 포함하는 저저항 도전막을 형성하는 단계

를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 2.

제1항에서,

상기 게이트 배선용 또는 상기 데이터 배선용 도전 물질은 알루미늄 또는 알루미늄 합금을 포함하는 제1 도전막을 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 3.

제2항에서,

상기 게이트 배선용 또는 상기 데이터 배선용 도전 물질은 상기 제1 도전막의 하부에 형성되어 있으며, 크롬 또는 몰리브덴 또는 몰리브덴 합금으로 이루어진 제2 도전막을 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 4.

제1항에서,

상기 저저항 도전막은 반응서 스퍼터링으로 적층하여 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 5.

제1항에서,

상기 게이트 배선은 외부로부터 주사 신호를 전달받아 상기 게이트선으로 전달하는 게이트 패드를 더 포함하며,

상기 데이터 배선은 외부로부터 영상 신호를 전달받을 상기 데이터선으로 전달하는 데이터 패드를 더 포함하며,

상기 보호막은 상기 데이터 패드 및 상기 게이트 절연막과 함께 상기 게이트 패드를 드러내는 제2 및 제3 접촉 구멍을 가지며,

상기 화소 전극과 동일한 층에 상기 제2 및 제3 접촉 구멍을 통하여 상기 게이트 패드 및 상기 데이터 패드와 각각 전기적으로 연결되는 보조 게이트 패드와 보조 데이터 패드를 더 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 6.

제1항에서,

상기 화소 전극은 IZO로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 7.

제1항에서,

상기 데이터 배선 및 상기 반도체층은 부분적으로 두께가 다른 감광막 패턴을 이용한 하나의 사진 식각 공정으로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 8.

제7항에서,

상기 데이터 배선과 상기 반도체층을 하나의 마스크를 사용하여 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 9.

기판,

상기 기판 위에 게이트 배선용 도전 물질로 형성되어 있으며, 가로 방향으로 뻗어 있는 주사 신호를 전달되는 게이트선과 상기 게이트선의 일부인 박막 트랜지스터의 게이트 전극을 포함하는 게이트 배선,

상기 게이트 배선을 덮고 있는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있으며, 반도체로 이루어진 반도체 패턴,

상기 반도체 패턴 또는 상기 게이트 절연막 위에 데이터 배선용 도전 물질로 형성되어 있으며, 세로 방향으로 뻗어 있는 데이터선, 상기 데이터선의 분지인 상기 박막 트랜지스터의 소스 전극, 상기 소스 전극과 분리되어 상기 게이트 전극을 중심으로 상기 소스 전극과 마주하는 상기 박막 트랜지스터의 드레인 전극을 포함하는 데이터 배선,

상기 게이트 배선 또는 상기 데이터 배선 상부에 형성되어 있으며, 질소와 상기 게이트 배선용 또는 상기 데이터 배선용 도전 물질을 포함하는 저저항 도전막,

상기 데이터 배선 및 상기 반도체 패턴 위에 형성되어 있으며, 상기 드레인 전극을 드러내는 제1 접촉 구멍을 가지는 보호막 패턴,

상기 보호막 패턴 위에 형성되어 있으며, 상기 제1 접촉 구멍에서 상기 저저항 도전막을 통하여 상기 드레인 전극과 전기적으로 연결되어 있는 화소 전극

를 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 10.

제9항에서,

상기 게이트 배선은 상기 게이트선에 연결되어 외부로부터 신호를 전달받는 게이트 패드를 더 포함하고, 상기 데이터 배선은 상기 데이터선에 연결되어 외부로부터 신호를 전달받는 데이터 패드를 더 포함하며,

상기 보호막 패턴은 및 상기 게이트 절연막은 상기 게이트 패드 및 상기 데이터 패드를 노출시키는 제2 및 제3 접촉 구멍을 가지고 있으며,

상기 제2 및 제3 접촉 구멍에서 상기 저저항 도전막을 경유하여 상기 게이트 패드 및 상기 데이터 패드와 전기적으로 연결되며 상기 화소 전극과 동일한 층으로 형성되어 있는 보조 게이트 패드 및 보조 데이터 패드를 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

청구항 11.

제9항에서,

상기 화소 전극은 투명한 도전성 물질인 IZO(indium tin oxide)로 이루어진 액정 표시 장치용 박막 트랜지스터 기판.

청구항 12.

제9항에서,

상기 게이트 배선용 또는 상기 데이터 배선용 도전 물질은 알루미늄 또는 알루미늄 합금을 포함하는 액정 표시 장치용 박막 트랜지스터 기판.

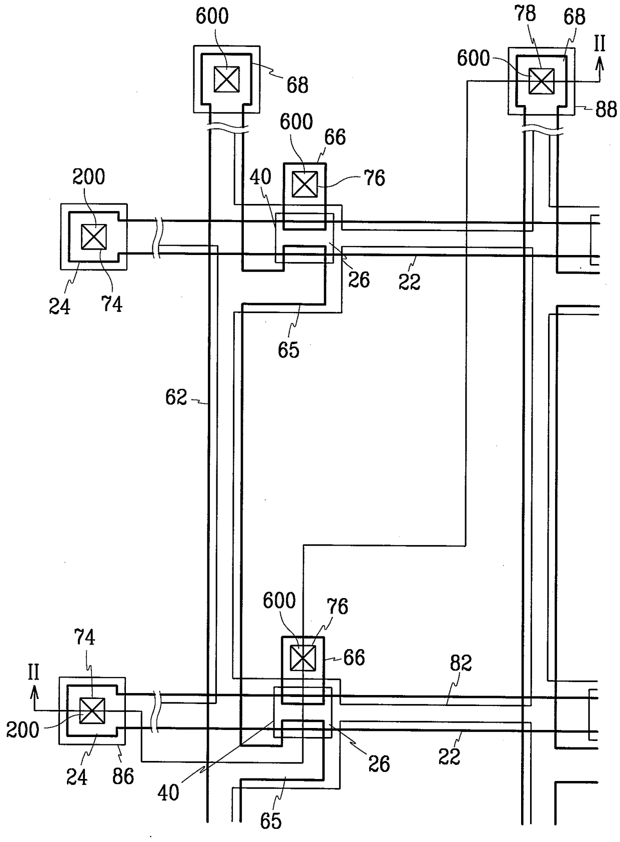
청구항 13.

제9항에서,

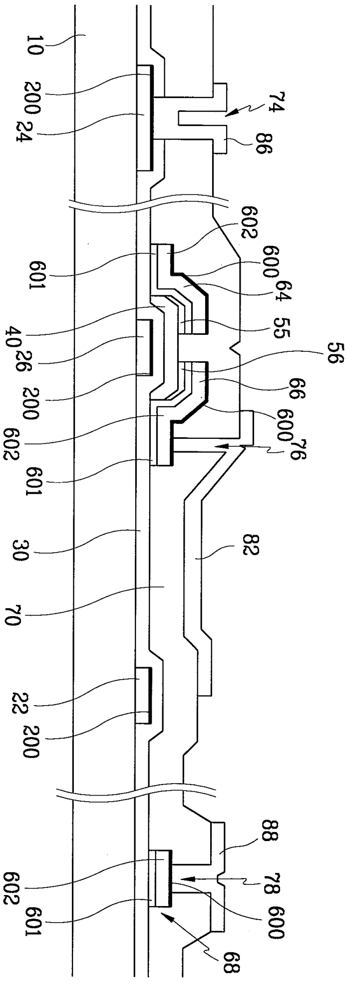
상기 반도체 패턴은 상기 소스 전극과 상기 드레인 전극 사이의 채널부를 제외하면 상기 데이터 배선과 동일한 모양인 액정 표시 장치용 박막 트랜지스터 기판.

도면

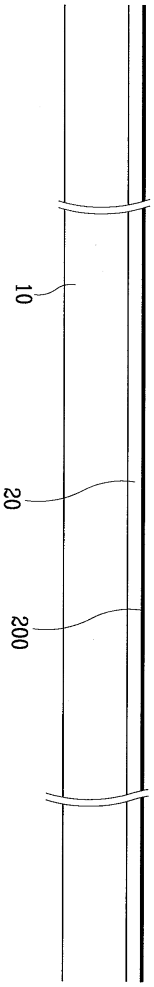
도면 1


600
68
78
68
II
600
88
600
66
200
40
76
26
22
24
74
65
62
600
76
74
II
66
82
200
24
86
40
26
22
65

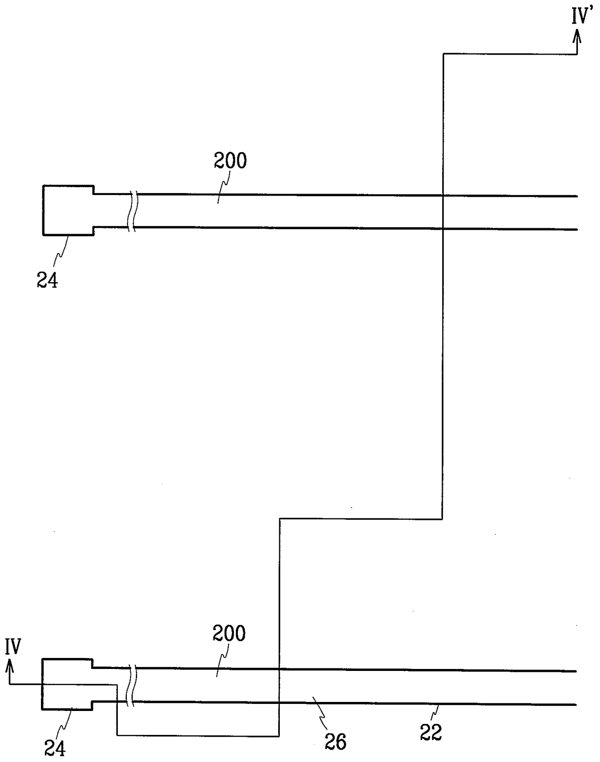
도면 2


10
200
24
74
86
602
600
64
601
55
40
26
56
200
66
600
76
602
601
30
82
70
22
200
88
78
600
602
601
68

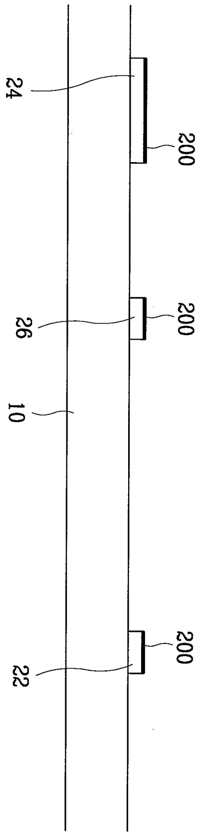
도면 3



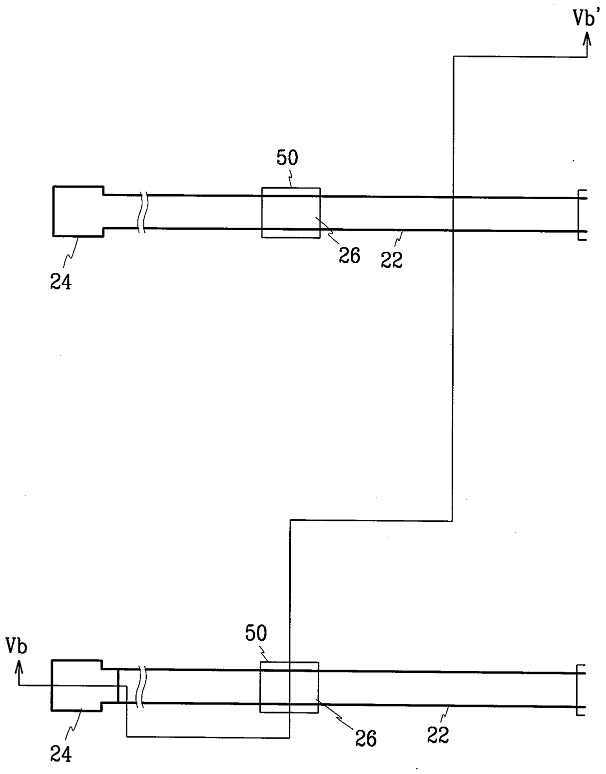
도면 4a



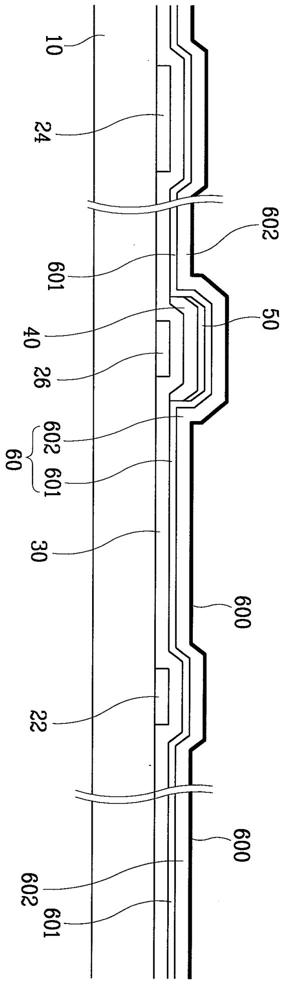
도면 4b



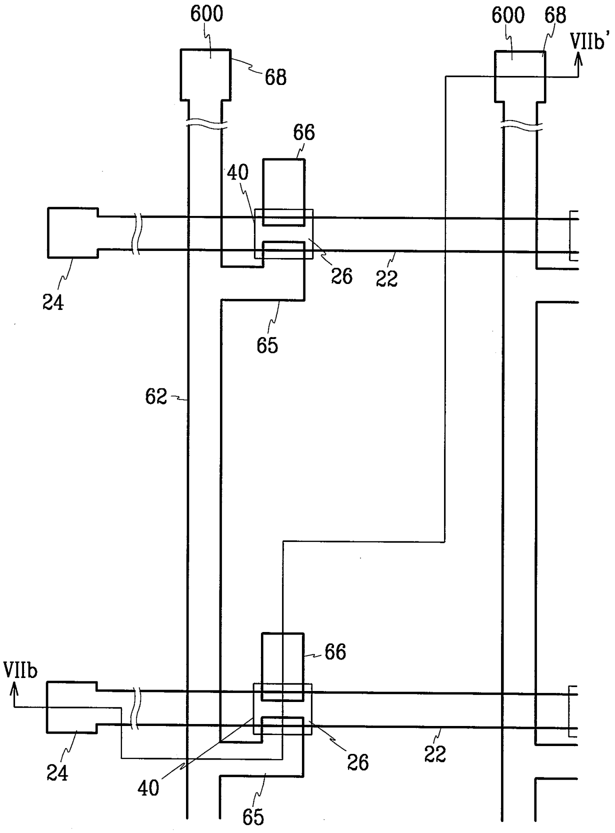
도면 5a



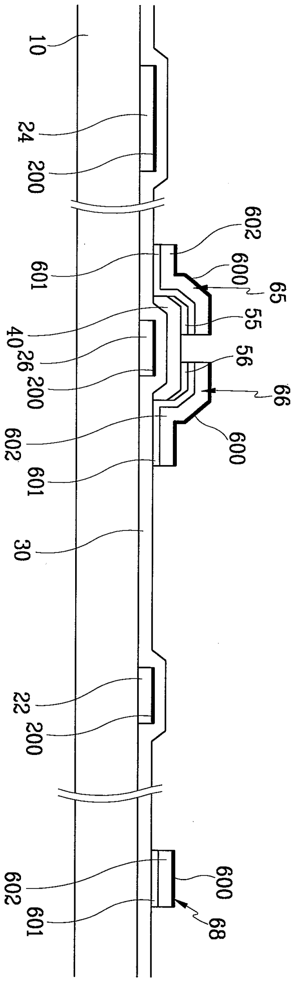
도면 6



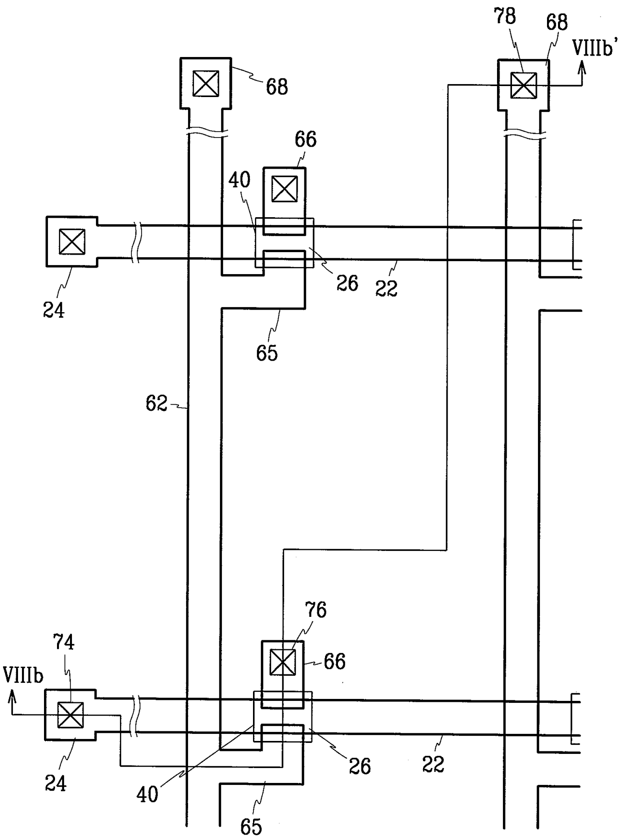
도면 7a



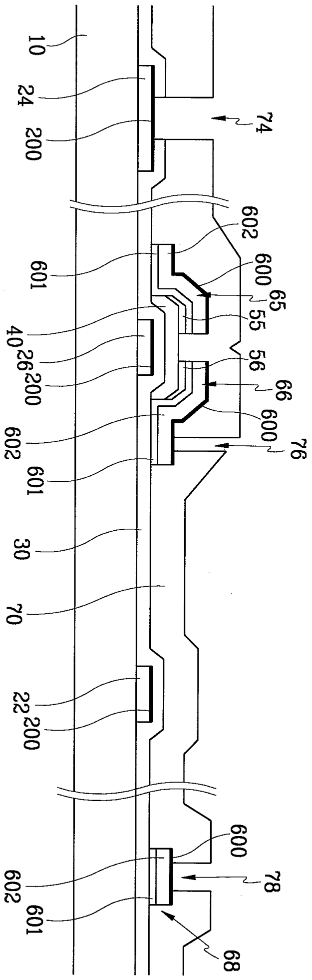
도면 7b


10
24
200
602
601
600
65
55
40
26
200
56
66
602
601
600
30
22
200
600
602
601
68

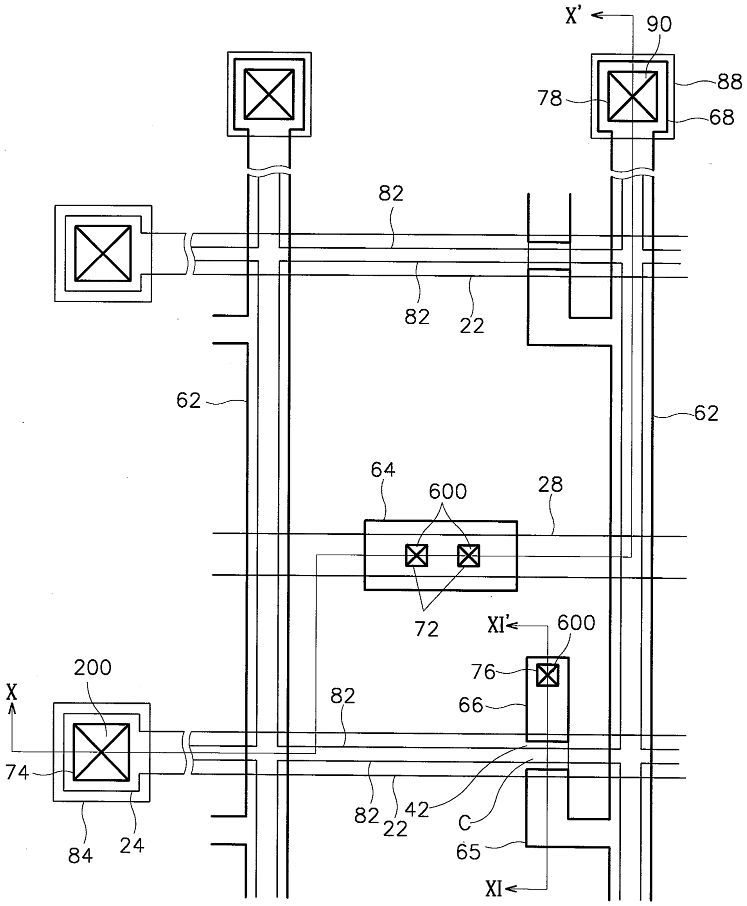
도면 8a



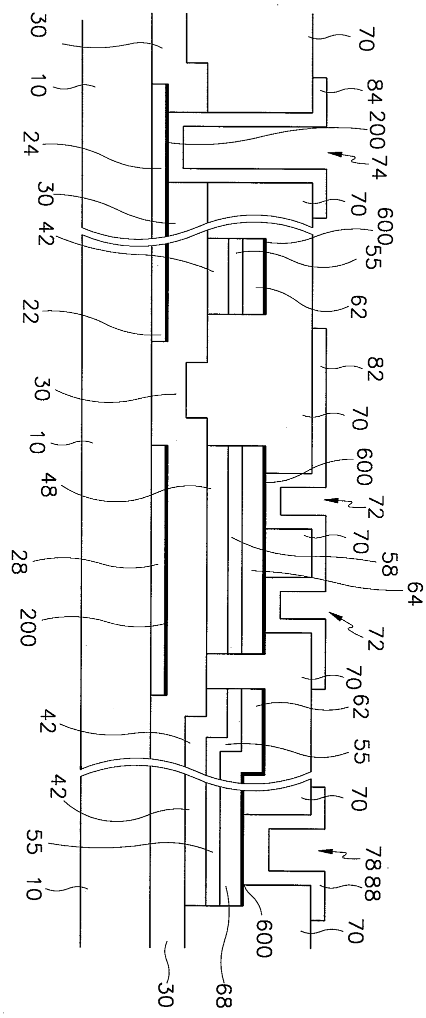
도면 8b


10
24
200
74
602
601
600
65
55
40
26
200
56
66
600
76
602
601
30
70
22
200
600
78
602
601
68

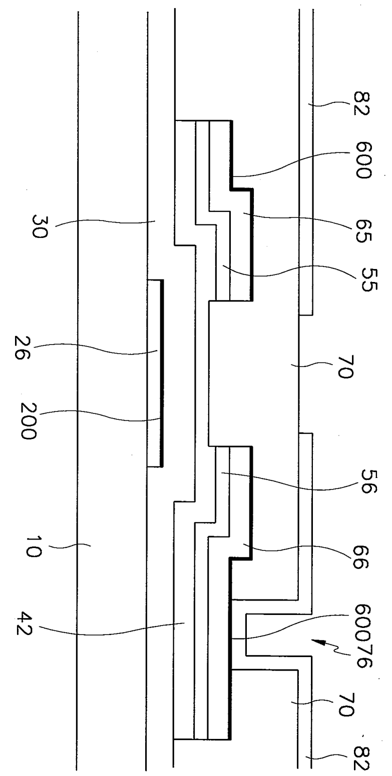
도면 9


X'
90
78
88
68
82
82
22
62
62
64
600
28
72
XI'
600
200
X
76
66
82
74
82
22
42
C
65
84
24
XI

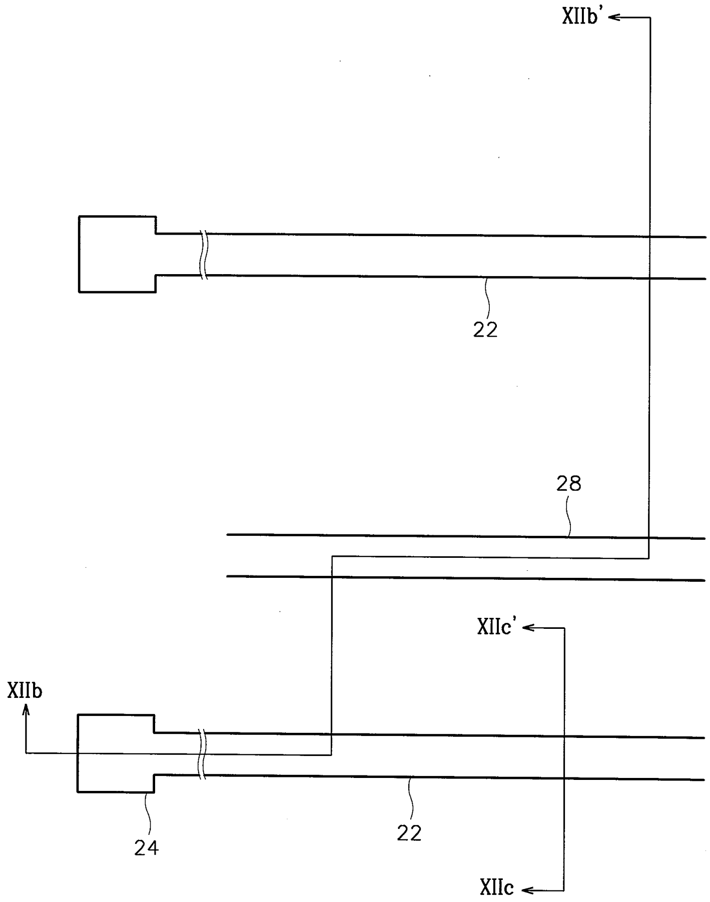
도면 10


30
10
24
30
42
22
30
10
48
28
200
42
42
55
10
30
68
600
70
88
78
70
55
62
70
72
64
58
70
72
600
70
82
62
55
600
70
74
200
84
70

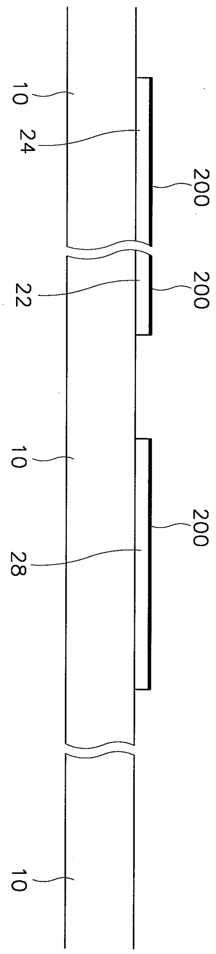
도면 11



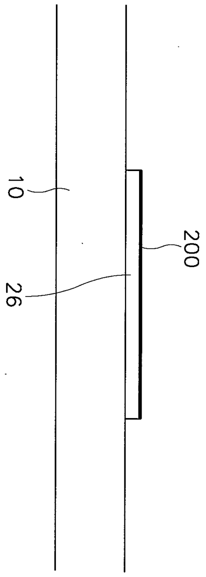
도면 12a



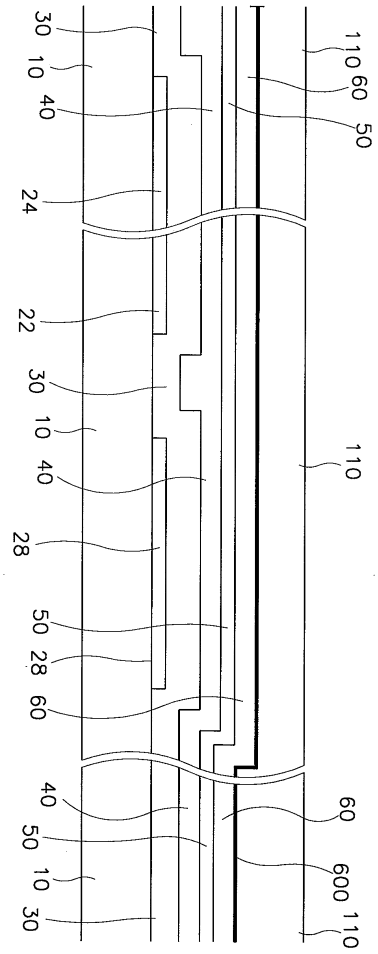
도면 12b



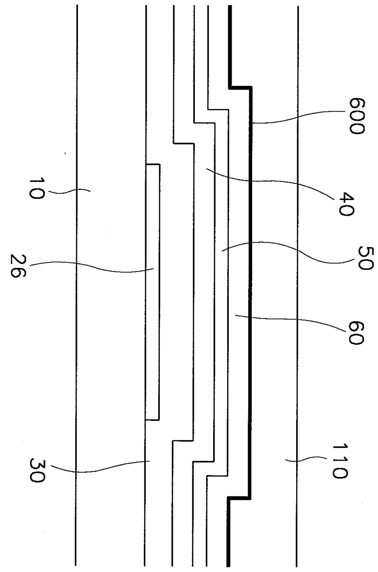
도면 12c



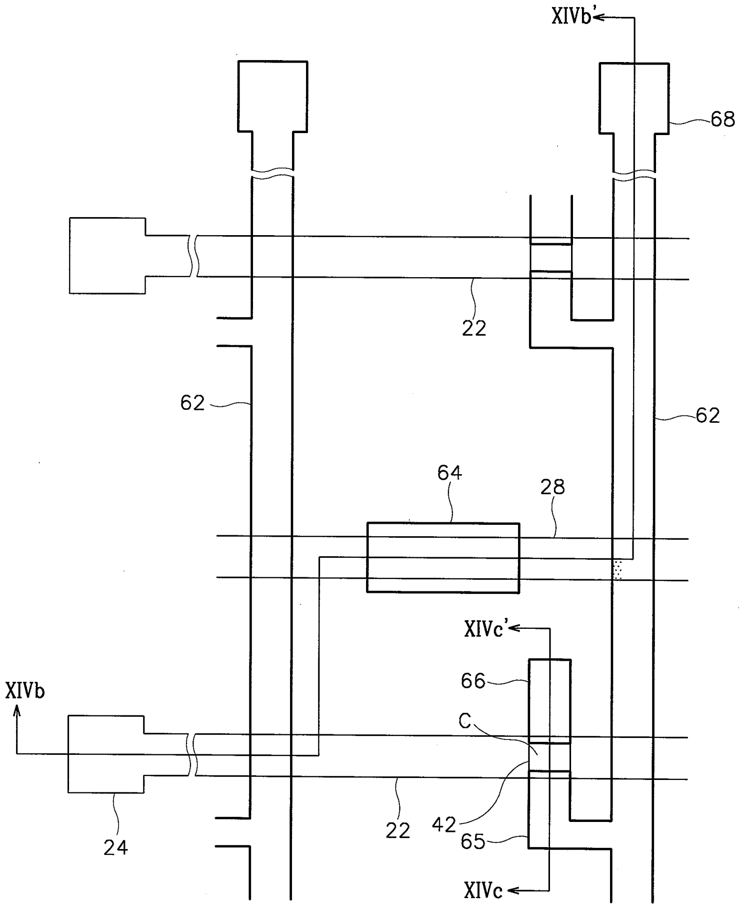
도면 13a


30
10
40
24
22
30
10
40
28
50
28
60
40
50
10
30
110
60
50
110
60
600
110

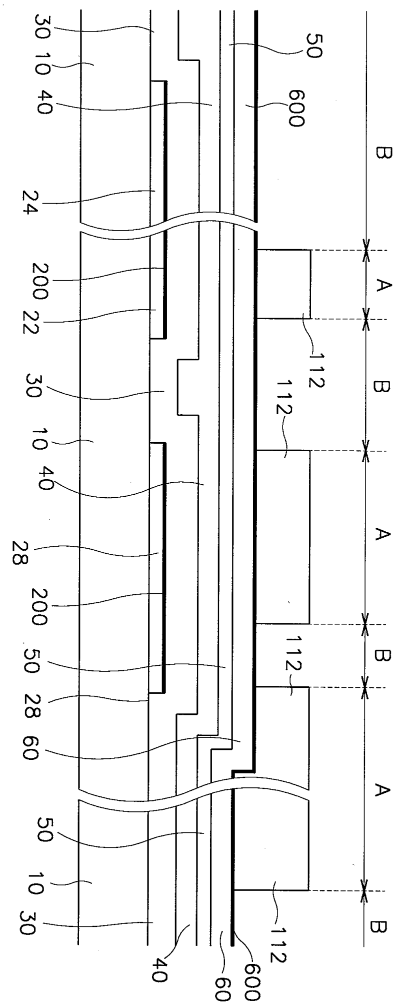
도면 13b



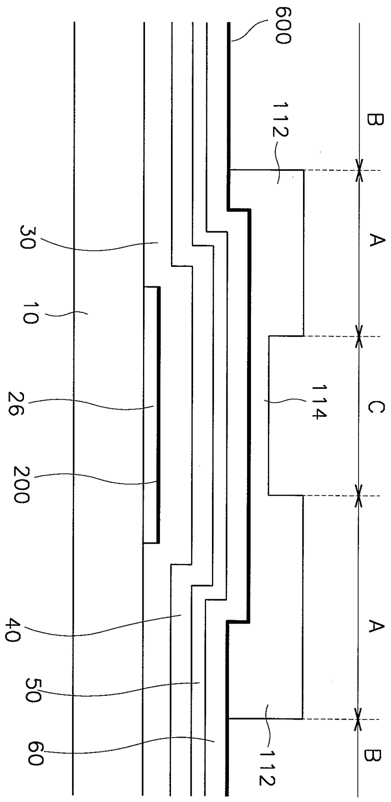
도면 14a



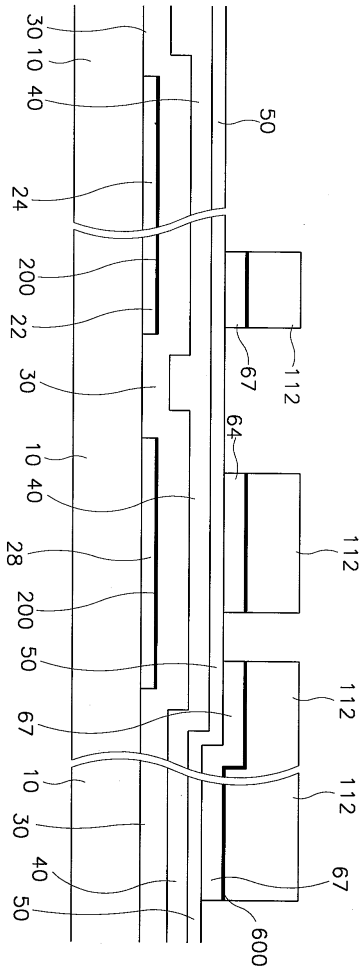
도면 14b


30
10
40
24
200
22
30
10
40
28
200
50
28
60
50
10
30
40
60
600
112
600
50
112
112
112
B
A
B
A
B
A
B

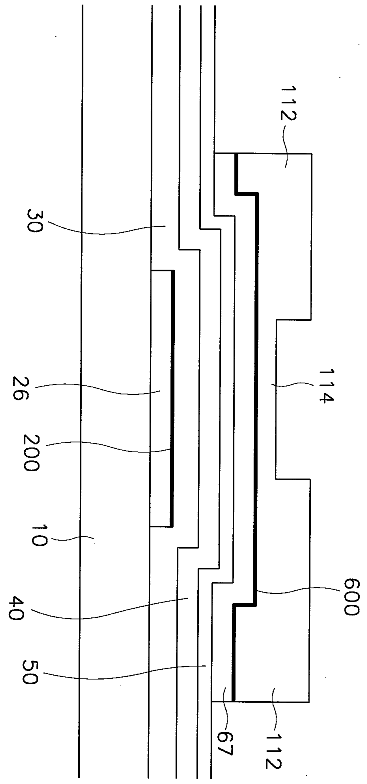
도면 14c



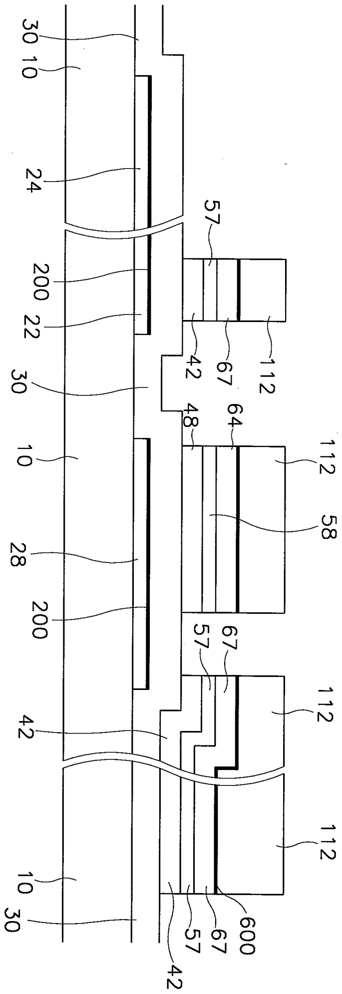
도면 15a


30
10
40
50
24
200
22
30
10
40
28
200
50
67
10
30
40
50
67
112
64
112
112
112
67
600

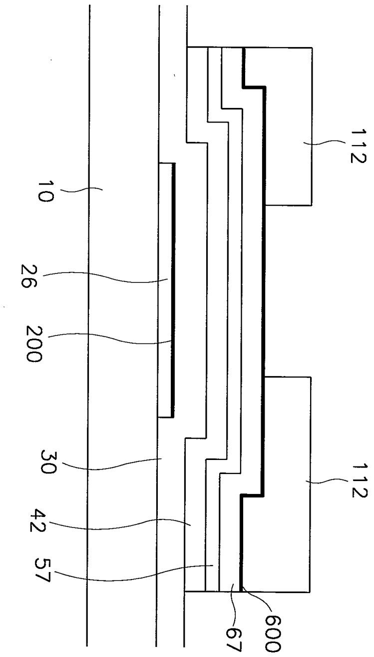
도면 15b



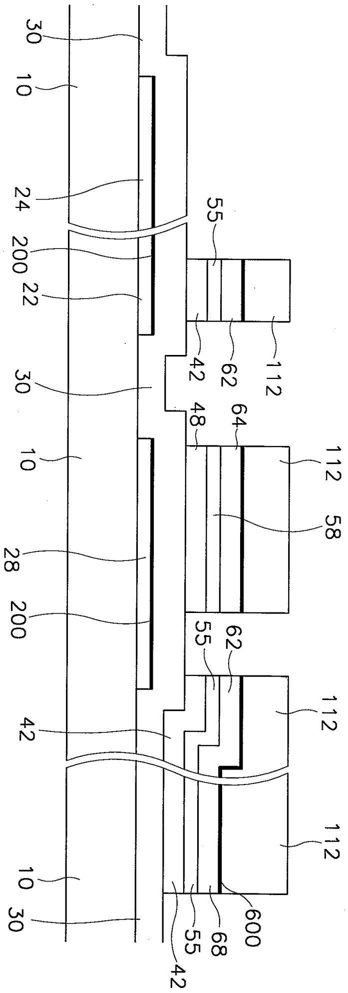
도면 16a


30
10
24
200
22
30
10
28
200
42
10
30
57
42
67
112
48
64
112
58
57
67
112
112
600
67
57
42

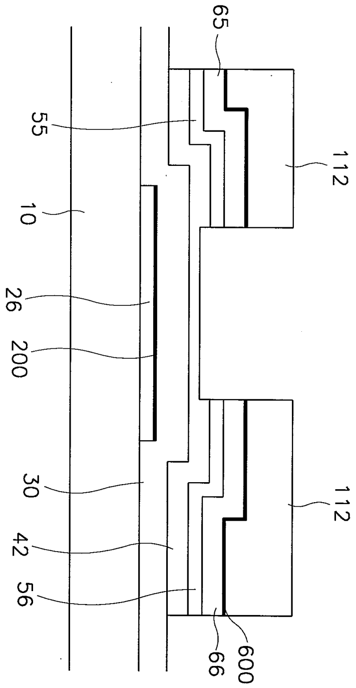
도면 16b



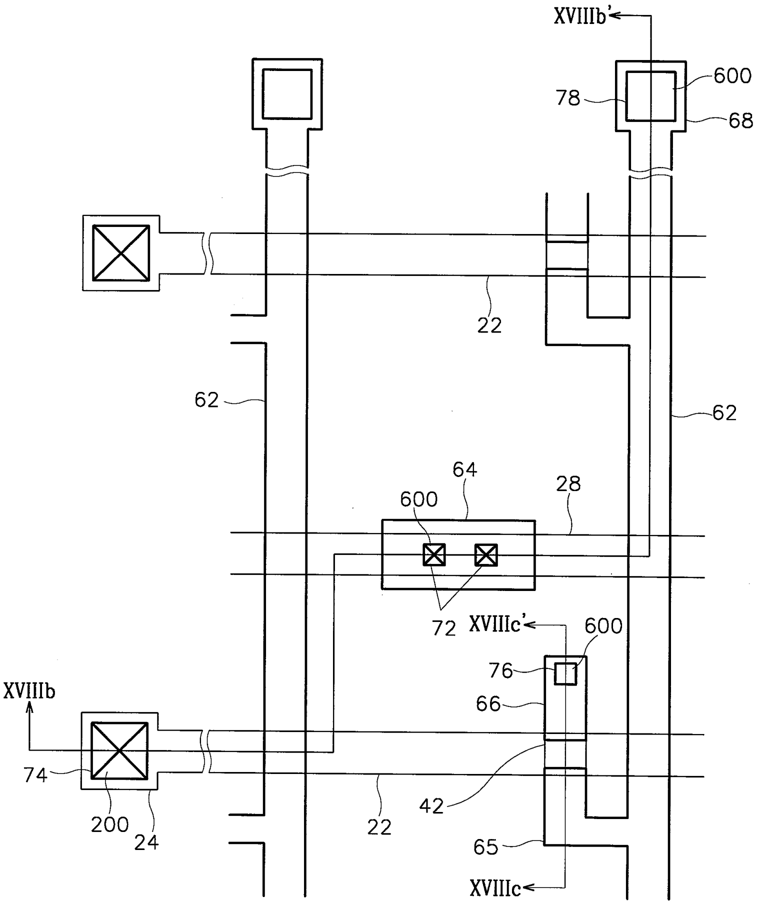
도면 17a


30
10
24
200
22
30
10
28
200
42
10
30
55
42
62
112
48
64
112
58
55
62
112
112
600
68
55
42

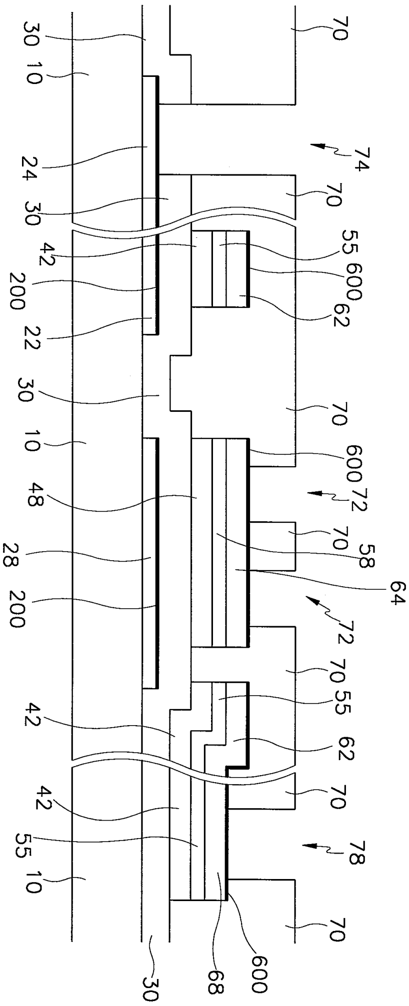
도면 17b



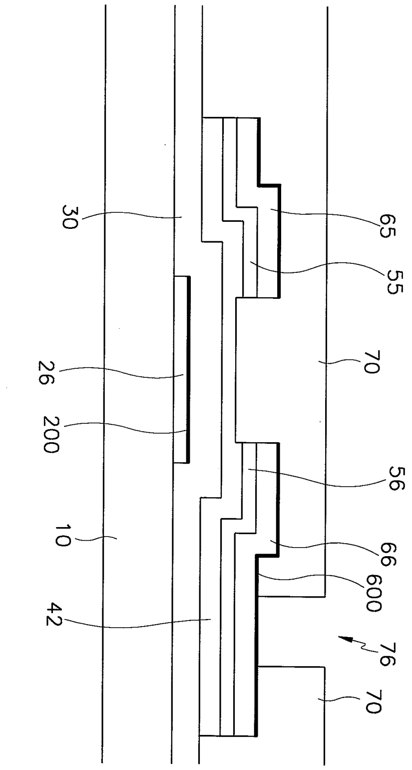
도면 18a


XVIIIb'
600
78
68
22
62
62
64
28
600
72
XVIIIc'
600
76
66
XVIIIb
74
200
24
22
42
65
XVIIIc

도면 18b


30
10
24
30
42
200
22
30
10
48
28
200
42
42
55
10
30
68
600
70
74
70
55
600
62
70
600
72
70
58
64
72
70
55
62
70
78
70

도면 18c



专利名称(译)	用于液晶显示装置的薄膜晶体管基板及其制造方法		
公开(公告)号	KR1020030016051A	公开(公告)日	2003-02-26
申请号	KR1020010049963	申请日	2001-08-20
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	SONG JEANHO 송진호 JEONG CHANGOH 정창오		
发明人	송진호 정창오		
IPC分类号	G02F1/136 G02F1/1362 H01L21/768 H01L21/3205 H01L23/52 H01L29/786 G02F1/1368		
CPC分类号	G02F1/136286 G02F1/13458 G02F1/136227 G02F2001/13629		
外部链接	Espacenet		

摘要(译)

首先，包括使用氮的反应性溅射的低电阻导电膜，用于包括铝的栅极布线的导电膜是层压铝和氮层叠并且其图案并且取决于是否包括栅极线，栅电极和栅极焊盘在基板上形成方向的栅极布线。形成下一个栅极绝缘层。半导体层和电阻接触层依次形成在上部。随后，形成包括数据线的数据线，该数据线依次连续地层叠低电阻导电膜并且与栅极线交错地形成源电极，以及漏电极和数据焊盘。随后，层压保护膜，并形成图案和漏电极，以及所示的各个接触孔的栅极焊盘和数据焊盘。随后，层叠IZO并将其图案和各个像素电极电连接，并且通过具有漏电极的低电阻导电膜，以及栅极焊盘和数据焊盘形成辅助栅极焊盘和辅助数据焊盘。铝，IZO，恒定电阻，氮，反应溅射。