(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. 7
G02F 1/1343

(11) 공개번호 특2003 - 0003041
(43) 공개일자 2003년01월09일

(21) 출원번호 10 - 2002 - 0036269
(22) 출원일자 2002년06월27일

(30) 우선권주장 JP - P - 2001 - 00196019 2001년06월28일 일본(JP)

(71) 출원인
가부시키가이샤 히타치세이사쿠쇼
일본 도쿄토 치요다쿠 간다스루가다이 4쪼메 6반치

(72) 발명자
가와찌겐시로
일본지바껭지바시미도리꾸아스미가오까4 - 29 - 14
사또히데오
일본이바라끼껭히다찌시다이하라쪼3 - 5 - 5
미야자와도시오
일본지바껭지바시미도리꾸오유미노쮸오우4 - 28 - 2
미까미요시로
일본이비라끼껭히따찌오오따시하따쪼1966 - 1
곤도가쯔미
일본이바라끼껭미또시미나미마찌4 - 23 - 802

(74) 대리인
장수길
구영창

심사청구 : 있음

(54) 액정 표시 장치

요약

저소비 전력으로 고화질의 액정 표시 장치를 실현한다. 액정을 사이에 두고 배치되는 각 기판 중 한쪽 기판의 액정측의 화소 영역에 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제1 스위칭 소자 및 제2 스위칭 소자와, 상기 제1 스위칭 소자를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 상기 제2 스위칭 소자를 통해 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 대향 전극을 구비하고, 상기 화소 전극 및 상기 대향 전극은 각각 띠 형상의 투광성 도전층으로 형성되어 있음과 함께, 실질적인 화소 영역 내에 교대로 배열되어 있다.

대표도

도 1

색인어

액정, 화소, 스위칭 소자, 대향 전극

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 액정 표시 장치의 단위 화소의 일 실시예를 도시하는 평면도.

도 2는 도 1의 A-A', B-B', C-C'선에서의 단면도.

도 3은 화소 어레이부의 등가 회로도.

도 4는 본 발명에 따른 액정 표시 장치의 단위 화소의 다른 실시예를 도시하는 평면도.

도 5는 도 4의 A-A', B-B', C-C'선에서의 단면도.

도 6은 화소 어레이부의 등가 회로도.

도 7은 본 발명에 따른 액정 표시 장치의 단위 화소의 다른 실시예를 도시하는 평면도.

도 8은 도 7의 A-A', B-B', C-C'선에서의 단면도.

도 9는 화소 어레이부의 등가 회로도.

도 10은 본 발명에 따른 액정 표시 장치의 단위 화소의 다른 실시예를 도시하는 평면도.

도 11은 도 10의 A-A', B-B', C-C'선에서의 단면도.

도 12는 화소 어레이부의 등가 회로도.

도 13은 본 발명에 따른 액정 표시 장치의 단위 화소의 다른 실시예를 도시하는 평면도.

도 14는 도 13의 A-A', B-B', C-C'선에서의 단면도.

도 15는 본 발명에 따른 액정 표시 장치의 단위 화소의 다른 실시예를 도시하는 평면도.

도 16은 도 15의 A-A', B-B', C-C'선에서의 단면도.

도 17은 본 발명에 따른 액정 표시 장치의 단위 화소의 다른 실시예를 도시하는 평면도.

도 18은 도 17의 A-A'선에서의 단면도.

도 19는 화소 어레이부의 등가 회로도.

도 20은 본 발명에 따른 액정 표시 장치의 액정 및 대향 기판을 포함시킨 구성의 일 실시예를 도시하는 단면도로, 제1 실시예 내지 제4 실시예에 따른 투과형 액정 표시 장치의 액정 셀 단면 모식도.

도 21은 도 20에 도시한 구성에서의 인가 전압과 투과율의 관계를 도시하는 그래프.

도 22는 본 발명에 따른 액정 표시 장치의 액정 및 대향 기판을 포함시킨 구성의 다른 실시예를 도시하는 단면도로, 제 6 실시예 및 제7 실시예에 다른 부분 반사 · 투과형 액정 표시 장치의 액정 셀 단면 모식도.

도 23은 도 22에 도시한 구성에서의 인가 전압과 투과율, 반사율의 관계를 도시하는 그래프.

도 24는 본 발명에 따른 액정 표시 장치의 전체의 구성의 일 실시예를 도시하는 등가 회로도.

도 25는 본 발명에 따른 액정 표시 장치의 전체의 구성의 다른 실시예를 도시하는 등가 회로도.

도 26은 도 24 또는 도 25에 도시한 액정 표시 장치의 사시도.

도 27은 본 발명에 따른 액정 표시 장치의 전체의 구성의 다른 실시예를 도시하는 등가 회로도.

도 28은 도 27에 도시한 액정 표시 장치의 사시도.

도 29는 본 발명에 따른 액정 표시 장치의 제조 방법의 일 실시예를 도시하는 단면도로, 그 방법의 제1 공정을 도시하는 도면.

도 30은 본 발명에 따른 액정 표시 장치의 제조 방법의 일 실시예를 도시하는 단면도로, 그 방법의 제2 공정을 도시하는 도면.

도 31은 본 발명에 따른 액정 표시 장치의 제조 방법의 일 실시예를 도시하는 단면도로, 그 방법의 제3 공정을 도시하는 도면.

도 32는 본 발명에 따른 액정 표시 장치의 제조 방법의 일 실시예를 도시하는 단면도로, 그 방법의 제4 공정을 도시하는 도면.

도 33은 본 발명에 따른 액정 표시 장치의 제조 방법의 일 실시예를 도시하는 단면도로, 그 방법의 제5 공정을 도시하는 도면.

도 34는 본 발명에 따른 액정 표시 장치의 제조 방법의 일 실시예를 도시하는 단면도로, 그 방법의 제6 공정을 도시하는 도면.

도 35는 본 발명에 따른 액정 표시 장치의 제조 방법의 일 실시예를 도시하는 단면도로, 그 방법의 제7 공정을 도시하는 도면.

도 36은 본 발명에 따른 액정 표시 장치의 제조 방법의 다른 실시예를 도시하는 단면도로, 그 방법의 제1 공정을 도시하는 도면.

도 37은 본 발명에 따른 액정 표시 장치의 제조 방법의 다른 실시예를 도시하는 단면도로, 그 방법의 제2 공정을 도시하는 도면.

도 38은 본 발명에 따른 액정 표시 장치의 제조 방법의 다른 실시예를 도시하는 단면도로, 그 방법의 제3 공정을 도시하는 도면.

도 39는 본 발명에 따른 액정 표시 장치의 제조 방법의 다른 실시예를 도시하는 단면도로, 그 방법의 제4 공정을 도시하는 도면.

도 40은 본 발명에 따른 액정 표시 장치의 제조 방법의 다른 실시예를 도시하는 단면도로, 그 방법의 제5 공정을 도시하는 도면.

도 41은 본 발명에 따른 액정 표시 장치의 제조 방법의 다른 실시예를 도시하는 단면도로, 그 방법의 제6 공정을 도시하는 도면.

도 42는 본 발명에 따른 액정 표시 장치의 제조 방법의 다른 실시예를 도시하는 단면도로, 그 방법의 제7 공정을 도시하는 도면.

도 43은 본 발명에 따른 액정 표시 장치의 제조 방법의 다른 실시예를 도시하는 단면도로, 그 방법의 제8 공정을 도시하는 도면.

도 44는 본 발명에 따른 액정 표시 장치의 제조 방법의 다른 실시예를 도시하는 단면도로, 그 방법의 제9 공정을 도시하는 도면.

도 45는 본 발명에 따른 액정 표시 장치의 수직 주사 회로의 일 실시예를 나타내는 회로도.

도 46은 도 45에 도시한 회로의 신호 파형예를을 도시하는 도면.

〈도면의 주요 부분에 대한 부호의 설명〉

1 : 유리 기판

10 : 주사 배선 전극

12 : 제1 신호 배선 전극

11 : 제2 신호 배선 전극

13 : 소스 전극

14 : 제1 화소 전극

15 : 제2 용량 전극

16 : 접속 전극

10P : P형 박막 트랜지스터의 게이트 전극

10N : N형 박막 트랜지스터의 게이트 전극

100 : 제2 주사 배선 전극

2 : Si_3N_4 버퍼막

200 : SiO_2 버퍼막

20 : 게이트 절연막

21 : 층간 절연층

22 : 보호 절연막

23 : 유기 절연막

201 : 보호 절연막

300 : 진성 수소화 비정질 Si막

30 : poly - Si막

31 : 저저항 n형 poly - Si층

33 : 고저항 n형 poly - Si층

50 : TFT 액티브 매트릭스

51 : 수직 주사 회로

53 : 제1 신호측 구동 회로

52 : 제2 신호측 구동 회로

DRV1 DRV3 : 드라이버 LSI

505 : 편광판

506 : 액정 조성물

507 : 컬러 필터

508 : 대향 기판

OC : 컬러 필터 보호막

ORI1, ORI2 : 배향막

BL : 백 라이트

522 : FPC

520 : 시일 패턴

SRH : 수평측 시프트 레지스터

L1 : 래치 회로

DAC : 디지털 아날로그 변환 회로

SW : 아날로그 스위치 회로

LS : 레벨 시프터

PR : 포토레지스트

LASER : 엑시머 레이저 광

UV : 자외 램프 광

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 특히, 액티브 · 매트릭스형이라 불리는 액정 표시 장치에 관한 것이다.

액정 표시 장치는 박형, 경량, 저소비 전력 등의 특징을 살려, 퍼스널 컴퓨터로 대표되는 정보 기기나 휴대형 정보 단말기나 휴대 전화, 디지털 카메라나 카메라 일체형 VTR 기기 등, 비주얼 기기의 화상 정보, 문자 정보의 표시 기기로서 널리 이용되고 있다.

최근, DVD의 등장, 대용량 자기 드라이브의 급속한 진화에 의한 대용량 미디어의 보급이나 BS 디지털 방송의 개시에 따라, 퍼스널 컴퓨터와 영상 디지털 미디어의 융합이 진행되고 있으며, 이러한 용도에 대응할 수 있는 고화질의 화상 표시 장치에 대한 요구가 강해지고 있다.

인플레인 스위칭(IPS) 모드의 액정 디스플레이는 이러한 고화질에 대한 요구를 만족시킬 수 있는 표시 방식으로 인정받고 있으며, 그 화질의 또 다른 개선에 맞춰 다양한 개량이 이루어져 왔다.

여기서, IPS 모드의 액정 디스플레이는, 액정을 사이에 두고 대향 배치되는 기판 중 한쪽 기판의 액정측의 화소 영역에, 화소 전극과 이 화소 전극 사이에 전계를 발생시키는 대향 전극이 형성되고, 해당 전계 중 기판과 거의 평행한 성분에 의해 액정의 광 투과율을 제어하는 구성으로 되어 있는 것이다.

한편, 휴대 전화, 휴대 정보 단말기의 보급에 따라, 소비 전력이 매우 작은 중소형 액정 표시 장치에 대한 요구도 강해지고 있다.

IPS 모드의 액정 표시 장치에서는, 예를 들면 특개평7-36058호에 개시되어 있는 바와 같이 절연막을 통한 다른 층의 금속 전극 사이에 발생하는 횡전계에 의해 액정을 스위칭하는 방식이 가장 일반적이지만, 이러한 구조는 통상의 TN 방식의 표시 장치에 비하여, 화소 개구율을 크게 하는 것이 곤란하고, 광 이용 효율이 낮다고 하는 문제점이 있다.

이것을 보충하기 위해서, 백 라이트 휘도를 증대시켜야 하고, LCD 모듈 전체적으로 노트북 타입의 퍼스널 컴퓨터나 휴대 단말기에 요구되는 저소비 전력화는 곤란하였다(이하, 제1 종래 기술이라 함).

또한, 상기 종래의 방식의 화소 구성에서는 개구율을 크게 하기 위해서는 각각의 전극 간의 간격을 넓게 할 필요가 있지만, 전극 간격을 넓게 하면 구동 전압이 상승하여, 드라이버 LSI의 소비 전력이 증대한다. 따라서, IPS 모드 LCD의 저소비 전력화는 종래의 기술에서는 달성하기가 곤란하였다.

이러한 문제를 해결하기 위해서, 예를 들면 특개평11-316383호에서는 평면 형상의 투명 전극과, 이것과 이층화(異層化)되어 상방에 형성된 투명 전극으로 이루어지는 빗살형 전극 사이에 발생하는 프린지 전계에 의해 액정을 구동함으로써 화소 개구율을 향상시키는 방식이 알려져 있다(이하, 제2 종래 기술이라 함).

또한, 구동 전압을 저감시키는 방법으로서, 예를 들면 특개평6-148596호에서는 화소에 액정 구동 전극을 접속한 2개의 트랜지스터를 설치하여 이들을 차동 구동함으로써 구동 전압을 저감하는 방식이 개시되어 있다(이하, 제3 종래 기술이라 함).

또, 이 제3 종래 기술에서는 y행 x열의 매트릭스 형상의 화소에 대하여, y개의 게이트 신호선과, x+1개의 드레인 신호선이 형성되어 있다. 따라서, 드레인 신호선은 서로 이웃하는 2개의 열에 속하는 화소군에 공통으로 이용되고 있다.

발명이 이루고자 하는 기술적 과제

우선, 제1 종래 기술의 문제점은, 이미 진술한 바와 같이 액정 구동 전극에 절연막을 통한 다른 층의 금속 전극을 이용하였기 때문에 개구율의 확대가 곤란하고 저소비 전력화는 달성할 수 없다.

제2 종래 기술에서는, 개구율의 향상은 분명하지만, 종래의 방식에 비하여, 잔상의 발생이 현저하고, 고화질화 달성이 곤란하였다. 또한, 공정 중에 각층의 투명 전극을 형성할 필요가 있어, 공정이 복잡하게 되고 비용 저감이 곤란하다.

제3 종래 기술에서는, 액정 구동부에서는 저 구동 전압화는 달성할 수 있지만, 2개의 신호선 사이에 차동 전압을 공급하도록 드라이버 LSI의 전단에서 화상 데이터를 변환할 필요가 있어, 이를 위한 회로가 복잡하게 되어 비용 상승이 된다. 또한, 이 변환 회로 내부에서의 전압의 다이내믹 범위가 통상의 구동의 경우보다 커져, 따라서 이 부분에서 소비 전력이 커지고, 모듈 전체에서의 저소비 전력화를 달성할 수 없다.

이상과 같이 종래의 기술, 또는 그 조합에서는 저소비 전력이 요구되는 기기로의 IPS 모드 액정의 적용은 곤란하였다.

본 발명은 이러한 종래 기술의 문제점을 해결하여, 예를 들면 노트북 타입의 퍼스널 컴퓨터나 휴대 단말기에 적합한 광시야각 액정 표시 장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본원에 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 다음과 같다.

수단 1.

액정을 사이에 두고 배치되는 각 기판 중 한쪽 기판의 액정측의 화소 영역에 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제1 스위칭 소자 및 제2 스위칭 소자와, 상기 제1 스위칭 소자를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 상기 제2 스위칭 소자를 통해 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 대향 전극을 구비하고,

상기 화소 전극 및 상기 대향 전극은 각각 띠 형상의 투광성 도전층으로 형성되어 있음과 함께, 실질적 화소 영역 내에 교대로 배열되어 있다.

수단 2.

수단 1에 있어서,

상기 화소 전극 및 상기 대향 전극은 각각, 상기 제1 스위칭 소자 및 상기 제2 스위칭 소자를 피복하여 형성되는 보호막 상에 동층으로 형성되고, 상기 보호막에 형성된 관통 홀을 통해 상기 제1 스위칭 소자 및 상기 제2 스위칭 소자에 전기적으로 접속되어 있다.

수단 3.

수단 1에 있어서,

상기 보호막은 무기 재료를 포함하는 보호막과 유기 재료를 포함하는 보호막과의 순차 적층체로 이루어진다.

수단 4.

액정을 사이에 두고 배치되는 각 기판 중 한쪽 기판의 액정측의 화소 영역에 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제1 스위칭 소자 및 제2 스위칭 소자와, 상기 제1 스위칭 소자를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 상기 제2 스위칭 소자를 통해 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 대향 전극을 구비하고,

상기 화소 전극 및 상기 대향 전극은 각각, 상기 드레인 신호선에 거의 평행하게 배치되는 띠 형상의 투광성 도전층으로 형성되어 있음과 함께, 실질적 화소 영역 내에 교대로 배열되고,

또한, 상기 기준 전압 신호선은 상기 드레인 신호선에 거의 평행하게 배치되어 있다.

수단 5.

액정을 사이에 두고 배치되는 각 기판 중 한쪽 기판의 액정측의 화소 영역에 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제1 스위칭 소자 및 제2 스위칭 소자와, 상기 제1 스위칭 소자를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 상기 제2 스위칭 소자를 통해 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 대향 전극을 구비하고,

상기 화소 전극 및 상기 대향 전극은 각각, 상기 드레인 신호선에 거의 평행하게 배치되는 띠 형상의 투광성 도전층으로 형성되어 있음과 함께, 실질적 화소 영역 내에 교대로 배열되고,

또한, 상기 기준 전압 신호선은 상기 드레인 신호선에 거의 평행하게 배치되고, 상기 화소 전극 및 상기 대향 전극 중 하나의 전극과 중첩되어 배치되어 있다.

수단 6.

액정을 사이에 두고 배치되는 각 기판 중 한쪽 기판의 액정측의 화소 영역에 게이트 신호선으로부터의 주사 신호에 의해 작동되는 스위칭 소자와, 이 스위칭 소자를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 대향 전극을 구비하고,

상기 화소 전극 및 상기 대향 전극은 각각 띠 형상의 투광성 도전층으로 형성되어 있음과 함께, 실질적 화소 영역 내에 교대로 배열되어 있다.

수단 7.

수단 6에 있어서,

상기 화소 전극 및 상기 대향 전극은 각각, 상기 스위칭 소자를 피복하여 형성되는 보호막 상에 동층으로 형성되고, 상기 보호막에 형성된 관통 홀을 통해 상기 스위칭 소자 및 상기 기준 전압 신호선에 전기적으로 접속되어 있다.

수단 8.

수단 6에 있어서,

상기 보호막은 무기 재료를 포함하는 보호막과 유기 재료를 포함하는 보호막과의 순차 적층체로 이루어진다.

수단 9.

수단 6에 있어서,

상기 스위칭 소자는 반도체층을 다결정 실리콘으로 하는 박막 트랜지스터이다.

수단 10.

액정을 사이에 두고 배치되는 각 기판 중 한쪽 기판의 액정측의 화소 영역에 게이트 신호선으로부터의 주사 신호에 의해 작동되는 스위칭 소자와, 이 스위칭 소자를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 대향 전극을 구비하고,

상기 화소 전극 및 상기 대향 전극은 각각, 상기 드레인 신호선에 거의 평행하게 배치되는 띠 형상의 투광성 도전층으로 형성되어 있음과 함께, 실질적인 화소 영역 내에 교대로 배열되고,

또한, 상기 기준 전압 신호선은 상기 드레인 신호선에 거의 평행하게 배치되어 있다.

수단 11.

액정을 사이에 두고 배치되는 각 기판 중 한쪽 기판의 액정측의 화소 영역에 게이트 신호선으로부터의 주사 신호에 의해 작동되는 스위칭 소자와, 이 스위칭 소자를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 대향 전극을 구비하고,

상기 화소 전극 및 상기 대향 전극은 각각, 상기 드레인 신호선에 거의 평행하게 배치되는 띠 형상의 투광성 도전층으로 형성되어 있음과 함께, 실질적 화소 영역 내에 교대로 배열되고,

또한, 상기 기준 전압 신호선은 상기 드레인 신호선에 거의 평행하게 배치되고, 상기 화소 전극 및 상기 대향 전극 중 하나의 전극과 중첩되어 배치되어 있다.

수단 12.

액정을 사이에 두고 배치되는 각 기판 중 한쪽 기판의 액정측의 화소 영역에 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제1 스위칭 소자 및 제2 스위칭 소자와, 상기 제1 스위칭 소자를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 상기 제2 스위칭 소자를 통해 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 대향 전극을 구비하고,

상기 화소 전극 및 상기 대향 전극은 상기 제1 스위칭 소자 및 상기 제2 스위칭 소자를 피복하여 형성되는 보호막의 상면에, 각각 띠 형상의 투광성 도전층으로 형성되어 있음과 함께, 실질적 화소 영역 내에 교대로 배열되고,

또한, 상기 보호막의 하면의 화소 영역 내의 전역에서 상기 대향 전극과 동 전위로 유지되는 반사막이 형성되어 있다.

수단 13.

수단 12에 있어서,

상기 보호막은 무기 재료를 포함하는 보호막과 유기 재료를 포함하는 보호막과의 순차 적층체로 이루어진다.

수단 14.

액정을 사이에 두고 배치되는 각 기판 중 한쪽 기판의 액정측의 화소 영역에 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제1 스위칭 소자 및 제2 스위칭 소자와, 상기 제1 스위칭 소자를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 상기 제2 스위칭 소자를 통해 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 대향 전극을 구비하고,

상기 화소 전극 및 상기 대향 전극은 상기 제1 스위칭 소자 및 상기 제2 스위칭 소자를 피복하여 형성되는 보호막의 상면에, 각각 띠 형상의 투광성 도전층으로 형성되어 있음과 함께, 실질적 화소 영역 내에 교대로 배열되고,

또한, 상기 보호막의 하면의 화소 영역 내의 일부에서 상기 대향 전극과 동 전위로 유지되는 반사막이 형성되어 있다.

수단 15.

수단 14에 있어서,

상기 보호막은 무기 재료를 포함하는 보호막과 유기 재료를 포함하는 보호막과의 순차 적층체로 이루어진다.

수단 16.

액정을 사이에 두고 대향 배치되는 각 기판의 한쪽 기판의 액정측의 화소 영역에, 그 화소 영역을 이분하도록 하여 배치되는 기준 전압 신호선과, 이 기준 전압 신호선을 사이로 하여 그 한 측 및 다른 측에 각각 상기 기준 전압 신호선과 평행하게 배치되는 제1 및 제2 게이트 신호선이 형성되고,

상기 한쪽의 측의 화소 영역에, 상기 제1 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제1 박막 트랜지스터와, 이 제1 박막 트랜지스터를 통해 영상 신호가 공급되는 제1 화소 전극과, 상기 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 제1 대향 전극이 구비되고,

상기 다른 쪽의 측의 화소 영역에, 상기 제2 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제2 박막 트랜지스터와, 이 제2 박막 트랜지스터를 통해 영상 신호가 공급되는 제2 화소 전극과, 상기 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 제2 대향 전극이 구비되고,

상기 제1 및 제2 화소 전극 및 상기 제1 및 제2 대향 전극은 상기 제1 및 제2 박막 트랜지스터를 피복하여 형성되는 보호막의 상면에 각각 띠 형상의 투광성 도전층으로 형성되어 있음과 함께 실질적 화소 영역 내에 교대로 배열되고,

또한, 상기 기준 전압 신호선을 사이로 하여 그 한쪽의 측 및 다른 쪽의 측 중 어느 하나의 화소 영역에서의 상기 보호막의 하면에 반사막이 형성되어 있다.

수단 17.

액정을 사이에 두고 대향 배치되는 각 기판의 한쪽 기판의 액정측의 화소 영역에, 그 화소 영역을 이분하도록 하여 배치되는 기준 전압 신호선과, 이 기준 전압 신호선을 사이로 하여 그 한 측 및 다른 측에 각각 상기 기준 전압 신호선과 평행하게 배치되는 제1 및 제2 게이트 신호선이 형성되고,

상기 한쪽의 측의 화소 영역에, 상기 제1 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제1 박막 트랜지스터와 제2 박막 트랜지스터와, 상기 제1 박막 트랜지스터를 통해 영상 신호가 공급되는 제1 화소 전극과, 상기 제2 박막 트랜지스터를 통해 상기 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 제1 대향 전극이 구비되고,

상기 다른 쪽의 측의 화소 영역에, 상기 제2 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제3 박막 트랜지스터와 제4 박막 트랜지스터와, 상기 제3 박막 트랜지스터를 통해 영상 신호가 공급되는 제2 화소 전극과, 상기 제4 박막 트랜지스터를 통해 상기 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 제2 대향 전극이 구비되고,

상기 제1 및 제2 화소 전극 및 상기 제1 및 제2 대향 전극은 상기 제1, 제2, 제3, 및 제4 박막 트랜지스터를 피복하여 형성되는 보호막의 상면에 각각 띠 형상의 투광성 도전층으로 형성되어 있음과 함께 실질적 화소 영역 내에 교대로 배열되고,

또한, 상기 기준 전압 신호선을 사이로 하여 그 한쪽의 측 및 다른 쪽의 측 중 어느 하나의 화소 영역에서의 상기 보호막의 하면에 반사막이 형성되어 있다.

수단 18.

수단 16 또는 수단 17에 있어서,

상기 보호막은 무기 재료를 포함하는 보호막과 유기 재료를 포함하는 보호막과의 순차 적층체로 이루어진다.

수단 19.

수단 16 또는 수단 17에 있어서,

상기 제1 게이트 신호선으로부터의 주사 신호와 상기 제2 게이트 신호선으로부터의 주사 신호는 타이밍이 다르다.

수단 20.

액정을 사이에 두고 배치되는 각 기판 중 한쪽 기판의 액정측의 화소 영역에 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제1 스위칭 소자 및 제2 스위칭 소자와, 상기 제1 스위칭 소자를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 상기 제2 스위칭 소자를 통해 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 대향 전극을 구비하고,

상기 기준 전압 신호선은 상기 드레인 신호선에 거의 평행하게 배치되어 있음과 함께, 이웃한 화소의 상기 화소 전극과는 상기 제1 스위칭 소자를 통해 접속되어 있지 않다.

수단 21.

액정을 사이에 두고 배치되는 각 기판 중 한쪽 기판의 액정측의 화소 영역에 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제1 스위칭 소자 및 제2 스위칭 소자와, 상기 제1 스위칭 소자를 통해 제1 신호 배선 전극으로부터의 전압이 공급되는 제1 화소 전극과, 상기 제2 스위칭 소자를 통해 제2 신호 배선 전극으로부터의 전압이 공급되는 제2 화소 전극을 구비하고,

상기 제2 신호 배선 전극은 상기 제1 신호 배선 전극에 거의 평행하게 배치되어 있음과 함께, 이웃하는 화소의 상기 제1 화소 전극과는 상기 제1 스위칭 소자를 통해 접속되어 있지 않다.

본 발명의 그 밖의 특징은 이하의 실시 형태로부터 명확하게 될 것이다.

이하, 본 발명에 따른 액정 표시 장치의 실시예를 도면을 이용하여 설명을 한다.

《화소의 구성》

〈제1 실시예〉

도 1은 본 발명에 따른 액정 표시 장치의 단위 화소의 일 실시예를 도시하는 평면도이다. 액정 표시 장치의 액정 표시부는 매트릭스 형상으로 배치된 다수의 화소로 구성되고, 단위 화소는 그 중 하나의 화소가 된다. 따라서, 도 1에 도시한 단위 화소의 상하 및 좌우의 각각의 단위 화소도 마찬가지의 구성으로 되어 있다.

그리고, 도 2의 우측, 가운데, 좌측의 각 도면은, 각각 도 1의 A-A', B-B', C-C'부에서의 단면을 나타낸다. 또한, 도 3은 화소 어레이부의 등가 회로를 도시한다.

전체는 변형점이 약 670℃인 무알카리 유리 기판(1) 상에 막 두께 50㎚의 Si_3N_4막(200)과 막 두께 120㎚의 SiO_2막(2)으로 이루어지는 버퍼 절연막 상에 형성되어 있다. 버퍼 절연막은 유리 기판(1)으로부터의 Na 등의 불순물의 확산을 방지하는 역할을 한다.

상기 SiO_2 막(2) 상에는 2개의 박막 트랜지스터 Q1, Q2에 대응하는 두 개의 막 두께 50㎚의 다결정 Si(이하, poly-Si라고 기재함)막(30)이 형성되고, 각각의 poly-Si(30) 상에는 SiO_2 로 이루어지는 게이트 절연막(20)을 통해 Mo으로 이루어지는 주사 배선 전극(10)이 형성되어 있다. 또한, 상기 주사 배선 전극(게이트 신호선)(10)과 동일한 Mo을 이용하여 제2 신호 배선 전극(기준 전압 신호선)(11)이 형성되어 있다.

상기 부재 전부를 덮도록 SiO_2 로 이루어지는 층간 절연막(21)이 형성되고, 층간 절연막(21)에 형성된 컨택트 관통 홀을 통해, Mo/Al/Mo의 3층 금속막으로 이루어지는 제1 신호 배선 전극(드레인 신호선)(12) 및 소스 전극(13)이 한쪽의 poly-Si층의 일부에 설치된 소스, 드레인층에 접속되어 있다.

또한, 층간 절연막(21)에 형성된 컨택트 관통 홀을 통해, Mo/Al/Mo의 3층 금속막으로 이루어지는 접속 전극(16)이 다른 쪽의 poly-Si층의 일부에 설치된 소스, 드레인층의 한쪽과 상기 제2 신호 배선 전극(11)에 접속되고, 소스, 드레인층의 다른 쪽에는 Mo/Al/Mo의 3층 금속막으로 이루어지는 제2 소스 전극(13')이 층간 절연막(21)에 형성된 컨택트 관통 홀을 통해 접속되어 있다.

Mo/Al/Mo의 3층 금속막 중, Al의 하층의 Mo막은 poly-Si막(30)과 Al 사이의 컨택트 저항을 저감시키기 위해 형성되고, Al의 상층의 Mo막은 소스 전극(13, 13')과 화소 전극(14, 15) 사이의 컨택트 저항을 저감시키기 위해 형성되어 있다.

이들 소자 전체는 막 두께 400㎚의 Si_3N_4 로 이루어지는 보호 절연막(22)과 막 두께 2㎛의 아크릴계 수지를 주성분으로 하는 유기 절연막(유기 보호막)(23)에 의해 피복되어 있다.

또한, 한쪽의 박막 트랜지스터 Q1의 소스 전극(13)에는 보호 절연막(22) 및 유기 절연막(23)에 형성된 컨택트 관통 홀을 통해 인듐-주석 산화물(ITO)로 이루어지는 제1 화소 전극(14)이 접속되고, 다른 쪽의 박막 트랜지스터 Q2의 제2 소스 전극(13')에는 보호 절연막(22) 및 유기 절연막(23)에 형성된 컨택트 관통 홀을 통해 ITO로 이루어지는 제2 화소 전극(대향 전극)(15)이 접속되어 있다.

상기 제1 화소 전극(14)과 제2 화소 전극(15)은 도 1의 평면도에 도시한 바와 같이 상호 교합하는 두 개의 빗살형 전극으로 구성된다. 이 경우, 주사 배선 전극(게이트 신호선)(10)과 제1 신호 배선 전극(드레인 신호선)(12)으로 둘러싸이는 영역 중 실질적으로 화소 영역으로서 기능하는 것은 해당 영역의 주변을 제외한 부분(액정을 사이에 두고 대향하는 다른 기판의 액정측의 면에 형성되는 블랙 매트릭스의 개구부에 상당함)이 되기 때문에, 이 화소 영역에서 상기 제1 화소 전극(14)과 제2 화소 전극(15)은 이들의 병설 방향으로 교대로 배열된 상태가 된다.

또한, 도 3에 도시한 바와 같이 상기 2개의 신호 배선 전극 중, 제1 신호 배선 전극(12)은 주사 배선 전극(10)과 교차하도록 형성되고, 제2 신호 배선 전극(11)은 주사 배선 전극(10)과 평행하게 배치되어 있다. 제1 신호 배선 전극(12)에 공급된 전압은 제1 박막 트랜지스터 Q1을 통해 상기 제1 화소 전극(14)에 인가되고, 제2 신호 배선 전극(11)에 공급된 전압은 제2 박막 트랜지스터 Q2를 통해 상기 제2 화소 전극(15)에 인가되어, 액정은 이들 두 개의 화소 전극(14, 15) 사이에 발생하는 전계에 의해 구동된다.

이와 같이 구성된 액정 표시 장치는 제1 및 제2 신호 배선 전극(12, 11)에 차동 전압을 인가함으로써, 각각의 화소 전극에 인가되는 전압을 통상의 1/2로 저감시킬 수 있다.

또한, 두 개의 화소 전극(14, 15)을 투명 전극인 ITO로 구성하고, 또한 폭 4㎛의 상호 교합하는 빗살형 전극으로 함으로써, 구동 전압을 저감시킬 수 있다.

또한, 전극이 투명하므로, 전극 상의 액정이 전극의 단부로부터 1.5 2㎛ 내측까지 프린지 전계에 의해 구동되고, 개구부와 동등하게 기능하므로, 실효적인 개구율이 향상되어, 광 이용 효율이 향상된다.

이들 효과에 의해, LCD 모듈 전체의 소비 전력을 저감시킬 수 있다.

〈제2 실시예〉

도 4는 본 발명에 따른 액정 표시 장치의 단위 화소의 다른 실시예를 도시한 평면도로, 도 1과 대응한 도면으로 되어 있다. 도 5의 우측, 가운데, 좌측의 각 도면은, 각각 도 4의 A-A', B-B', C-C'부의 단면을 도시한다. 도 6은 화소 어레이부의 등가 회로를 도시한다.

본 실시예에 있어서, 사용한 각종 막 재료 및 이들의 적층 구조는 제2 실시예의 경우와 거의 마찬가지이다. 또한, 제1 신호 배선 전극(드레인 신호선)(12)에 공급된 전압은 제1 박막 트랜지스터 Q1을 통해 상기 제1 화소 전극(14)에 인가되고, 제2 신호 배선 전극(기준 전압 신호선)(11)에 공급된 전압은 제2 박막 트랜지스터 Q2를 통해 상기 제2 화소 전극(15)에 인가되는 구성, 및 두 개의 화소 전극(14, 15)을 투명 전극인 ITO로 구성하고, 또한 폭 4㎛의 상호 교합하는 빗살형 전극으로 한 점도 마찬가지이다.

본 실시예에 있어서는, 도 6에 도시한 바와 같이 상기 제2 신호 배선 전극(11)을 제1 신호 배선 전극(12)과 대략 평행하게 배치한 점이 제1 실시예와는 다르다.

구체적으로는, 제1 실시예에 있어서의 접속 전극(16)에 해당하는 부재를 제2 신호 배선 전극(11)으로 하여, 제1 신호 배선 전극(12)과 평행한 방향으로 연장시킨 것이다. 이 때, 상기 제2 신호 배선 전극(11)은 빗살형의 제2 화소 전극(15) 내의 한 개의 전극의 하층에 배치시켰다.

이러한 배치로 함으로써, 상기 제1 실시예에서 필요하였던 제2 신호 배선 전극(11)과 접속 전극(16) 사이를 접속하는 관통 홀을 1개 배제할 수 있기 때문에, 개구율을 향상시킬 수 있었다. 또한, 상기 제2 신호 배선 전극(11)은 빗살형의 제2 화소 전극(15) 내의 한 개의 전극의 하층에 배치함으로써, 불투명한 제2 신호 배선 전극(11)의 존재에 의한 개구율의 저하를 최소한으로 할 수 있다.

제2 신호 배선 전극(11)을 주사 배선 전극(10)과 평행하게 연장시킨 경우에는 제2 신호 배선 전극(11)의 용량은 제2 신호 배선 전극(11)에 접속되는 모든 화소의 전하 유지 용량과 액정층 용량의 합이 되어, 큰 값이 된다. 제2 신호 배선 전극(11)의 저항치가 충분히 작지 않은 경우, 신호 지연에 의해 가로 방향의 섀도윙이 발생하여 화질 불량이 될 가능성이 있다.

이로 인해, 제2 실시예와 같이 제2 신호 배선 전극(11)을 제1 신호 배선 전극(12)과 평행한 방향으로 연장하여 배치한 경우에는 제2 신호 배선 전극(11) 1개당 용량은 공통 전극(제2 신호 배선 전극)(11)과 주사 전극(주사 배선 전극)(10)의 교차 용량과 선택된 화소 1 개분의 전하 유지 용량과 액정층 용량의 합이 되어, 전자에 비하여 작은 값이 되므로 상기한 바와 같은 신호 지연에 의한 화질 문제는 발생하지 않는다.

〈제3 실시예〉

도 7은 본 발명에 따른 액정 표시 장치의 단위 화소의 다른 실시예를 도시한 평면도로, 도 1과 대응한 도면으로 되어 있다.

도 8의 우측, 가운데, 좌측의 각 도면은, 각각 도 7의 A-A', B-B', C-C'부의 단면을 도시한다. 도 9는 화소 어레이부의 등가 회로를 도시한다.

본 실시예에 있어서, 사용한 각종 막 재료 및 이들의 적층 구조는 상기 제1 실시예와 거의 마찬가지이다.

본 실시예에 있어서는 상기 제2 신호 배선 전극(11)과 제2 화소 전극(15)은 직접 접속되어, 이들 사이에는 박막 트랜

지스터 Q2가 없는 구성으로 하였다. 이와 같이 화소 내에 구성하는 박막 트랜지스터를 1개만으로 함으로써, 박막 트랜지스터에 점유되는 면적을 축소할 수 있어 화소 개구율을 확대시킬 수 있다. 또한, 이러한 구성으로 하여도 상기 제2 신호 배선 전극(11)과 제1 신호 배선 전극(12) 사이에 차동 전압을 인가함으로써, 구동 전압을 저감시킬 수 있는 효과는 상기 제1 및 제2 실시예와 마찬가지로 얻을 수 있다.

구동 방식으로서는 1프레임 기간마다 전압 극성을 반전하는 프레임 반전 구동 또는 1주사 기간마다 전압 극성을 반전하는 라인 반전 구동 중 어느 하나를 사용할 수 있다.

또한, 두 개의 화소 전극(14, 15)을 투명 전극인 ITO로 구성하고, 또한 폭 4㎛의 상호 교합하는 빗살형 전극으로 한 점도 마찬가지이므로, 제1 실시예와 마찬가지인 개구율의 향상, 구동 전압 전원의 저감을 실현할 수 있다.

본 실시예와 같이 화소 구동 박막 트랜지스터로서, 구동 능력이 큰 poly-Si 박막 트랜지스터를 이용함으로써 박막 트랜지스터의 사이즈를 작게 할 수 있어, 화소 개구율을 향상시킬 수 있다.

〈제4 실시예〉

도 10은 본 발명에 따른 액정 표시 장치의 단위 화소의 다른 실시예를 도시한 평면도로, 도 1과 대응한 도면으로 되어 있다. 도 11의 우측, 가운데, 좌측의 각 도면은, 각각 도 10의 A-A', B-B', C-C'부의 단면을 도시한다. 도 12는 화소 어레이부의 등가 회로를 도시한다.

본 실시예에 있어서, 사용한 각종 막 재료 및 이들의 적층 구조는 상기 제1 실시예와 거의 마찬가지이다.

본 실시예에 있어서, 상기 제3 실시예와 마찬가지로, 제2 신호 배선 전극(기준 전압 신호선)(11)과 제2 화소 전극(대향 전극)(15)은 직접 접속되어, 이들 사이에는 박막 트랜지스터 Q2가 없는 구성으로 하였다.

단, 이 때, 상기 제2 신호 배선 전극(11)을 제1 신호 배선 전극(12)과 대략 평행하게 배치하였다. 이러한 배치로 함으로써, 제2 신호 배선 전극(11)과 접속 전극(16) 사이를 접속하는 관통 홀을 1개 배제할 수 있기 때문에, 개구율을 향상시킬 수 있었다.

또한, 상기 제2 신호 배선 전극(11)은 빗살형의 제2 화소 전극(15) 내의 한 개의 전극의 하층에 배치함으로써, 불투명한 신호 배선 전극(11)의 존재에 의한 개구율의 저하를 최소한으로 할 수 있다. 또한, 본 실시의 형태에서는 제2 신호 배선 전극(11)과 제2 화소 전극(15) 사이의 박막 트랜지스터 Q2가 존재하지 않기 때문에, 개구율을 더욱 크게 할 수 있다.

본 실시예는, 지금까지 도시한 실시 형태 중에서는 개구율을 가장 크게 할 수 있는 구성이다.

기타, 구동 전압을 저감시킬 수 있는 효과에 대해서는 상기 제3 실시예와 마찬가지이다.

구동 방식으로서는 1프레임 기간마다 전압 극성을 반전하는 프레임 반전 구동 또는 1프레임마다 전압 극성을 반전하지만, 서로 이웃하는 제1 신호 배선 전극(12)에는 역극성의 전압을 인가하는 컬럼 반전 구동 중 어느 하나를 사용할 수 있다.

〈제5 실시예〉

도 13은 본 발명에 따른 액정 표시 장치의 단위 화소의 다른 실시예를 도시한 평면도로, 도 1과 대응한 도면으로 되어 있다. 도 14의 우측, 가운데, 좌측의 각 도면은, 각각 도 13의 A-A', B-B', C-C'부의 단면을 도시한다.

본 실시예에 있어서, 사용한 각종 막 재료 및 이들의 적층 구조는 상기 제1 실시예와 거의 마찬가지이다. 또한, 제1 신

호 배선 전극(드레인 신호선)(12)에 공급된 전압은 제1 박막 트랜지스터 Q1을 통해 상기 제1 화소 전극(14)에 인가되고, 제2 신호 배선 전극(기준 전압 신호선)(11)에 공급된 전압은 제2 박막 트랜지스터 Q2를 통해 상기 제2 화소 전극(대향 전극)(15)에 인가되는 구성, 및 두 개의 화소 전극(14, 15)을 투명 전극인 ITO로 구성하고, 또한 폭 4㎛의 상호 교합하는 빗살형 전극으로 한 점도 마찬가지이다.

본 실시예에 있어서는 표시 영역을 구성하는 상호 교합하는 빗살형 전극(14, 15)의 하층에 광을 반사하는 반사 전극(13')을 배치한 점이 특징이다.

반사 전극(13')은 제1 실시예에 있어서의 제2 소스 전극(13')을 화소 영역의 전역에까지 연장시킴에 따라 형성되어 있다. 따라서, 반사 전극(13')은 제2 화소 전극(15)과 동일한 전위가 된다. 또한, 반사 부분 표면에서는 Mo/Al/Mo의 3층막으로 구성되어 있는 상기 제2 소스 전극(13') 중, 상층의 Mo만이 제거된 구성으로 되어 있다. 이와 같이 함으로써, 반사 전극(13') 표면에서의 광 반사율을 40%에서 90%로 대폭 향상시킬 수 있다.

본 실시예에서는 외광을 반사 전극(13')으로 반사함으로써 화상 표시를 얻는다.

또한, 액정은 두 개의 화소 전극(14, 15) 사이에 형성되는 횡전계와 제1 화소 전극(14)과 반사 전극(13') 사이에 형성되는 프린지 전계에 의해 구동된다.

상기 제2 종래 기술(특개평11-316383)에 있어서도, 평면 형상의 투명 전극과 이와 이층화되어 상방에 형성된 투명 전극으로 이루어지는 빗살형 전극을 이용한 횡전계 방식의 액정 표시 장치가 개시되어 있지만, 상기 종래예에서는 모든 빗살형 전극은 동일한 전위를 공급하고, 평면 전극과 빗살형 전극 사이에 발생하는 전계만을 이용하는 반면, 본 실시예에 있어서는 상호 교합하는 두 개의 빗살형 전극을 이용하여 2개의 상대하는 빗살형 전극 사이에 발생하는 전계와 빗살형 전극 중의 하나와 반사 전극 사이에 발생하는 프린지 전계의 양방에 의해 액정을 구동하는 점이 다르다.

이에 의해, 2개의 빗살 무늬형 전극의 사이에서 보다 균일한 전계를 인가할 수 있기 때문에, 양호한 표시 화상을 얻을 수 있다.

〈제6 실시예〉

도 15는 본 발명에 따른 액정 표시 장치의 단위 화소의 다른 실시예를 도시한 평면도로, 도 1과 대응한 도면으로 되어 있다.

도 16의 우측, 가운데, 좌측의 각 도면은, 각각 도 15의 A-A', B-B', C-C'부의 단면을 도시한다.

본 실시예에 있어서, 사용한 각종 막 재료 및 이들의 적층 구조는 상기 제1 실시예와 거의 마찬가지이다. 또한, 제1 신호 배선 전극(드레인 신호선)(12)에 공급된 전압은 제1 박막 트랜지스터 Q1을 통해 상기 제1 화소 전극(14)에 인가되고, 제2 신호 배선 전극(기준 전압 신호선)(11)에 공급된 전압은 제2 박막 트랜지스터 Q2를 통해 상기 제2 화소 전극(대향 전극)(15)에 인가되는 구성, 및 두 개의 화소 전극을 투명 전극인 ITO로 구성하고, 또한 폭 4㎛의 상호 교합하는 빗살형 전극으로 한 점도 마찬가지이다.

본 실시예에 있어서는 표시 영역을 구성하는 상호 교합하는 빗살형 전극(14, 15)의 하층에 부분적으로 광을 반사하는 반사 전극(13')을 배치하고, 부분 반사·투과형의 표시 장치를 구성하였다. 이 반사 전극(13')은 제5 실시예에 있어서의 그것과 층 구조가 마찬가지이며, 단지 화소 영역의 약 절반의 영역에 걸쳐 형성되어 있는 것이 다르다. 즉, 반사 전극(13')이 형성되어 있는 영역과 그 이외의 영역에서 반사 표시 영역과 투과 표시 영역을 구성하도록 되어 있다.

반사 표시 모드에서는 외광을 반사 전극(13')으로 반사함으로써, 투과 표시 모드에서는 백 라이트로부터의 광을 이용하여 화상 표시를 얻는다. 투과, 반사의 표시 원리는 지금까지 설명한 것과 마찬가지이다.

이러한 부분 반사·투과형 표시 장치는 옥외에서 사용되는 것이 많은 휴대 전화나 휴대 단말기 등의 소형 기기에 적합한 것으로, 본 발명의 화소 구조를 이용함으로써, 구동 전압을 저감시킬 수 있기 때문에 기기를 저소비 전력화할 수 있다. 또한, 횡전계 구동 방식의 특징인 넓은 시야각도 얻을 수 있어, 양질의 화상 표시가 가능하다.

< 제7 실시예>

도 17은 본 발명에 따른 액정 표시 장치의 단위 화소의 다른 실시예를 도시한 평면도로, 도 1과 대응한 도면으로 되어 있다. 도 18은 도 17의 A-A'부의 단면을 도시한다. 도 19는 화소 어레이부의 등가 회로를 도시한다.

본 실시예에 있어서, 사용한 각종 막 재료 및 이들의 적층 구조는 상기 제1 실시예와 거의 마찬가지이다.

본 실시예에 있어서는 우선, 제1 신호 배선 전극(드레인 신호선)(12)에 공급된 제1 전압은 제1 박막 트랜지스터 Q1을 통해 상기 제1 화소 전극(14)에 인가되고, 제2 신호 배선 전극(기준 전압 신호선)(11)에 공급된 제2 전압은 제2 박막 트랜지스터 Q2를 통해 상기 제2 화소 전극(대향 전압)(15)에 인가된다.

또한, 제1 신호 배선 전극(12)에 공급된 제3 전압은 제3 박막 트랜지스터 Q3을 통해 제3 화소 전극(140)에 인가되고, 제2 신호 배선 전극(11)에 공급된 제4 전압은 제4 박막 트랜지스터 Q4를 통해 제4 화소 전극(150)에 인가된다. 상기 제1 제4 화소 전극(14, 15, 140, 150)은 모두 폭 4㎛의 상호 교합하는 빗살형 전극으로 구성된다.

그리고, 상기 제3 및 제4 화소 전극(140, 150)의 하층에는 반사 전극(130')이 형성되고 반사 표시 모드로 동작하는 반면, 상기 제1 및 제2 화소 전극(14, 15)으로 구성되는 표시 영역은 투과 표시 모드로 동작하고, 전체적으로 부분 반사·투과의 표시 장치로서 동작한다.

본 실시예의 특징은 반사 표시 영역과 투과 표시 영역의 각각에 한 쌍의 박막 트랜지스터 Q1 Q4를 설치하고, 각각 다른 전압으로 구동시키는 것을 가능하게 한 점에 있다.

상기 제1 및 제2 박막 트랜지스터 Q1, Q2의 게이트 전극은 제1 주사 배선 전극(10)에 접속되고, 제3 및 제4 박막 트랜지스터 Q3, Q4의 게이트 전극은 제2 주사 배선 전극(100)에 접속되어 있으며, 각각 다른 타이밍에서 선택 게이트 펄스 전압을 인가하고, 이에 동기하여 화상 신호를 제1 신호 배선 전극(12)과 제2 신호 배선 전극(11)에 인가함으로써, 반사, 투과 각각의 화소 전극에 다른 전압을 인가할 수 있다.

이러한 구성에서는 화소 내의 박막 트랜지스터 Q1 Q4가 4개가 되어 개구율 측면에서는 불리하게 되지만, 반사 모드와 투과 모드에서 휘도가 피크로 되는 전압치가 서로 다른 경우에 양질의 화상을 얻기 때문에 유효하다.

또, 본 실시예에서는 제2 신호 배선 전극(기준 전압 신호선)(11)과 제2 또는 제4 화소 전극(대향 전압)(15, 150) 사이에 박막 트랜지스터 Q2, Q4를 개재시킨 구성으로 한 것이지만, 이 박막 트랜지스터 Q2, Q4를 설치하지 않아도 되는 것은 물론이다.

《액정 및 대향 기판을 포함하는 구성의 일 실시예》

도 20은 본 발명의 제1 실시예 내지 제4 실시예에 따른 투과형 액정 표시 장치의 액정 셀 단면 모식도를 도시한다.

액정층(506)을 기준으로 하부의 유리 기판(1) 상에는 상술한 바와 같이 주사 배선 전극(도시 생략)과 신호 배선 전극(도시 생략)이 매트릭스 형상으로 형성되어, 그 교점 근방에 형성된 박막 트랜지스터(도시 생략)를 통해 ITO로 이루어지는 제1 화소 전극(14) 및 제2 화소 전극(15)을 구동한다.

액정층(506)을 끼워 대향하는 대향 유리 기판(508) 상에는 컬러 필터(507), 컬러 필터 보호막 OC가 형성되어 있다.

편광판(505)은 각각 한 쌍의 유리 기판(1, 508)의 외측의 표면에 형성되고, 그 편광 투과축은 직교하도록 배치되어 있다.

액정층(506)은 액정 분자의 방향을 설정하는 하부 배향막 ORI1과, 상부 배향막 ORI2 사이에 봉입되고, 유리 기판(1)과 대향 유리 기판(508)과의 고정을 도모하는 시일재(520)(도시 생략)에 의해 시일되어 있다. 하부 배향막 ORI1은 유리 기판(1)측의 유기 절연막(23)의 상부에 형성된다.

이 액정 표시 장치는 유리 기판(1)측과 대향 유리 기판(508)측의 층을 별도로 형성하고, 그 후 상하 유리 기판(1, 508)을 정합시키고, 양자 사이에 액정(506)을 봉입함으로써 조립된다.

백 라이트 BL로부터의 광의 투과를 화소 전극(14, 15) 부분에서 조절함으로써 박막 트랜지스터 구동형 컬러 액정 표시 장치가 구성된다.

액정층을, 기판면을 거의 따르는 방향의 전계에 의해 구동하면, 전계를 인가하였을 때에 액정 분자가 기판면에 대하여 구동되지 않고 기판면 내에서 회전함으로써 투과하는 광의 편광 방향을 제어하여 화상 표시를 할 수 있다.

이 때문에, 액정 분자의 복굴절성에 기인하는 콘트라스트의 시야각 의존성을 실질적으로 없앨 수 있어, 시야각이 넓은 고화질의 액정 표시 장치가 얻어진다.

도 21은 도 20에 도시한 액정 표시 소자의 전압 휘도(B-V) 특성을 도시한다. 도 21의 a가 본 발명의 표시 장치의 B-V 특성이고, 도 21의 b는 전극간 간격이 14㎛인 메탈 전극을 이용한 종래의, 소위 횡전계 방식의 액정 표시 소자의 B-V 특성이다.

본 발명의 표시 소자에서는 투과율이 피크가 되는 전압이 종래의 약 7V로부터 3.5V까지 저감시킬 수 있었다. 또한, 투과율의 피크치도 크게 향상하고 있는 것을 알 수 있다.

이들은 두 개의 화소 전극을 투명 전극인 ITO로 구성하고, 또한 폭 4㎛의 상호 교합하는 빗살형 전극으로 하는 것에 의한 것이다.

《액정 및 대향 기판을 포함하는 구성의 다른 실시예》

도 22는 본 발명의 제6 실시예 및 제7 실시예에 따른 부분 반사·투과형 액정 표시 장치의 액정 셀 단면 모식도를 도시한다.

셀의 단면 구성은 상술한 도 20과 거의 마찬가지지만, 부분 반사·투과 표시를 실현하기 위해서 빗살형 전극의 일부의 하층에 반사 전극(13')을 형성하였다.

도 23은 도 22에 도시한 액정 표시 소자의 전압 휘도 특성을 도시한다. 도 23의 c는 투과 표시 영역의 투과율의 전압 의존성을 나타내고, d는 반사 표시 영역의 반사율의 전압 의존성을 나타낸다. 반사 표시와 투과 표시로 반사율 또는 투과율이 최대가 되는 전압이 서로 다르다.

이러한 경우에는 도 17, 도 18에 도시한 구성에 의해, 반사부와 투과부의 한 쌍 화소 전극의 각각에 박막 트랜지스터를 접속하고, 각각 최적의 전압을 인가함으로써, 양호한 표시 특성을 얻을 수 있다.

《표시 장치 전체의 구성의 일 실시예》

도 24는 주변 구동 회로를 박막 트랜지스터 액티브 매트릭스와 함께 동일 기판 상에 집적한 표시 장치 전체의 등가 회로를 도시한다. 예를 들면, 도 1 및 도 2에 도시한 구성을 가지는 화소와, Y1 Yend의 주사 배선 전극(10)과 X1R, X1G, X1B XendB의 제1 신호 배선 전극(12), C1 Cend의 제2 신호 배선 전극(11)으로 이루어지는 박막 트랜지스터

액티브 매트릭스(50)와, 이것을 구동하는 수직 주사 회로(51), 제1 신호측 구동 회로(53) 및 제2 신호 배선 전극(11)에 신호를 공급하는 제2 신호측 구동 회로(52), 및 레벨 시프터 LS로 이루어진다.

본 실시예에서는 주사선 수는 600개, 신호선 수는 2400개로, 표시부의 대각 사이즈는 약 5인치이다.

박막 트랜지스터 액티브 매트릭스(50)의 형태로서는 도 25과 같이 도 4 및 도 5에 도시한 구성의 화소를 사용하여도 되고, 이 경우에는 박막 트랜지스터 액티브 매트릭스(150)는 Y1 Yend의 주사 배선 전극(10)과 X1R, X1G, X1B XendB의 제1 신호 배선 전극(12), C1R C1end의 제2 신호 배선 전극(11)으로 구성되어, 이것을 구동하는 수직 주사 회로(51), 제1 신호측 구동 회로(53) 및 제2 신호 배선 전극에 신호(11)를 공급하는 제2 신호측 구동 회로(52), 및 레벨 시프터 LS가 주변에 배치된다. 이 경우에는 제2 신호측 구동 회로(52)는 표시부의 하변측에 배치되는 점이 도 24의 형태와는 다르다.

수직 주사 회로(51)는 수직 클럭 신호에 의해 구동되는 시프트 레지스터 회로와 행 선택 전압을 공급되는 레벨 시프터로 이루어지고, 주사 배선 전극(10)으로 행 선택 펄스를 출력한다.

수평 주사 회로(제1 신호측 구동 회로)(53)는 수평 클럭 신호에 의해 구동되는 시프트 레지스터 회로 SRH와 6비트로 디지탈화된 화상 데이터 DATA(도시 생략)를 래치하기 위한 래치 회로 L1, 래치된 디지털 데이터를 아날로그 데이터로 디코드하는 디지털-아날로그 컨버터 회로 DAC, 1행분의 디지털-아날로그 컨버터 회로 DAC로부터의 출력을 일시적으로 저장하는 라인 메모리 LM(도시 생략), 및 라인 메모리 LM에 저장한 화상 데이터를 제1 신호 배선 전극(12)에 공급하기 위한 아날로그 스위치 SW로 이루어진다. 또, 디지털-아날로그 컨버터 회로 DAC에는 각 비트에 대응하여 웨이티드된 기준 전압 신호가 공급되어 있다.

이들 구동 회로는 상보형(CMOS)의 poly-Si 박막 트랜지스터 또는 N형의 poly-Si 박막 트랜지스터로 구성된다.

도 26은, 도 24 또는 도 25의 액정 표시 소자의 전체 구성도를 도시한다. 박막 트랜지스터 액티브 매트릭스, 주변 구동 회로 등을 형성한 유리 기판(1)과, 내표면에 컬러 필터가 형성된 대향 기판(508)이 시일재(520)에 의해 접합되고, 사이에 액정 조성물이 봉입되어 있으며, 유리 기판(1)과 대향 기판(508) 각각의 외표면에는 편광 투과축이 직교하도록, 편광 필름(편광판)(505)이 배치되어 있다. TFT 기판(유리 기판)(1) 상의 1변에는 접속 단자(521)가 형성되고, 이것에 접속된 FPC(522)에 의해, TFT 기판(유리 기판)(1)에 표시 데이터, 제어 신호, 전원 전압 등이 공급된다.

poly-Si 박막 트랜지스터를 이용하여 디지털 아날로그 컨버터 등의 구동 회로를 기판 상에 집적하였기 때문에, 외부 접속 단자 수, 외부 부품수를 대폭 저감시킬 수 있었다. 또한, 본 발명의 화소를 이용함으로써 액정 구동 전압을 저감시킬 수 있기 때문에, 신호측 구동 회로의 출력 전압을 저감시킬 수 있어, 회로의 소비 전력을 저감시킬 수 있었다.

이에 의해, 종래 적용이 곤란하였던 소형 LCD에 IPS 모드 구동 방식을 이용하는 것이 가능하게 되었다.

《표시 장치 전체의 구성의 다른 실시예》

도 27은 주변 구동 회로의 일부를 박막 트랜지스터 액티브 매트릭스와 함께 동일 기판 상에 집적한 표시 장치 전체의 등가 회로를 도시한다. 예를 들면, 도 1 및 도 2에 도시한 구성을 갖는 화소와, Y1 Yend의 주사 배선 전극(10)과 X1R, X1G, X1B XendB의 제1 신호 배선 전극(12), C1 Cend의 제2 신호 배선 전극(11)으로 이루어지는 박막 트랜지스터 액티브 매트릭스(50)와, 이것을 구동하는 수직 주사 회로(51), 제2 신호 배선 전극(11)에 신호를 공급하는 제2

신호측 구동 회로(52), 수평측 드라이버 LSI DRV1 DRV3, 수평측 드라이버 LSI DRV1 DRV3의 출력을 복수의 제 1 신호 배선 전극(12)으로 분류하기 위한 스위치 회로 SW 및 레벨 시프터 LS로 이루어진다. 본 실시예에서는 주사선 수는 480개, 신호선 수는 1980개로 표시부의 대각 사이즈는 약 7인치이다. 또한, 본 실시의 형태에서는 poly - Si 박막 트랜지스터에 의한 구동 회로는 전부 N형 박막 트랜지스터만 이용하여 구성되어 있다.

도 45는 N형 박막 트랜지스터만 이용하여 구성한 수직 주사 회로도를 도시하고, 도 46에 동작 신호 파형예를 도시한다. 회로는 N형 박막 트랜지스터와 부트스트랩 용량 Cb로 구성되고, 기준 전위 Vss, 스타트 신호 Vin, 클럭 펄스 전압 V1 및 이와 상보적인 클럭 펄스 전압 V2에 의해 구동되는 다이내믹 회로이다. 통상 CMOS 회로에서 필요한 전원 전압 공급 배선은 없고, V1, V2의 상보 클럭 전압으로부터 공급되는 전하에 의해 동작한다. 이 때문에, 통상 N형 트랜지스터와 부하로 구성한 인버터 회로를 이용한 시프트 레지스터 회로에서 문제가 되는 전원 배선으로부터 접지 배선으로의 관통 전류가 존재하지 않는다. 이 때문에, 구동 회로의 소비 전력을 저감시킬 수 있다. 또한, N형 박막 트랜지스터만으로 회로를 구성하였기 때문에, 제조 프로세스가 CMOS 구성의 회로의 제조 프로세스에 비하여 간략하게 되어 저비용화가 가능하다.

도 28은 도 27에 도시한 액정 표시 소자의 전체의 사시 구성도를 도시한다. 박막 트랜지스터 액티브 매트릭스, 주변 구동 회로 등을 형성한 유리 기판(1)과, 내표면에 컬러 필터가 형성된 대향 기판(508)이 시일재(520)에 의해 접합되고, 사이에 액정 조성물이 봉입되어 있으며, 유리 기판(1)과 대향 기판(508) 각각의 외표면에는 편광 투과축이 직교하도록, 편광 필름(편광판)(505)이 배치되어 있다. TFT 기판(유리 기판)(1) 상의 1변에는 수평측 드라이버 LSI DRV1 DRV3이 유리 기판(1) 상에 직접 실장되고, 드라이버 LSI에는 접속 단자(521)와 이것에 접속된 FPC(522)에 의해 디지털의 표시 데이터, 제어 신호, 전원 전압 등이 공급된다.

본 실시예에 있어서는 디지털의 표시 데이터로부터 아날로그 데이터로의 변환은 수평측 드라이버 LSI DRV1 DRV3 내에서 행해지고, poly - Si 박막 트랜지스터 TFT로 구성한 주변 구동 회로는 수직측의 주사 회로(수직 주사 회로)(51)와, 드라이버 LSI(수평측 드라이버 LSI DRV1 DRV3)로부터 출력되는 아날로그 데이터를 복수의 신호 배선(제1 신호 배선 전극)(12)으로 분류하는 스위치 회로 SW만으로 이루어진다. 수평 회로측의 스위치 회로에 의해 1개의 드라이버 LSI의 출력이 복수의 신호 배선으로 분류되므로, 드라이버 LSI의 출력 핀 수를 줄일 수 있다. 이에 의해, 드라이버 LSI의 소비 전력을 저감시킬 수 있다.

《제조 방법의 일 실시예》

다음으로, 상기 도 28에 도시한 바와 같이 N형 박막 트랜지스터만으로 구성한 액정 표시 소자에 이용하는 TFT 액티브 매트릭스 기판을 예로 들어, 그 제조 공정을 도 29 도 35를 이용하여 설명한다.

두께 500㎛, 폭 750㎜, 길이 950㎜의, 변형점이 약 670℃인 무알카리 유리 기판(1) 상을 세정한 후, SiH_4 와 NH_3 와 N_2 의 혼합 가스를 이용한 플라즈마 CVD법에 의해 막 두께 50㎚의 Si_3N_4 막(200)을 형성한다. 계속해서, 테트라에톡시 실란과 O_2 의 혼합 가스를 이용한 플라즈마 CVD법에 의해, 막 두께 120㎚의 SiO_2 막(2)을 형성한다. Si_3N_4 , SiO_2 모두 형성 온도는 400℃이다.

다음으로, SiO_2 막(2) 상에 SiH_4 , Ar의 혼합 가스를 이용한 플라즈마 CVD법에 의해 거의 진성의 수소화 비정질 실리콘막(300)을 50㎚ 형성한다. 성막 온도는 400℃이고 성막 직후 수소량은 약 5at%이었다. 다음으로, 기판을 450℃에서 약 30분 어닐링함으로써, 수소화 비정질 실리콘막(300) 중의 수소를 방출시킨다. 어닐링 후의 수소량은 약 1at%이었다.

다음으로, 파장 308㎚의 엑시머 레이저 광 LASER를 상기 비정질 실리콘막에 플루엔스(fluence) 400mJ/㎠로 조사하고, 비정질 실리콘막을 용융 재결정화시켜, 거의 진성의 다결정 실리콘막(30)을 얻는다. 이 때, 레이저 빔은 폭 0.3㎜, 길이 200㎜의 세선 형상이고, 빔의 길이 방향과 거의 수직인 방향으로 기판을 10㎛ 피치로 이동하면서 조사하였다. 조사 시에는 질소 분위기로 한다(도 29).

통상의 포토리소그래피법에 의해 소정의 레지스트 패턴을 다결정 실리콘막(30) 상에 형성하여 CF_4와 O_2의 혼합 가스를 이용한 액티브 이온 에칭법에 의해 다결정 실리콘막(30)을 소정의 형상으로 가공한다.

다음으로, 테트라에톡시 실란과 산소의 혼합 가스를 이용한 플라즈마 CVD법에 의해 막 두께 100㎚의 SiO_2를 형성하여 게이트 절연막(20)을 얻는다. 이 때의 테트라에톡시 실란과 O_2의 혼합비는 1:50, 형성 온도는 400℃이다.

다음으로, 스퍼터링법에 의해, Mo막을 200㎚ 형성한 후, 통상의 포토리소그래피법에 의해 소정의 레지스트 패턴 PR을 Mo막 상에 형성하고, 혼합산을 이용한 웨트 에칭법에 의해 Mo막을 소정의 형상으로 가공하여 주사 배선 전극(10) 및 제2 신호 배선 전극(11)을 얻는다.

에칭에 이용한 레지스트 패턴 PR을 남긴 채, 이온 주입법에 의해 P 이온을 가속 전압 60KeV, 도우즈량 1E15($㎝^{-2}$)로 주입하고, N형 박막 트랜지스터의 소스, 드레인 영역(31)을 형성한다(도 30).

다음으로, 에칭에 이용한 레지스트 패턴 PR을 제거한 후, 재차 이온 주입법에 의해 P 이온을 가속 전압 65KeV, 도우즈량 2E13($㎝^{-2}$)으로 주입하고, N형 박막 트랜지스터의 LDD 영역(32)을 형성한다(도 31).

LDD 영역(32)의 길이는 Mo을 웨트 에칭했을 때의 사이드 에칭량으로 정해진다. 본 실시예의 경우 약 0.8㎛이다. 이 길이는 Mo의 오버 에칭 시간을 변화시킴으로써 제어할 수 있다. 기판 내에서의 LDD 길이의 변동은 약 0.1㎛로 양호하였다. 이러한 공정을 이용함으로써, LDD를 형성하기 위한 마스크 패턴 형성 공정을 생략할 수 있으므로, 공정을 간략히 할 수 있다.

다음으로, 기판에 엑시머 램프 또는 메탈 할로겐 램프의 광을 조사하는 라피드 서멀 어닐링(RTA)법에 의해 주입한 불순물을 활성화한다. 엑시머 램프 또는 메탈 할로겐 램프 등의 자외 광 UV를 많이 포함하는 광을 이용하여 어닐링함으로써, poly-Si층만을 선택적으로 가열할 수 있어, 유리 기판(1)이 가열됨에 따른 손상을 회피할 수 있다. 불순물의 활성화는 기판 수축이나 굴곡 변형 등이 문제가 되지 않은 범위에서, 450℃ 정도 이상의 온도에서의 열 처리에 의해서도 가능하다(도 32).

다음으로, 테트라에톡시 실란과 산소의 혼합 가스를 이용한 플라즈마 CVD법에 의해 막 두께 500㎚의 SiO_2를 형성하여 층간 절연막(21)을 얻는다. 이 때의 테트라에톡시 실란과 O_2의 혼합비는 1:5, 형성 온도는 350℃이다.

다음으로, 소정의 레지스트 패턴을 형성한 후, 혼합산을 이용한 웨트 에칭법에 의해, 상기 층간 절연막(21)에 컨택트 관통 홀을 형성한다. 계속해서, 스퍼터링법에 의해, Ti를 50㎚, Al-Nd 합금을 500㎚, Ti를 50㎚, 순차적으로 적층 형성한 후, 소정의 레지스트 패턴을 형성한 후, BCl_3와 Cl_2의 혼합 가스를 이용하거나 액티브 이온 에칭법에 의해 일괄적으로 에칭하여, 제1 신호 배선 전극(12)과 소스 전극(13, 13')과 접속 전극(16)을 얻는다(도 33).

SiH_4와 NH_3와 N_2의 혼합 가스를 이용한 플라즈마 CVD법에 의해 막 두께 400㎚의 Si_3N_4막(보호 절연막)(22)을 형성하고, 또한 스핀 도포법에 의해 아크릴계 감광성 수지를 약 3.5㎛의 막 두께로 도포하고, 소정의 마스크를 이용하여 노광, 현상하여 상기 아크릴계 수지에 관통 홀을 형성한다. 다음으로, 230℃에서 20분 베이킹함으로써, 아크릴계 수지를 소성하고, 막 두께 2.3㎛의 유기 보호막(유기 절연막)(23)을 얻는다. 계속해서, 상기 유기 보호막(유기 절연막)(23)에 형성된 관통 홀 패턴을 마스크로 하여 하층의 Si_3N_4막을, CF_4를 이용한 엑티브 이온 에칭법에 의해 가공하여, Si_3N_4막에 관통 홀을 형성한다(도 34).

이와 같이 유기 보호막(23)을 마스크로 이용하여 하층의 절연막(보호 절연막)(22)을 가공함으로써, 일회의 포토리소그래피 공정으로 2층의 막을 패터닝할 수 있어, 공정을 간략화할 수 있다.

마지막으로, 스퍼터링법에 의해 ITO막을 70㎚ 형성하고, 혼합산을 이용한 웨트 에칭에 의해 소정의 형상으로 가공하여 제1 및 제2 화소 전극(14, 15)을 형성하여 액티브 매트릭스 기판이 완성한다(도 35).

《제조 방법의 다른 실시예》

다음으로, 상기 도 26에 도시한 바와 같은 CMOS 박막 트랜지스터로 구성한 내장 구동 회로를 포함하는 액정 표시 소자에 이용하는 TFT 액티브 매트릭스 기판의 제조 공정을 도 36 도 44를 이용하여 설명한다.

두께 500㎛, 폭 750㎜, 길이 950㎜인, 변형점이약 670℃인 무알카리 유리 기판(1) 상을 세정한 후, SiH_4와 NH_3와 N_2의 혼합 가스를 이용한 플라즈마 CVD법에 의해 막 두께 50㎚의 Si_3N_4막(200)을 형성한다. 계속해서, 테트라에톡시 실란과 O_2의 혼합 가스를 이용한 플라즈마 CVD법에 의해, 막 두께 120㎚의 SiO_2막(2)을 형성한다. Si_3N_4, SiO_2 모두 형성 온도는 400℃이다.

다음으로, SiO_2막(2) 상에 SiH_4, Ar의 혼합 가스를 이용한 플라즈마 CVD법에 의해 거의 진성의 수소화 비정질 실리콘막(300)을 50㎚ 형성한다. 성막 온도는 400℃이며 성막 직후 수소량은 약 5at%이었다. 다음으로, 기판을 450℃에서 약 30분 어닐링함으로써, 수소화 비정질 실리콘막(300) 중의 수소를 방출시킨다.

다음으로, 테트라에톡시 실란과 O_2의 혼합 가스를 이용한 플라즈마 CVD법에 의해, 막 두께 100㎚의 SiO_2막(201)을 형성하고, 다음으로 이온 주입법에 의해 붕소(B+)를 가속 전압 40KeV 도우즈량 5E12(㎝$^{-2}$)로 주입한다. 붕소는 박막 트랜지스터의 임계치 전압을 조정하기 위한 것이다(도 36).

다음으로, 완충 불산에 의해 SiO_2막(201)을 제거하여, 파장 308㎚의 엑시머 레이저 광 LASER를 상기 비정질 실리콘막에 플루엔스 400mJ/㎠로 조사하고, 비정질 실리콘막을 용융 재결정화시켜, P형의 다결정 실리콘막(30)을 얻는다(도 37).

다음으로, 스퍼터링법에 의해, Mo막을 200㎚ 형성한 후, 통상의 포토리소그래피법에 의해 소정의 레지스트 패턴을 Mo막 상에 형성하고, CF_4를 이용한 액티브 이온 에칭법에 의해 Mo막을 소정의 형상으로 가공하여 N형 박막 트랜지스터의 게이트 전극(10N)을 얻는다.

에칭에 이용한 레지스트 패턴 PR을 남긴 채, 이온 주입법에 의해 인(P) 이온을 가속 전압 60KeV, 도우즈량 1E15(㎝$^{-2}$)로 주입하여, N형 박막 트랜지스터의 소스, 드레인 영역(31)(도시 생략)을 형성한다. 이 때, P형 박막 트랜지스터(도 38좌측)는 소자 전체를 Mo막과 포토레지스트막 PR의 패턴으로 보호하여 인 이온이 주입되지 않도록 한다(도 38).

다음으로, 레지스트 패턴 PR을 남긴 채, 기판을 혼합산으로 처리하고, 가공된 Mo 전극을 사이드 에칭하여 패턴을 슬리밍하고, 레지스트를 제거한 후, 이온 주입법에 의해 P 이온을 가속 전압 65KeV, 도우즈량 2E13(㎝$^{-2}$)으로 주입하여, N형 박막 트랜지스터의 LDD 영역(32)(도시 생략)을 형성한다(도 39).

앞의 예와 마찬가지로, LDD 영역(32)의 길이는 혼합산에 의한 사이드 에칭 시간에 의해 제어된다.

다음으로, 소정의 레지스트 패턴 PR을 Mo막 상에 형성하고, CF_4를 이용한 액티브 이온 에칭법에 의해 P형 박막 트랜지스터의 게이트 전극(10P) 및 박막 트랜지스터 이외의 배선 패턴을 얻는다. 이 때, N형 박막 트랜지스터는 전체를 포토레지스트 패턴으로 보호하고, 에칭 가스로부터 보호한다(도 40).

다음으로, 기판에 엑시머 램프 또는 메탈 할로겐 램프의 광 UV 을 조사하는 래피드서멀어닐링(RTA)법에 의해 주입한 불순물을 활성화한다(도 41).

다음으로, 테트라에톡시 실란과 산소의 혼합 가스를 이용한 플라즈마 CVD법에 의해 막 두께 500㎚의 SiO_2를 형성하여 층간 절연막(21)을 얻는다.

다음으로, 소정의 레지스트 패턴을 형성한 후, 혼합산을 이용한 웨트 에칭법에 의해, 상기 층간 절연막(21)에 컨택트 관통 홀을 형성한다. 계속해서, 스퍼터링법에 의해, Ti를 50㎚, Al-Nd 합금을 500㎚, Ti를 50㎚, 순차적으로 적층 형성한 후, 소정의 레지스트 패턴을 형성한 후, BCl_3와 Cl_2의 혼합 가스를 이용한 액티브 이온 에칭법에 의해 일괄적으로 에칭하여, 제1 신호 배선 전극(12)과 소스 전극(13, 13')(도시 생략), 접속 전극(16)(도시 생략)을 얻는다(도 42).

SiH_4와 NH_3와 N_2의 혼합 가스를 이용한 플라즈마 CVD법에 의해 막 두께 400㎚의 Si_3N_4막(보호 절연막)(22)을 형성하고, 또한 스핀 도포법에 의해 아크릴계 감광성 수지를 약 3.5㎛의 막 두께로 도포하여, 소정의 마스크를 이용하여 노광, 현상하여 상기 아크릴계 수지에 관통 홀을 형성한다. 다음으로, 230℃에서 20분 베이킹함으로써, 아크릴계 수지를 소성하고, 막 두께 2.3㎛의 유기 보호막(23)을 얻는다. 계속해서, 상기 유기 보호막(보호 절연막)(23)에 형성한 관통 홀 패턴을 마스크로 하여 하층의 Si_3N_4막을 CF_4을 이용한 액티브 이온 에칭법에 의해 가공하고, Si_3N_4막에 관통 홀을 형성한다(도 43).

마지막으로, 스퍼터링법에 의해 ITO막을 70㎚ 형성하고, 혼합산을 이용한 웨트 에칭에 의해 소정의 형상으로 가공하여 제1 및 제2 화소 전극(14, 15)을 형성하여 액티브 매트릭스 기판이 완성된다(도 44).

본 실시예에 따른 제법에 따르면, 앞의 실시예에 비하여, 불과 1매의 마스크 증가로 CMOS 회로를 갖는 TFT 액티브 매트릭스 기판을 제작할 수 있다.

발명의 효과

이상과 같이 본 발명에 따르면, 저전력으로, 광 시야각을 가지고, 또한 밝은 액정 표시 장치를 저비용으로 실현할 수 있다.

(57) 청구의 범위

청구항 1.

액정을 사이에 두고 배치되는 각 기판 중 한쪽 기판의 액정측의 화소 영역에 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제1 스위칭 소자 및 제2 스위칭 소자와, 상기 제1 스위칭 소자를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 상기 제2 스위칭 소자를 통해 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 대향 전극을 구비하고,

상기 화소 전극 및 상기 대향 전극은 각각 띠 형상의 투광성 도전층으로 형성되어 있음과 함께, 실질적 화소 영역 내에 교대로 배열되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 2.

제1항에 있어서,

상기 화소 전극 및 상기 대향 전극은 각각, 상기 제1 스위칭 소자 및 상기 제2 스위칭 소자를 피복하여 형성되는 보호막 상에 동층으로 형성되고, 상기 보호막에 형성된 관통 홀을 통해 상기 제1 스위칭 소자 및 상기 제2 스위칭 소자에 전기적으로 접속되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제1항에 있어서,

상기 보호막은 무기 재료를 포함하는 보호막과 유기 재료를 포함하는 보호막과의 순차 적층체를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

액정을 사이에 두고 배치되는 각 기판 중 한쪽 기판의 액정측의 화소 영역에 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제1 스위칭 소자 및 제2 스위칭 소자와, 상기 제1 스위칭 소자를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 상기 제2 스위칭 소자를 통해 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 대향 전극을 구비하고,

상기 화소 전극 및 상기 대향 전극은 각각, 상기 드레인 신호선에 거의 평행하게 배치되는 띠 형상의 투광성 도전층으로 형성되어 있음과 함께, 실질적 화소 영역 내에 교대로 배열되고,

또한, 상기 기준 전압 신호선은 상기 드레인 신호선에 거의 평행하게 배치되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 5.

액정을 사이에 두고 배치되는 각 기판 중 한쪽 기판의 액정측의 화소 영역에 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제1 스위칭 소자 및 제2 스위칭 소자와, 상기 제1 스위칭 소자를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 상기 제2 스위칭 소자를 통해 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 대향 전극을 구비하고,

상기 화소 전극 및 상기 대향 전극은 각각, 상기 드레인 신호선에 거의 평행하게 배치되는 띠 형상의 투광성 도전층으로 형성되어 있음과 함께, 실질적 화소 영역 내에 교대로 배열되고,

또한, 상기 기준 전압 신호선은 상기 드레인 신호선에 거의 평행하게 배치되고, 상기 화소 전극 및 상기 대향 전극 중 하나의 전극과 중첩되어 배치되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 6.

액정을 사이에 두고 배치되는 각 기판 중 한쪽 기판의 액정측의 화소 영역에 게이트 신호선으로부터의 주사 신호에 의해 작동되는 스위칭 소자와, 이 스위칭 소자를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 대향 전극을 구비하고,

상기 화소 전극 및 상기 대향 전극은 각각 띠 형상의 투광성 도전층으로 형성되어 있음과 함께, 실질적 화소 영역 내에 교대로 배열되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 7.

제6항에 있어서,

상기 화소 전극 및 상기 대향 전극은 각각, 상기 스위칭 소자를 피복하여 형성되는 보호막 상에 동층으로 형성되어, 상기 보호막에 형성된 관통 홀을 통해 상기 스위칭 소자 및 상기 기준 전압 신호선에 전기적으로 접속되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 8.

제6항에 있어서,

상기 보호막은 무기 재료를 포함하는 보호막과 유기 재료를 포함하는 보호막과의 순차 적층체를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 9.

제6항에 있어서,

상기 스위칭 소자는 반도체층을 다결정 실리콘으로 하는 박막 트랜지스터인 것을 특징으로 하는 액정 표시 장치.

청구항 10.

액정을 사이에 두고 배치되는 각 기판 중 한쪽 기판의 액정측의 화소 영역에 게이트 신호선으로부터의 주사 신호에 의해 작동되는 스위칭 소자와, 이 스위칭 소자를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 대향 전극을 구비하고,

상기 화소 전극 및 상기 대향 전극은 각각, 상기 드레인 신호선에 거의 평행하게 배치되는 띠 형상의 투광성 도전층으로 형성되어 있음과 함께, 실질적인 화소 영역 내에 교대로 배열되고,

또한, 상기 기준 전압 신호선은 상기 드레인 신호선에 거의 평행하게 배치되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 11.

액정을 사이에 두고 배치되는 각 기판 중 한쪽 기판의 액정측의 화소 영역에 게이트 신호선으로부터의 주사 신호에 의해 작동되는 스위칭 소자와, 이 스위칭 소자를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 대향 전극을 구비하고,

상기 화소 전극 및 상기 대향 전극은 각각, 상기 드레인 신호선에 거의 평행하게 배치되는 띠 형상의 투광성 도전층으로 형성되어 있음과 함께, 실질적 화소 영역 내에 교대로 배열되고,

또한, 상기 기준 전압 신호선은 상기 드레인 신호선에 거의 평행하게 배치되고, 상기 화소 전극 및 상기 대향 전극 중 하나의 전극과 중첩되어 배치되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 12.

액정을 사이에 두고 배치되는 각 기판 중 한쪽 기판의 액정측의 화소 영역에 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제1 스위칭 소자 및 제2 스위칭 소자와, 상기 제1 스위칭 소자를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 상기 제2 스위칭 소자를 통해 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 대향 전극을 구비하고,

상기 화소 전극 및 상기 대향 전극은 상기 제1 스위칭 소자 및 상기 제2 스위칭 소자를 피복하여 형성되는 보호막의 상면에, 각각 띠 형상의 투광성 도전층으로 형성되어 있음과 함께, 실질적 화소 영역 내에 교대로 배열되고,

또한, 상기 보호막의 하면의 화소 영역 내의 전역에서 상기 대향 전극과 동 전위로 유지되는 반사막이 형성되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 13.

제12항에 있어서,

상기 보호막은 무기 재료를 포함하는 보호막과 유기 재료를 포함하는 보호막과의 순차 적층체를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 14.

액정을 사이에 두고 배치되는 각 기판 중 한쪽 기판의 액정측의 화소 영역에 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제1 스위칭 소자 및 제2 스위칭 소자와, 상기 제1 스위칭 소자를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 상기 제2 스위칭 소자를 통해 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 대향 전극을 구비하고,

상기 화소 전극 및 상기 대향 전극은 상기 제1 스위칭 소자 및 상기 제2 스위칭 소자를 피복하여 형성되는 보호막의 상면에, 각각 띠 형상의 투광성 도전층으로 형성되어 있음과 함께, 실질적 화소 영역 내에 교대로 배열되고,

또한, 상기 보호막의 하면의 화소 영역 내의 일부에 상기 대향 전극과 동 전위로 유지되는 반사막이 형성되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 15.

제14항에 있어서,

상기 보호막은 무기 재료를 포함하는 보호막과 유기 재료를 포함하는 보호막과의 순차 적층체를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 16.

액정을 사이에 두고 대향 배치되는 각 기판의 한쪽 기판의 액정측의 화소 영역에, 그 화소 영역을 이분하도록 하여 배치되는 기준 전압 신호선과, 이 기준 전압 신호선을 사이로 하여 그 한 측 및 다른 측에 각각 상기 기준 전압 신호선과 평행하게 배치되는 제1 및 제2 게이트 신호선이 형성되고,

상기 한쪽의 측의 화소 영역에, 상기 제1 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제1 박막 트랜지스터와, 이 제1 박막 트랜지스터를 통해 영상 신호가 공급되는 제1 화소 전극과, 상기 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 제1 대향 전극이 구비되고,

상기 다른 쪽의 측의 화소 영역에, 상기 제2 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제2 박막 트랜지스터와, 이 제2 박막 트랜지스터를 통해 영상 신호가 공급되는 제2 화소 전극과, 상기 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 제2 대향 전극이 구비되고,

상기 제1 및 제2 화소 전극 및 상기 제1 및 제2 대향 전극은 상기 제1 및 제2 박막 트랜지스터를 피복하여 형성되는 보호막의 상면에 각각 띠 형상의 투광성 도전층으로 형성되어 있음과 함께 실질적 화소 영역 내에 교대로 배열되고,

또한, 상기 기준 전압 신호선을 사이로 하여 그 한쪽의 측 및 다른 쪽의 측 중 어느 하나의 화소 영역에서의 상기 보호막의 하면에 반사막이 형성되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 17.

액정을 사이에 두고 대향 배치되는 각 기판의 한쪽 기판의 액정측의 화소 영역에, 그 화소 영역을 이분하도록 하여 배치되는 기준 전압 신호선과, 이 기준 전압 신호선을 사이로 하여 그 한 측 및 다른 측에 각각 상기 기준 전압 신호선과 평행하게 배치되는 제1 및 제2 게이트 신호선이 형성되고,

상기 한쪽의 측의 화소 영역에, 상기 제1 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제1 박막 트랜지스터와 제2 박막 트랜지스터와, 상기 제1 박막 트랜지스터를 통해 영상 신호가 공급되는 제1 화소 전극과, 상기 제2 박막 트랜지스터를 통해 상기 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 제1 대향 전극이 구비되고,

상기 다른 쪽의 측의 화소 영역에, 상기 제2 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제3 박막 트랜지스터와 제4 박막 트랜지스터와, 상기 제3 박막 트랜지스터를 통해 영상 신호가 공급되는 제2 화소 전극과, 상기 제4 박막 트랜지스터를 통해 상기 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 제2 대향 전극이 구비되고,

상기 제1 및 제2 화소 전극 및 상기 제1 및 제2 대향 전극은 상기 제1, 제2, 제3, 및 제4 박막 트랜지스터를 피복하여 형성되는 보호막의 상면에 각각 띠 형상의 투광성 도전층으로 형성되어 있음과 함께 실질적 화소 영역 내에 교대로 배열되고,

또한, 상기 기준 전압 신호선을 사이로 하여 그 한쪽의 측 및 다른 쪽의 측 중 어느 하나의 화소 영역에서의 상기 보호막의 하면에 반사막이 형성되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 18.

제16항 또는 제17항에 있어서,

상기 보호막은 무기 재료를 포함하는 보호막과 유기 재료를 포함하는 보호막과의 순차 적층체를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 19.

제16항 또는 제17항에 있어서,

상기 제1 게이트 신호선으로부터의 주사 신호와 상기 제2 게이트 신호선으로부터의 주사 신호는 타이밍이 다른 것을 특징으로 하는 액정 표시 장치.

청구항 20.

액정을 사이에 두고 배치되는 각 기판 중 한쪽 기판의 액정측의 화소 영역에 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제1 스위칭 소자 및 제2 스위칭 소자와, 상기 제1 스위칭 소자를 통해 드레인 신호선으로부터의 영상 신호가 공급되는 화소 전극과, 상기 제2 스위칭 소자를 통해 기준 전압 신호선으로부터의 기준 전압 신호가 공급되는 대향 전극을 구비하고,

상기 기준 전압 신호선은 상기 드레인 신호선에 거의 평행하게 배치되어 있음과 함께, 이웃한 화소의 상기 화소 전극과는 상기 제1 스위칭 소자를 통해 접속되어 있지 않는 것을 특징으로 하는 액정 표시 장치.

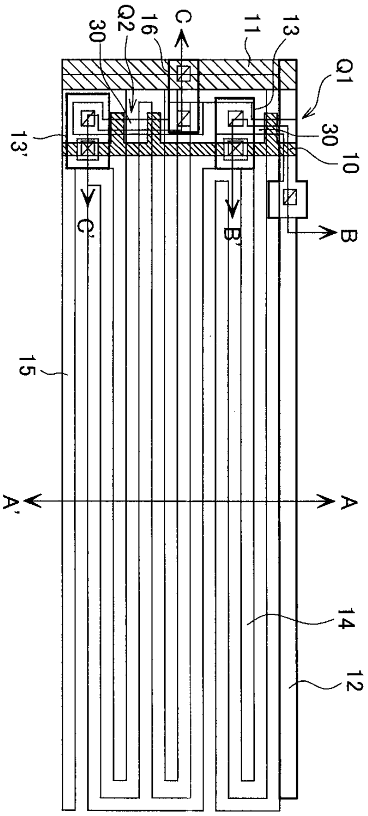
청구항 21.

액정을 사이에 두고 배치되는 각 기판 중 한쪽 기판의 액정측의 화소 영역에 게이트 신호선으로부터의 주사 신호에 의해 작동되는 제1 스위칭 소자 및 제2 스위칭 소자와, 상기 제1 스위칭 소자를 통해 제1 신호 배선 전극으로부터의 전압이 공급되는 제1 화소 전극과, 상기 제2 스위칭 소자를 통해 제2 신호 배선 전극으로부터의 전압이 공급되는 제2 화소 전극을 구비하고,

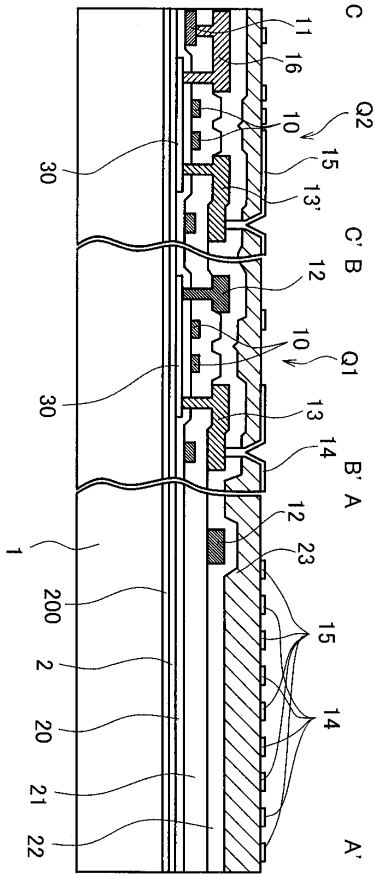
상기 제2 신호 배선 전극은 상기 제1 신호 배선 전극에 거의 평행하게 배치되어 있음과 함께, 이웃하는 화소의 상기 제1 화소 전극과는 상기 제1 스위칭 소자를 통해 접속되어 있지 않는 것을 특징으로 하는 액정 표시 장치.

도면

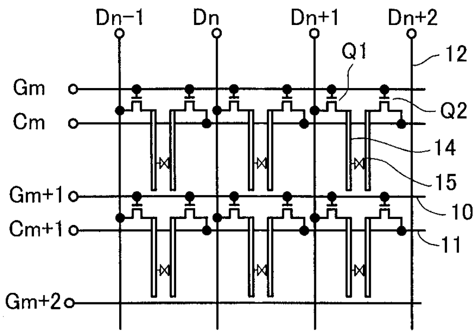
도면 1



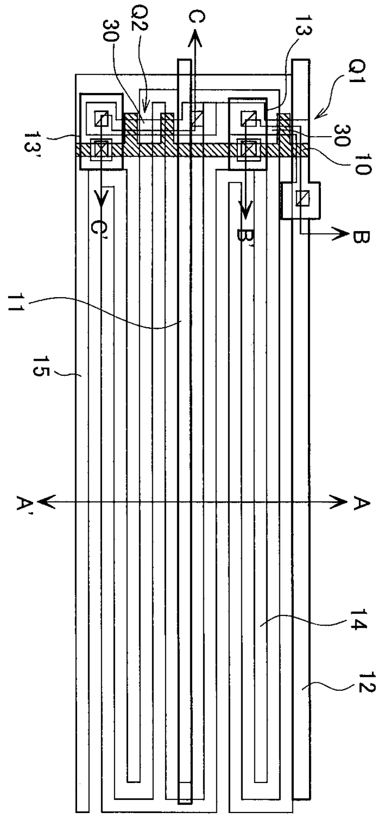
도면 2


C
11
16
Q2
10
15
13'
30
C'
B
12
10
Q1
30
13
14
B'
A
12
1
23
200
15
2
14
20
21
22
A'

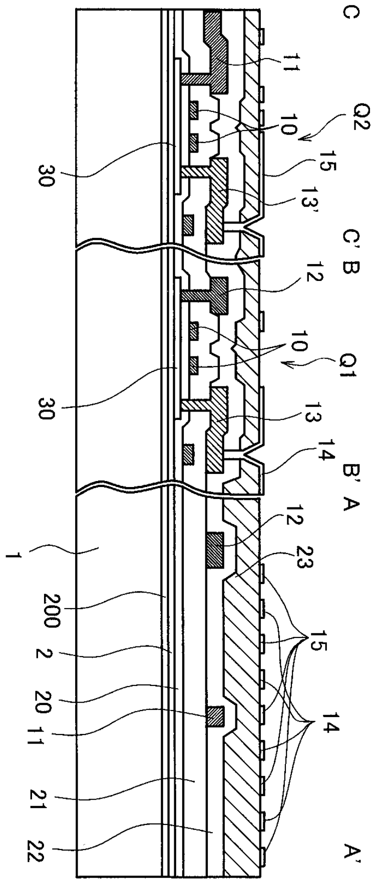
도면 3


Dn-1
Dn
Dn+1
Dn+2
Q1
12
Gm
Cm
Q2
14
15
Gm+1
10
Cm+1
11
Gm+2

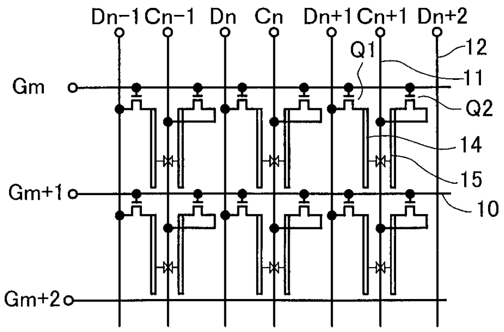
도면 4



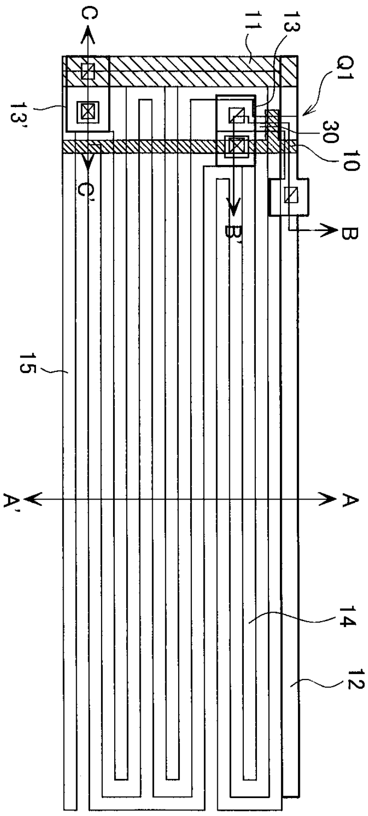
도면 5


C
11
Q2
10
15
13'
C' B
12
10
Q1
13
14
B' A
12
23
15
14
A'
30
30
1
200
2
20
11
21
22

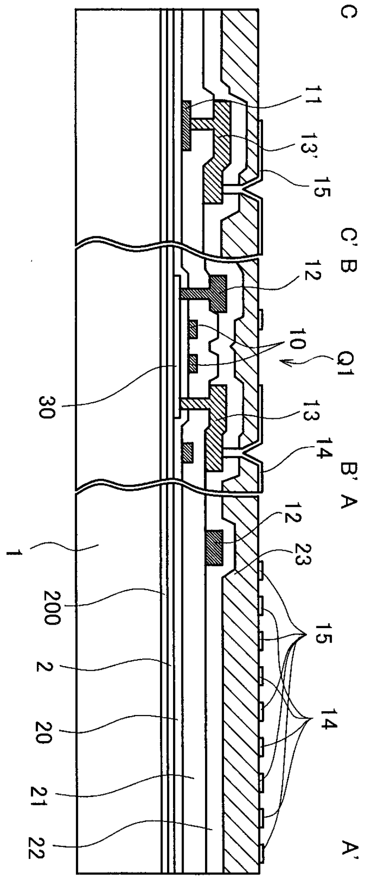
도면 6


Dn-1
Cn-1
Dn
Cn
Dn+1
Cn+1
Dn+2
Q1
12
11
Q2
14
15
10
Gm
Gm+1
Gm+2

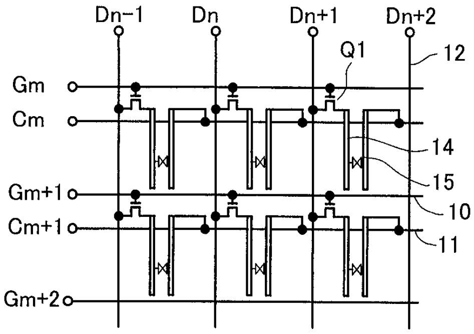
도면 7



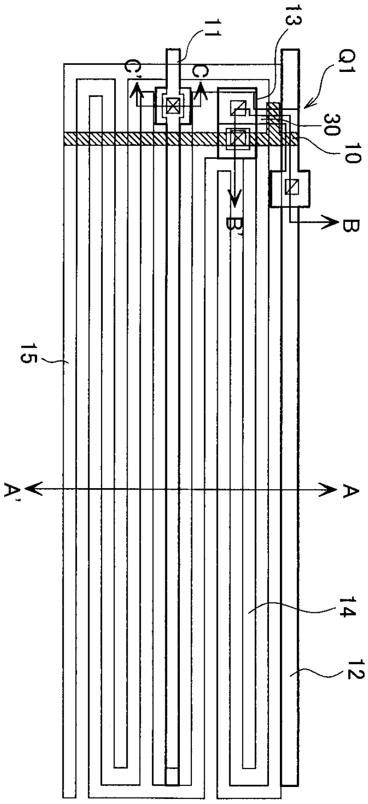
도면 8


C
11
13'
15
C' B
12
10
Q1
30
13
14
B' A
12
23
1
200
2
20
21
22
15
14
A'

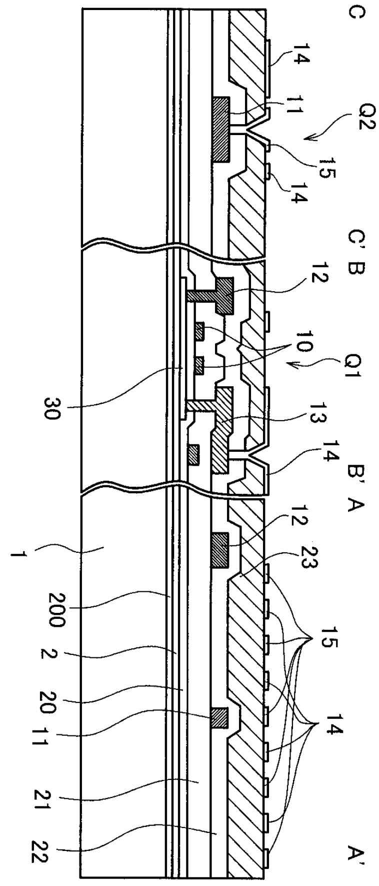
도면 9


Dn-1
Dn
Dn+1
Dn+2
Q1
12
Gm
Cm
14
15
Gm+1
10
Cm+1
11
Gm+2

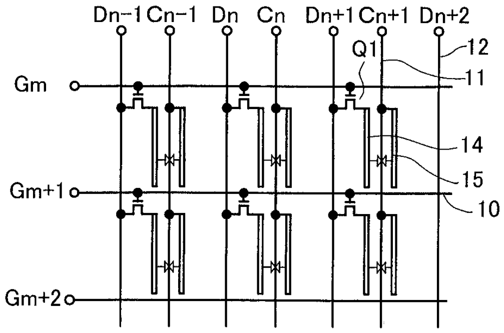
도면 10



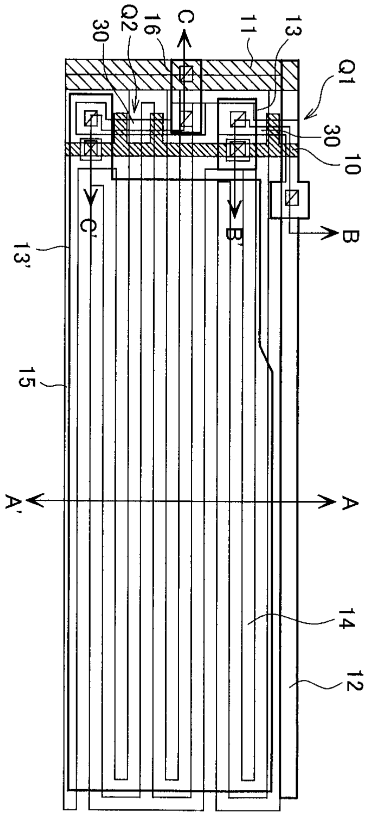
도면 11


C
14
11
Q2
15
14
C'
B
12
10
Q1
30
13
14
B'
A
12
23
1
200
2
20
11
21
22
15
14
A'

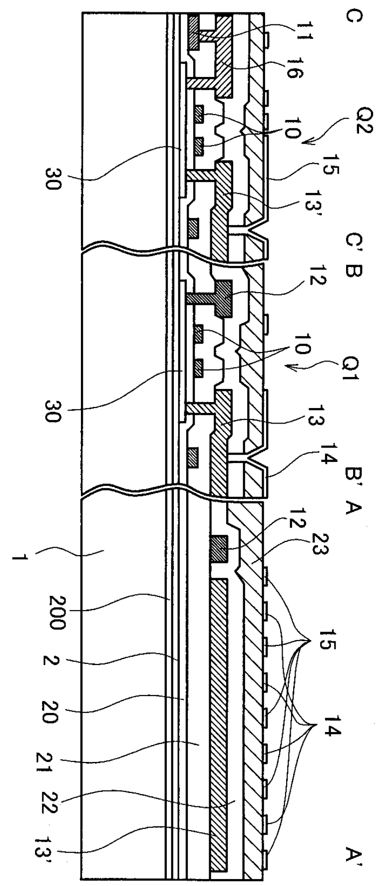
도면 12


Dn-1
Cn-1
Dn
Cn
Dn+1
Cn+1
Dn+2
Q1
12
11
Gm
14
15
Gm+1
10
Gm+2

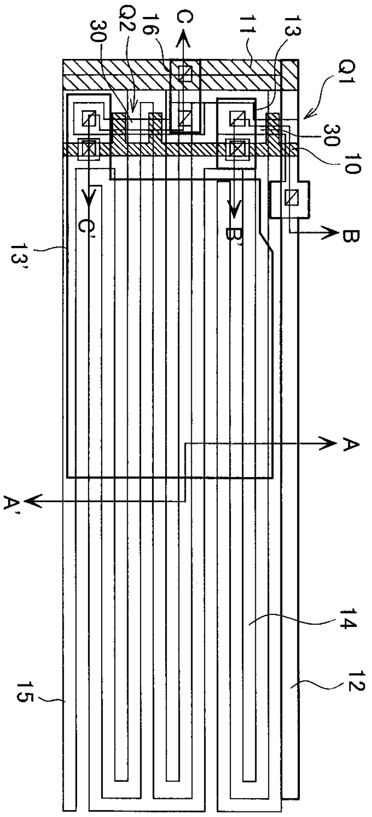
도면 13



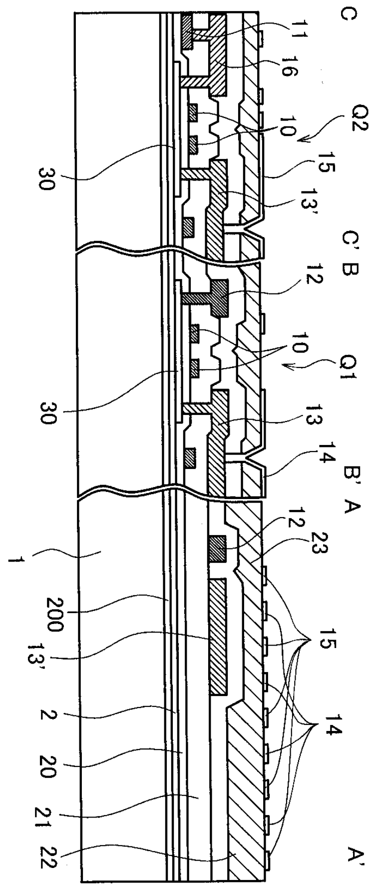
도면 14


C
11
16
10'
Q2
15
13'
C' B
12
10
Q1
13
14
B' A
12
23
15
14
A'
30
30
1
200
2
20
21
22
13'

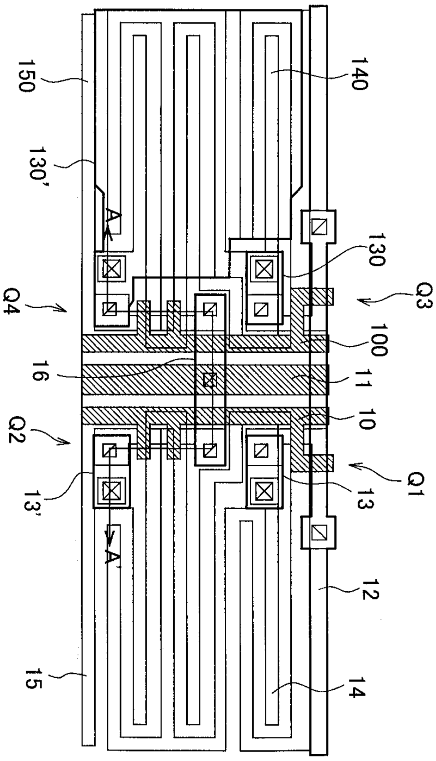
도면 15



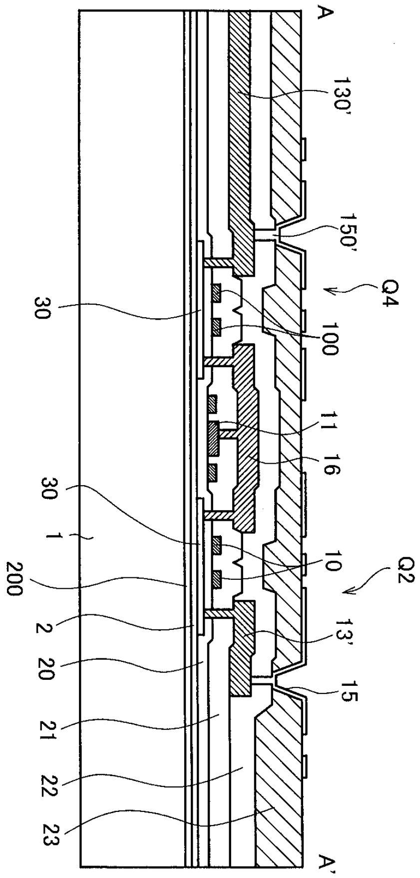
도면 16


C
11
16
Q2
10'
15
13'
C'
B
12
10
Q1
13
14
B'
A
12
23
15
14
A'
30
30
1
200
13'
2
20
21
22

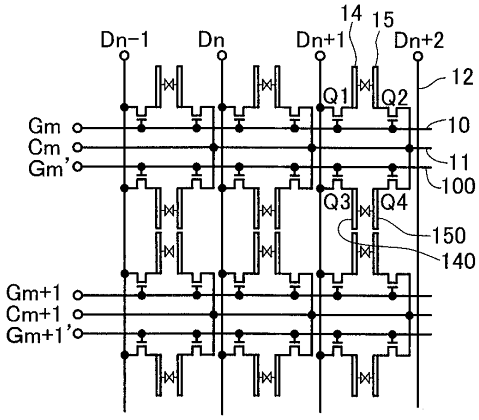
도면 17



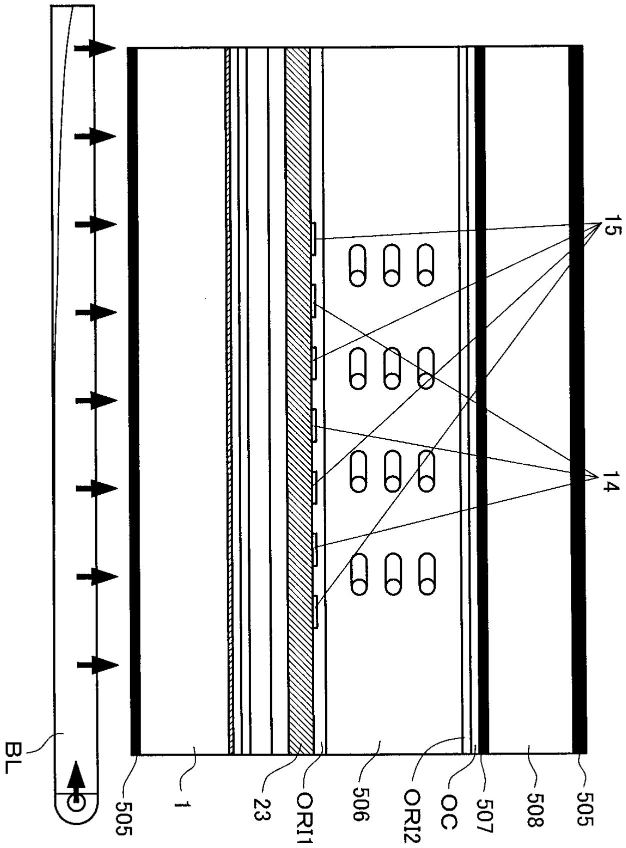
도면 18


A
130'
150'
Q4
30
100
11
16
30
1
10
Q2
200
2
20
13'
15
21
22
23
A'

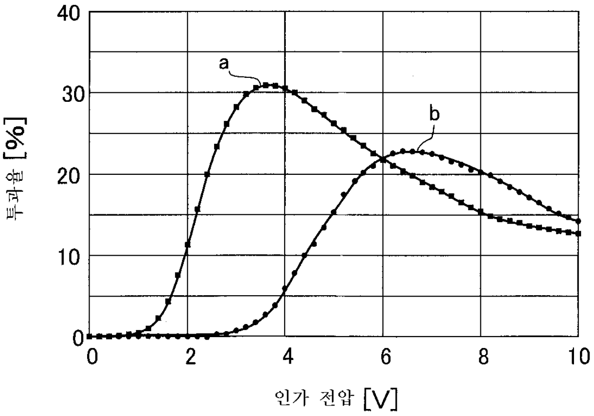
도면 19


Dn-1
Dn
Dn+1
Dn+2
14
15
12
Q1
Q2
10
11
100
Q3
Q4
150
140
Gm
Cm
Gm'
Gm+1
Cm+1
Gm+1'

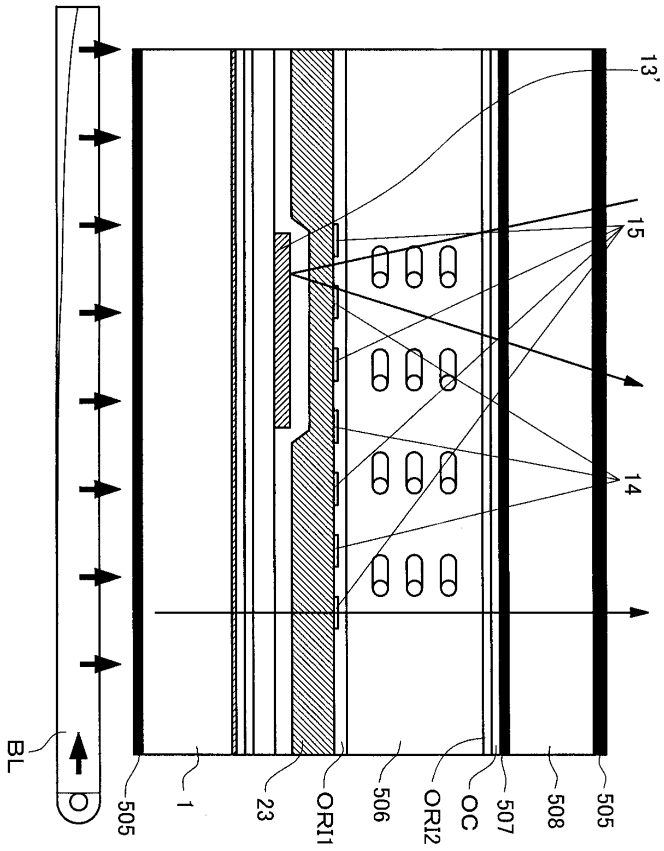
도면 20


15
14
BL
505
1
23
ORI1
506
ORI2
OC
507
508
505

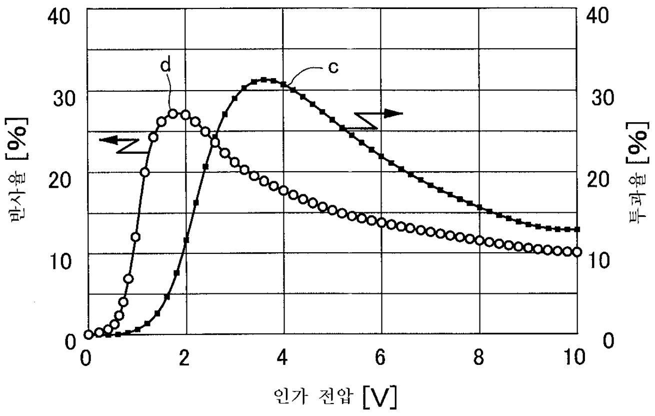
도면 21


투과율 [%]
40
30
20
10
0
0
2
4
6
8
10
a
b
인가 전압 [V]

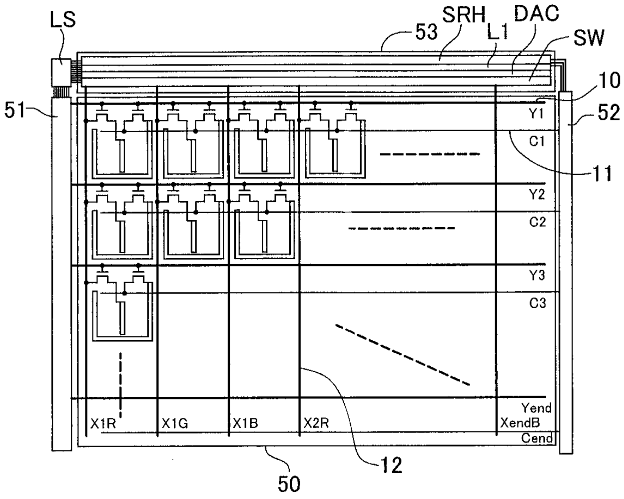
도면 22


BL
505
1
23
ORI1
506
ORI2
OC
507
508
505
13'
15
14

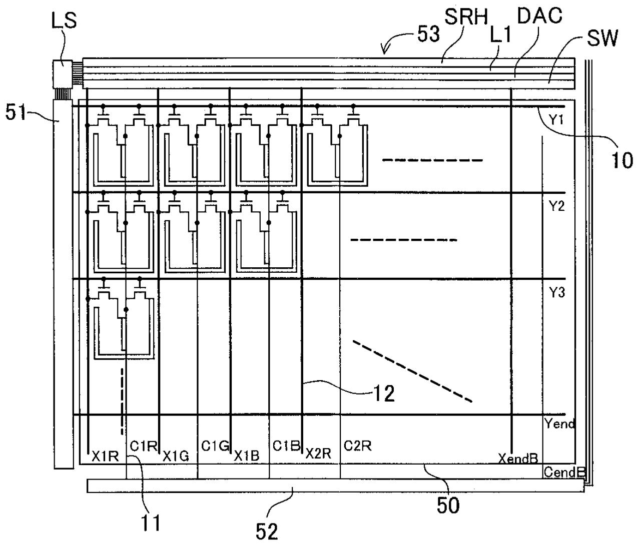
도면 23


40
30
20
10
0
반사율 [%]
투과율 [%]
d
c
0
2
4
6
8
10
인가 전압 [V]

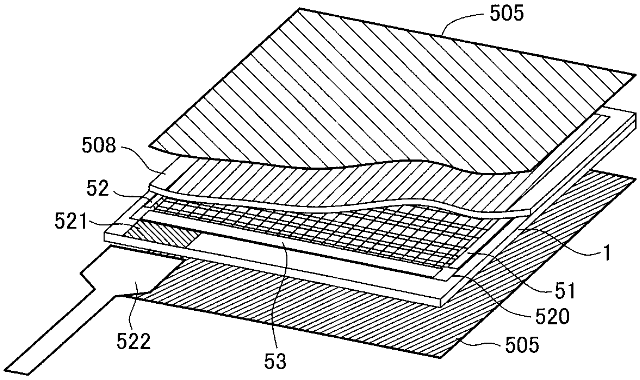
도면 24


LS
53
SRH
L1
DAC
SW
10
51
52
Y1
C1
11
Y2
C2
Y3
C3
Yend
XendB
Cend
X1R
X1G
X1B
X2R
12
50

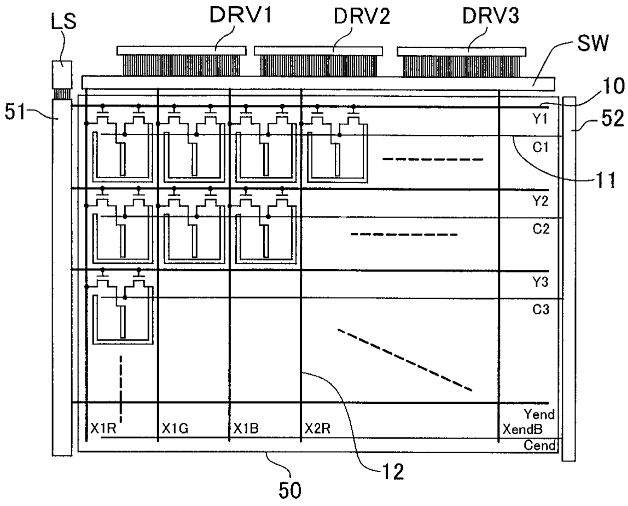
도면 25


LS
53
SRH
L1
DAC
SW
51
Y1
10
Y2
Y3
12
Yend
X1R
C1R
X1G
C1G
X1B
C1B
X2R
C2R
XendB
CendB
50
11
52

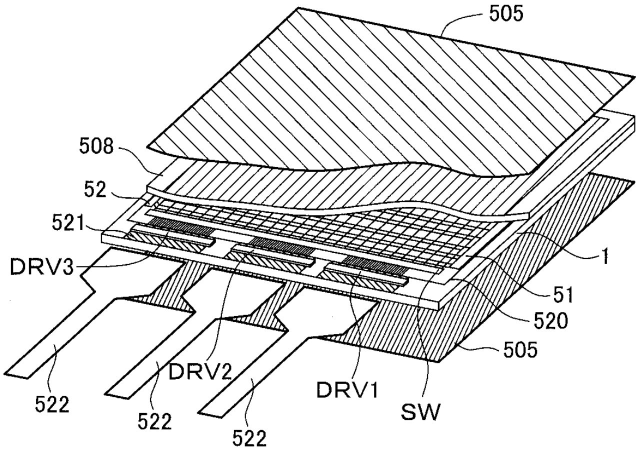
도면 26


505
508
52
521
1
51
520
505
522
53

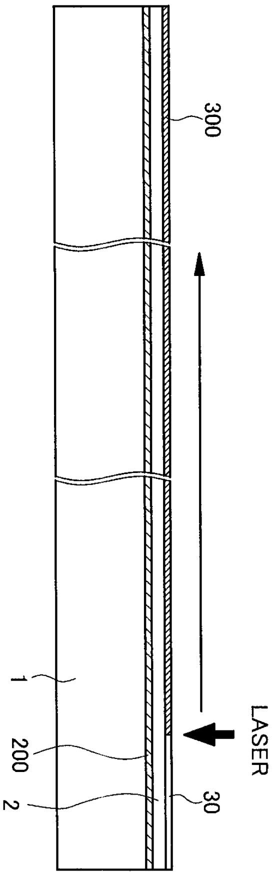
도면 27


LS
DRV1
DRV2
DRV3
SW
10
51
52
Y1
C1
11
Y2
C2
Y3
C3
X1R
X1G
X1B
X2R
Yend
XendB
Cend
50
12

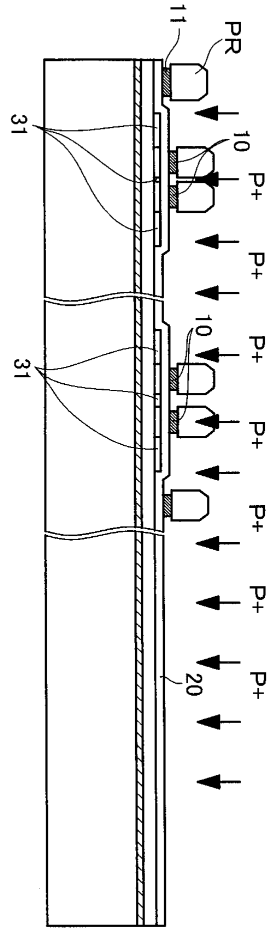
도면 28


505
508
52
521
DRV3
1
51
520
505
522
DRV2
522
522
DRV1
SW

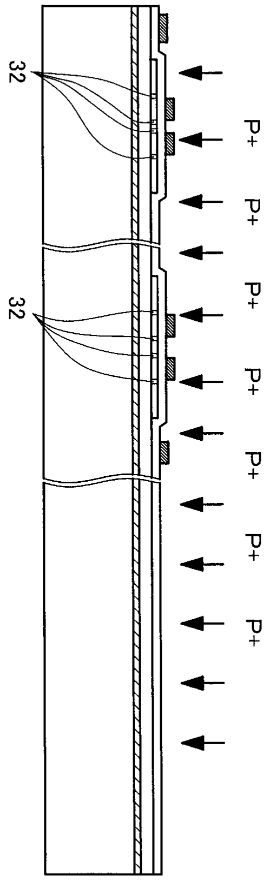
도면 29


300
1
200
2
30
LASER

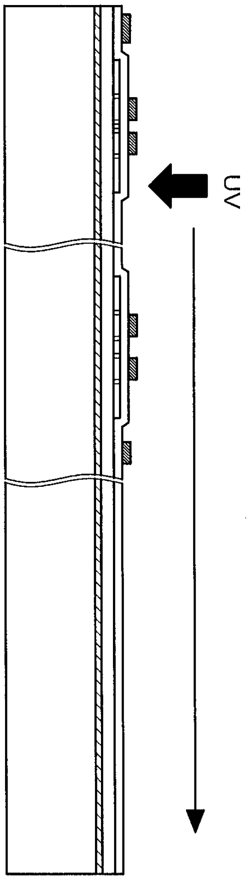
도면 30



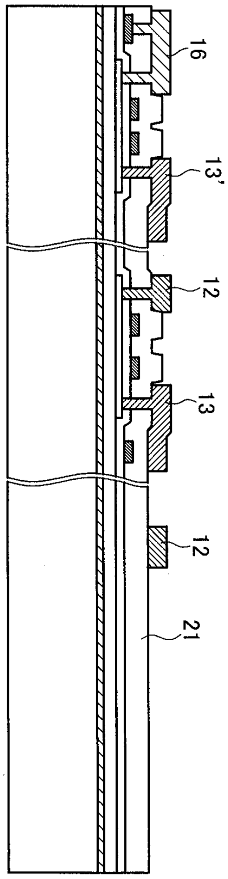
도면 31



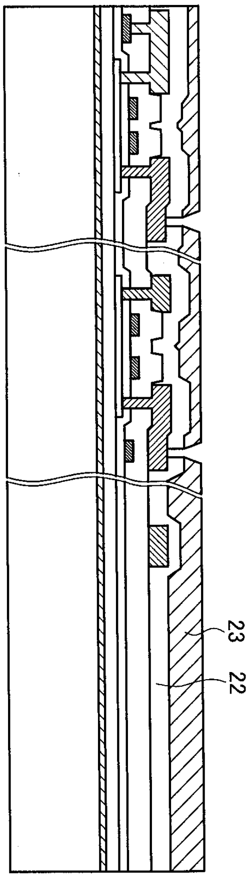
도면 32



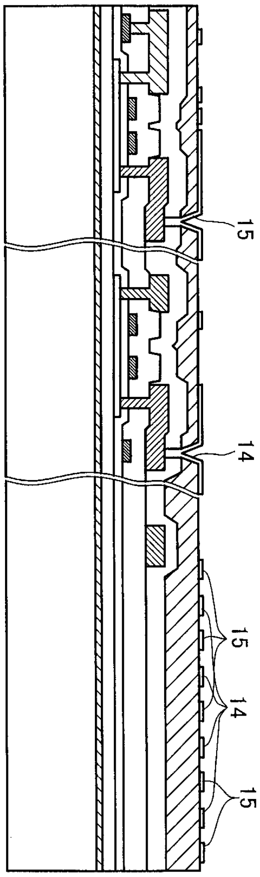
도면 33



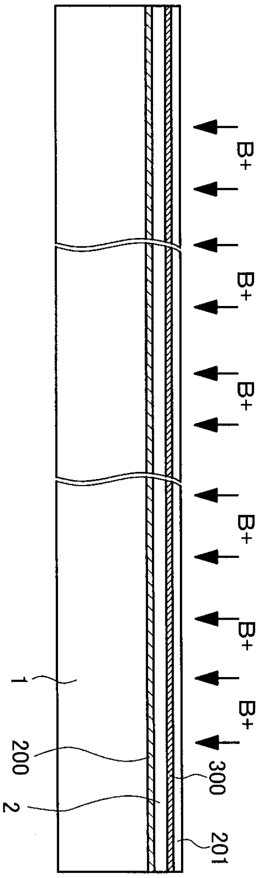
도면 34



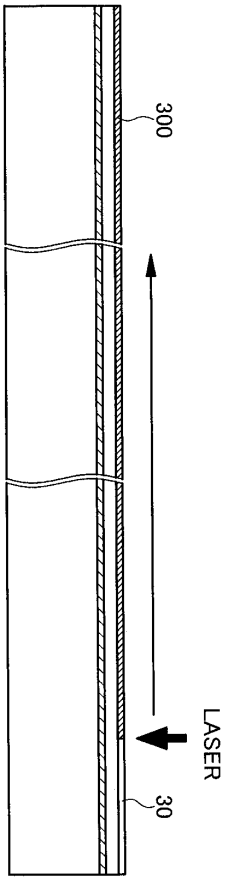
도면 35



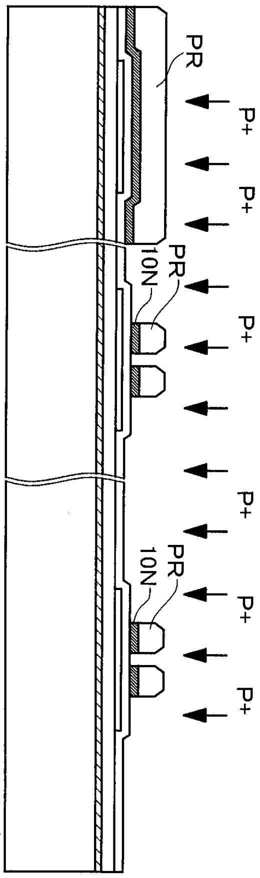
도면 36



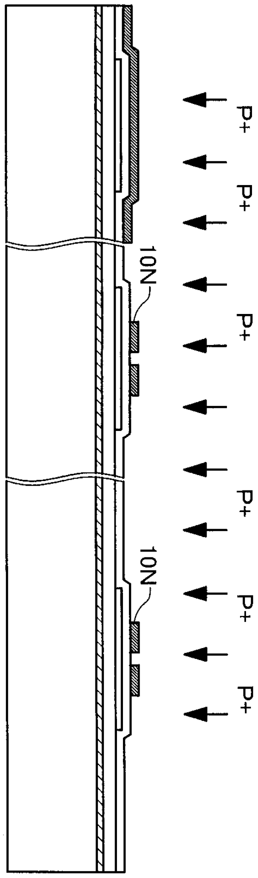
도면 37



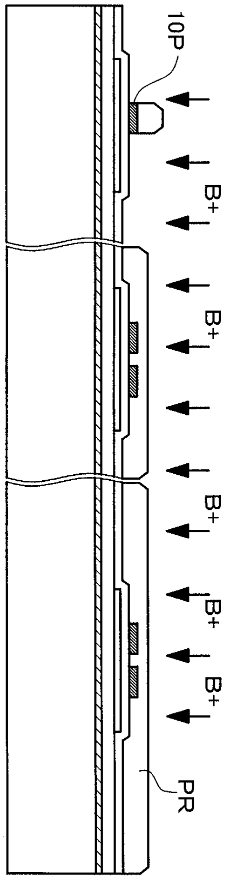
도면 38



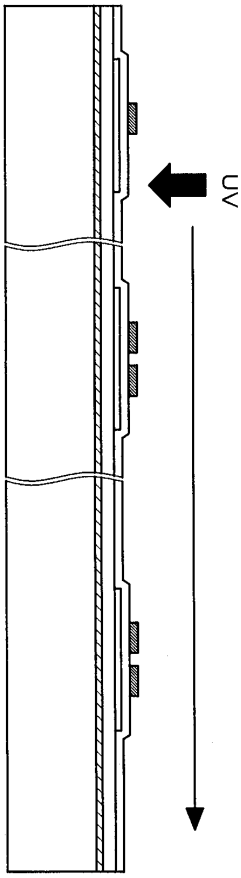
도면 39



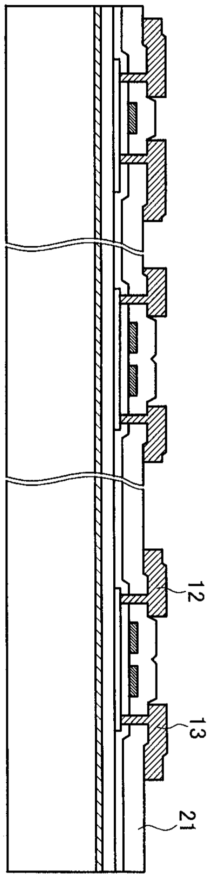
도면 40



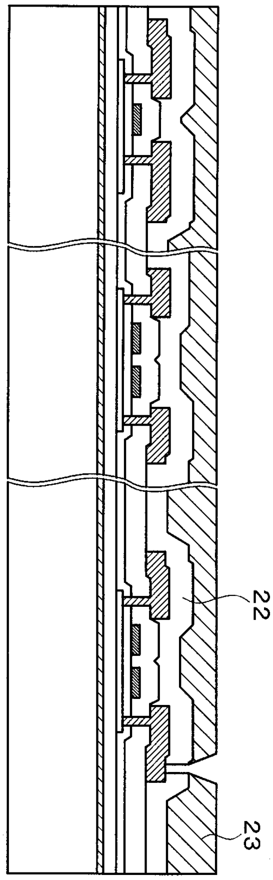
도면 41



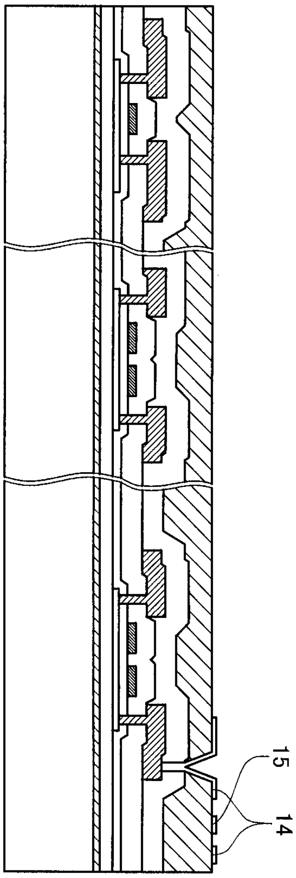
도면 42



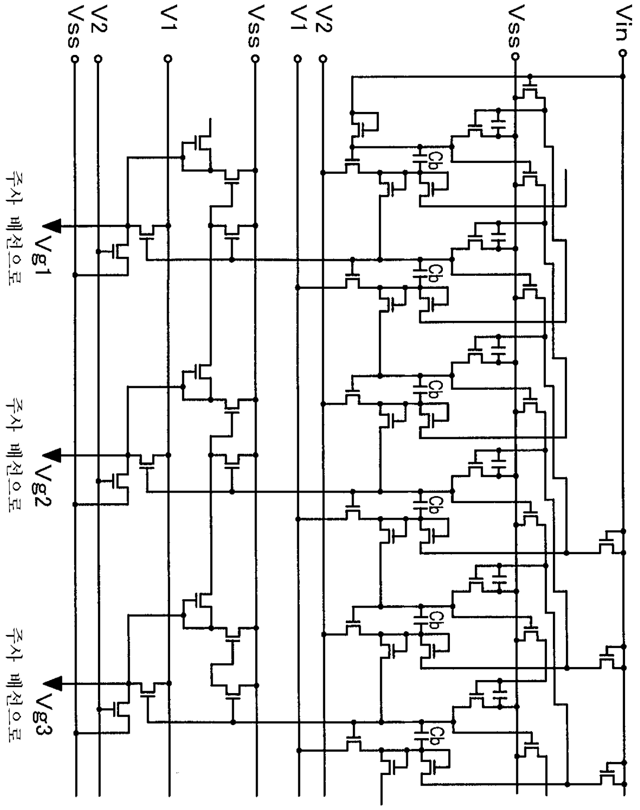
도면 43



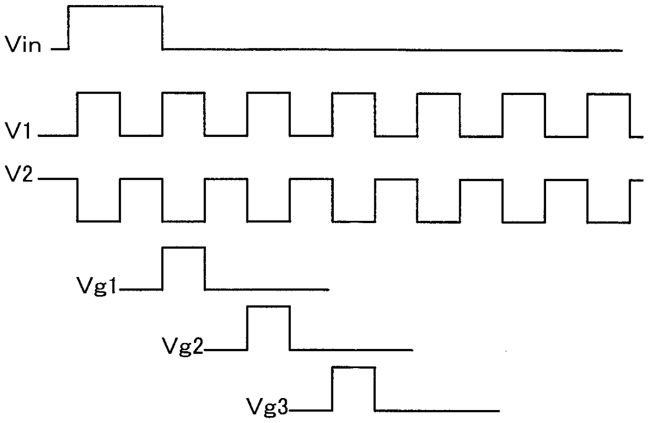
도면 44



도면 45


Vin
Vss
V2
V1
Vss
V1
V2
Vss
Cb
Cb
Cb
Cb
Cb
Cb
Vg1
주사 배선으로
Vg2
주사 배선으로
Vg3
주사 배선으로

도면 46


Vin
V1
V2
Vg1
Vg2
Vg3

专利名称(译)	液晶显示器		
公开(公告)号	KR1020030003041A	公开(公告)日	2003-01-09
申请号	KR1020020036269	申请日	2002-06-27
[标]申请(专利权)人(译)	日立HITACHI SEISAKUSHODBA		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	KAWACHI GENSHIROU 가와찌겐시로 SATOU HIDEO 사또히데오 MIYAZAWA TOSHIO 미야자와도시오 MIKAMI YOSHIROU 미까미요시로 KONDOU KATSUMI 곤도가쯔미		
发明人	가와찌겐시로 사또히데오 미야자와도시오 미까미요시로 곤도가쯔미		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	G02F1/134363		
代理人(译)	Jangsugil		
优先权	2001196019 2001-06-28 JP		
其他公开文献	KR100492210B1		
外部链接	Espacenet		

摘要(译)

并实现了低功耗的高品质液晶显示器件。第一开关元件和第二开关元件，由布置有液晶的基板中的一个基板的液晶侧的像素区域中的栅极信号线的扫描信号驱动;并且，从参考电压信号线通过第二开关元件向其提供参考电压信号的对电极，其中像素电极和对电极均为条形半透明导电层并且交替地布置在基本像素区域中。　　- 1 - 专利文献1：JP-A-2003-0003041　1 指数方面 液晶，像素，开关元件，对电极