(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G02F 1/133

(11) 공개번호 특2001-0082742
(43) 공개일자 2001년08월30일

(21) 출원번호 10-2001-0008026
(22) 출원일자 2001년02월17일

(30) 우선권주장 2000-040992 2000년02월18일 일본(JP)
2000-141263 2000년05월15일 일본(JP)

(71) 출원인 가부시키가이샤 히타치세이사쿠쇼
가나이 쓰토무
일본 도쿄토 치요다쿠 간다스루가다이 4쪼메 6반치
히다치디바이스 엔지니어링가부시키가이샤
나시모토 류조
일본국 지바켄 모바라시 하야노 3681

(72) 발명자 이마죠요시히로
일본지바껭모바라시가야바1336-11
이자와데쯔로
일본지바껭모바라시가미나가요시1657-1
오오기이찌기미또시
일본지바껭모바라시시모나가요시460
오오까와라히로시
일본지바껭모바라시하야노3550
우에다시로
일본지바껭지바시미도리꾸고가네자와쪼297
이시게노부유끼
일본지바껭죠세이군사라꼬마찌나까자또4783-16
가와무라데쯔야
일본지바껭모바라시시모나가요시460
이시노히사시
일본지바껭산부군오오아미시라사또마찌오오아미312-3
유모리후미아끼
일본지바껭이스미군오오하라마찌닛따노1389

(74) 대리인 구영창
장수길

심사청구 : 있음

(54) 액정 표시 장치

요약

액정층을 끼우는 한쌍의 기판의 한쪽의 위에 스위칭 소자를 각각 갖는 복수의 화소와, 이 스위칭 소자 및 화소를 동작시키는 복수의 드레인 드라이버 및 게이트 드라이버와, 이들 드레인 드라이버 및 게이트 드라이버로부터의 신호를 스위칭 소자에 공급하는 복수의 드레인 선 및 게이트 선을 형성한 액정 표시 장치에 있어서, 본 발명은 상기 복수의 드레인 드라이버의 인접하는 한쌍의 각각의 사이에서 표시 데이터 신호와 클럭 신호를 전송하는 배선을 상기 한쌍의 기판의 한쪽의 위에 설치하고, 또한 상기 복수의 드레인 드라이버의 적어도 하나에 상기 클럭 신호로 제어되고, 이 클럭 신호 및 상기 표시 데이터 신호의 상기 복수의 드레인 드라이버의 (1) 적어도 하나로의 수취와 (2) 이것에 인접하는 상기 복수의 드레인 드라이버의 다른 하나로의 전송을 전환하는 적어도 하나의 게이트 회로를 설치한다. 본 발명에 따른 액정 표시 장치는, 예를 들면, 액정 표시 장치의 주변에 있는 다른 장치에의 전자파의 간섭(EMI)을 억제하고, 또는 상기 배선에 있어서의 상기 표시 데이터 신호 또는 상기 클럭 신호의 왜곡을 막는다는 이점을 가져온다.

대표도

도 1

색인어

액정 표시 장치, 플립 칩 실장 방식, 드레인 드라이버, 게이트 드라이버, 박막 트랜지스터

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 액정 표시 장치의 제1 실시예의 구성을 모식적으로 설명하는 액정 패널의 주요부 평면도.

도 2는 도 1에 도시한 본 발명의 실시예에 있어서의 드레인 드라이버측에 플렉시블 프린트 기판을 설치한 상태를 설명하는 액정 패널의 주요부 평면도.

도 3은 본 발명의 실시예에 있어서의 드레인 드라이버에 설치되어 있는 분압 회로의 설명도.

도 4는 본 발명의 실시예에 있어서의 드레인 드라이버의 분압 회로의 일례의 설명도.

도 5는 본 발명의 실시예에 있어서의 박막 트랜지스터 기판상에 형성한 배선과 드레인 드라이버의 실장예의 설명도.

도 6은 본 발명에 따른 직렬 공급 방식의 드레인 드라이버의 구성예를 설명하는 개략 회로도.

도 7은 본 발명에 따른 직렬 공급 방식의 드레인 드라이버의 다른 구성예를 설명하는 개략 회로도.

도 8은 본 발명에 따른 직렬 공급 방식의 드레인 드라이버의 또 다른 구성예를 설명하는 개략 회로도.

도 9의 (a) 및 도 9의 (b)는 본 발명의 액정 표시 장치의 제2 실시예를 설명하는 드라이버 사이를 접속하는 신호 배선을 전파하는 신호의 시상수를 설명하는 파형도로서, 도 9의 (a)는 화소 클럭 신호의 시상수를, 도 9의 (b)는 데이터 신호의 시상수를 각각 도시하는 도면.

도 10은 본 발명의 액정 표시 장치의 제3 실시예를 설명하는 드레인 드라이버의 내부 회로의 구성예를 설명하는 개략 회로도.

도 11의 (a) 및 도 11의 (b)는 본 발명의 액정 표시 장치의 제3 실시예를 설명하는 드레인 드라이버의 데이터 수취 때의 파형도로서, 도 11의 (a)는 화소 클럭 신호의 파형을, 도 9의 (b)는 데이터 신호의 파형을 각각 도시하는 도면.

도 12는 본 발명의 액정 표시 장치의 제4 실시예를 설명하는 드레인 드라이버의 내부 회로의 구성예를 설명하는 개략 회로도.

도 13의 (a) 및 도 13의 (b)는 도 10의 구성으로 듀얼 엣지에 의한 데이터의 취득을 행하려고 하였을 때의 데이터와 클럭의 파형도를, 도 13의 (a)에 화소 클럭 신호의 파형을, 도 13의 (b)에 데이터 신호의 파형을 각각 도시하는 도면.

도 14의 (a) 및 도 14의 (b)는 듀얼 엣지에 의한 데이터의 취득에 있어서의 화소 클럭을 지연 소자로 지연시키고, 또한 드레인 드라이버 사이를 접속하는 배선 저항을 조정하여 셋업 시간/홀드 시간을 조정한 경우의 파형도로서, 도 14의 (a)에 화소 클럭 신호의 파형을, 도 14의 (b)에 데이터 신호의 파형을 각각 도시하는 도면.

도 15의 (a) 및 도 15의 (b)는 본 발명의 액정 표시 장치의 제5 실시예를 설명하는 화소 클럭 신호와 데이터 신호의 파형도로서, 전자를 도 15의 (a)에, 후자를 도 15의 (b)에 각각 도시하는 도면.

도 16의 (a) 및 도 16의 (b)는 본 발명의 액정 표시 장치의 제6 실시예를 설명하는 화소 클럭 신호와 데이터 신호의 파형도로서, 전자를 도 16의 (a)에, 후자를 도 16의 (b)에 각각 도시하는 도면.

도 17a 및 도 17b는 본 발명의 액정 표시 장치의 제7 실시예를 설명하는 드레인 드라이버의 설명도로서, 도 17a는 드레인 드라이버의 내부 회로의 구성예를, 도 17b는 드레인 드라이버의 배열을 각각 도시하는 도면.

도 18은 본 발명의 액정 표시 장치의 제8 실시예를 설명하는 액정 패널의 모식 평면도.

도 19는 본 발명의 액정 표시 장치의 제11 실시예를 설명하는 드레인 드라이버의 단자 배열의 모식도.

도 20은 본 발명의 액정 표시 장치의 제12 실시예를 모식적으로 설명하는 액정 패널의 주요부 평면도.

도 21은 본 발명의 액정 표시 장치의 제13 실시예를 모식적으로 설명하는 액정 패널의 주요부 평면도.

도 22는 본 발명의 액정 표시 장치의 제14 실시예를 모식적으로 설명하는 도면 21과 마찬가지의 액정 패널의 주요부 평면도.

도 23은 본 발명의 액정 표시 장치의 제14 실시예를 모식적으로 설명하는 액정 패널의 주요부 단면도.

도 24는 본 발명의 액정 표시 장치의 제15 실시예를 모식적으로 설명하는 액정 패널의 주요부 단면도.

도 25는 본 발명의 액정 표시 장치의 제16 실시예를 모식적으로 설명하는 액정 패널의 주요부 단면도.

도 26은 드레인 드라이버의 실장부의 입력측 절반을 확대하여 도시하는 모식 평면도.

도 27은 드레인 드라이버의 실장부의 출력측 절반을 확대하여 도시하는 모식 평면도.

도 28은 드레인 드라이버의 출력 배선의 종래 구성의 설명도.

도 29는 본 발명의 액정 표시 장치의 제20 실시예를 설명하기 위한 드레인 드라이버의 출력 배선 구성의 설명도.

도 30은 드레인 드라이버와 FPC의 배선의 종래의 접속 구조의 설명도이다.

도 31은 본 발명의 제21 실시예를 모식적으로 설명하기 위한 드레인 드라이버와 FPC의 배선의 접속 구조의 설명도.

도 32는 본 발명의 제21 실시예를 더 설명하기 위한 드레인 드라이버와 FPC의 배선의 접속 구조의 설명도.

도 33은 도 3l에 도시한 본 발명의 제21 실시예를 더 설명하기 위한 드레인 드라이버와 FPC의 배선의 접속 구조의 설명도.

도 34는 본 발명의 제22 실시예를 설명하는 하측 기판의 배선과 플렉시블 프린트 기판 주위의 주요부 구조도.

도 35는 본 발명의 제23 실시예를 설명하는 하측 기판의 배선과 플렉시블 프린트 기판 주위의 주요부 구조도.

도 36은 본 발명의 제24 실시예를 설명하는 하측 기판의 배선과 플렉시블 프린트 기판 주위의 주요부 구조도.

도 37은 본 발명의 제25 실시예를 설명하는 하측 기판의 배선과 플렉시블 프린트 기판 주위의 주요부 구조도.

도 38은 액정 표시 장치의 등가 회로를 나타내는 블록도.

도 39는 호스트 컴퓨터와 액정 표시 장치의 컨트롤러부 사이의 표시 데이터의 흐름의 설명도.

도 40은 본 발명의 액정 표시 장치를 실장한 정보 처리 장치의 일례인 가반형의 노트 퍼스널 컴퓨터의 설명도.

도 41은 본 발명에 따른 액정 표시 장치를 실장한 데스크탑형 모니터의 일례를 도시하는 외관도.

도 42는 액티브 매트릭스형의 액정 표시 장치에 있어서의 구동 회로의 구성예를 설명하는 블록도.

도 43a 및 도 43b는 도 38에 있어서의 표시 제어에 관한 수평 방향 타이밍의 설명도로서, 도 43a는 타이밍 컨버터에 입력되는 신호의 타임차트를, 도 43b는 타이밍 컨버터로부터 출력되는 신호의 타임챠트를 각각 도시하는 도면.

도 44a 및 도 44b는 도 38에 있어서의 표시 제어에 관한 수직 방향 타이밍의 설명도로서, 도 44a는 타이밍 컨버터에 입력되는 신호의 타임챠트를, 도 44b는 타이밍 컨버터로부터 출력되는 신호의 타임 챠트를 각각 도시하는 도면.

도 45는 액정 표시 장치의 드레인 드라이버와 게이트 드라이버, 및 인터페이스 기판의 실장예의 설명도.

< 도면의 주요 부분에 대한 부호의 설명>

SUB 1 : 액정 패널의 하측 기판

SUB 2 : 액정 패널의 상측 기판

TCON : 타이밍 컨버터

CHC : 칩 콘덴서

DL : 드레인선

ST : 공통선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 특히 플립 칩 실장 방식으로 실장한 드라이버 IC에 구동 신호를 공급하기 위한 플렉시블 프린트 기판의 배선 구성을 간소화하고, 신규한 신호 전송 방식을 채용하여 저비용화를 도모한 액정 표시 장치에 관한 것이다.

각종의 화상 표시 장치용의 디스플레이 디바이스로서 액정 표시 장치가 넓게 보급되고 있다. 화소마다 박막 트랜지스터 TFT 등의 능동 소자를 지니고, 이 능동 소자를 스위칭 구동하는 액티브 매트릭스형의 액정 표시 장치는, 능동 소자를 통해 화소 전극에 액정 구동 전압(계조 전압)을 인가하기 때문에, 각 화소 사이의 크로스토크가 없고, 단순 매트릭스형의 액정 표시 장치와 같이 크로스토크를 방지하기 위한 특수한 구동 방법을 이용하는 일없이 다계조 표시가 가능하다.

도 42는 액티브 매트릭스형의 액정 표시 장치에 있어서의 구동 회로의 구성예를 설명하는 블록도, 도 43a, 도 43b, 도 44a, 및 도 44b는 도 42에 있어서의 표시 제어에 관한 수평 방향 타이밍과 수직 방향 타이밍의 설명도(신호의 타임 챠트)이다.

도 42에 도시된 바와 같이, 액정 표시 장치는 호스트 컴퓨터로부터의 표시 데이터(이하, 화소 데이터라고도 한다)와 제어 신호를 받아 액정 패널 TFT-LCD에 화소 데이터, 각종 클럭 신호, 각종의 구동 전압을 인가하는 인터페이스 회로를 탑재한 인터페이스 기판(견고한 프린트 기판)을 구비하고 있다.

인터페이스 회로는, 타이밍 컨버터 TCON을 구비한 표시 제어 장치와 전원 회로를 지니고, 표시 제어 장치는 액정 패널에 화상 데이터를 전송하는 데이터 버스, 2 화소씩을 전송하는 데이터 버스, 드레인 드라이버가 화소 데이터(이하, 단순히 데이터라고도 말한다)를 저장(수신, 취득)하기위한 클럭 D2 (CL2), 드레인 드라이버가 액정 구동 신호를 전환하기 위한 클럭 Dl (CLl), 게이트 드라이버를 구동하는 프레임 개시 지시 신호와 게이트 클럭(클럭 G)등의 타이밍 신호를 액정 패널에 출력한다.

또한, 전원 회로는 정극 계조 전압 생성 회로와 부극 계조 전압 생성 회로, 대향 전극 전압 생성 회로, 게이트용 전압 생성 회로로 구성된다.

도 42에 도시한 액정 표시 장치를 구성하는 액정 패널의 표시 화소수는, (가로 1024 × 3) × (세로 768) 이지만, 더욱 고해상도의 것도 공지되어 있다. 호스트 컴퓨터로부터의 표시 데이터와 제어 신호를 수취하는 인터페이스 기판은, 1 화소 단위, 즉 적(R), 녹(G), 청(b)의 각 데이터 1개를 한쌍으로 하여, 도 38 중의 데이터 선을 통해 단위 시간에 1 화소분을 드레인 드라이버에 전달한다.(이하, 전송이라고도 말한다).

단위 시간의 기준이 되는 클럭 신호는 호스트 컴퓨터로부터 액정 표시 장치에 보내진다. 구체적으로는, 본 구성예의 1024× 768 화소의 액정 표시 장치에서는, 통상은 65 MHz의 주파수가 이용된다.

액정 패널 TFT-LCD의 구성으로서는, 표시 화면을 기준으로, 가로 방향에 드레인 드라이버(TFT 드라이버라고도 말한다)를 두고, 이 드레인 드라이버를 박막 트랜지스터 TFT의 드레인 선에 접속하여 액정을 구동하기 위한 전압을 공급한다. 또한, 게이트 선에는 게이트 드라이버를 접속하고, 어떤 일정 시간(1 수평 동작 시간), 박막 트랜지스터 TFT의 게이트에 전압을 공급한다.

타이밍 컨버터는 반도체 집적 회로(LSI)에 의해 구성되고, 호스트 컴퓨터로부터의 표시 데이터와 제어 신호를 수취하여, 이것을 기초로 드레인 드라이버, 게이트 드라이버에 필요한 표시 데이터와 동작 클럭을 출력한다. 또, 1 화소분의 데이터 선은 18 비트(R, G, B 각 6 비트)이다.

호스트 컴퓨터로부터 액정 표시 장치의 타이밍 컨버터로는, 저전압 진폭 차동 신호인, 소위 LVDS로 신호 전송을 행한다. 타이밍 컨버터로부터 드레인 드라이버로는 CMOS 레벨의 신호로 전송을 행하지만, 이 경우, 65 MHz의 화소 클럭을 공급하는 것이 곤란하기 때문에, 32.5 MHz의 클럭의 상승과 하강의 양 엣지에 동기하여 표시 데이터의 전송을 행한다.

도 43a, 도 43b, 도 44a, 및 도 44b에 도시한 바와 같이, 게이트 드라이버에는 1수평 시간마다 박막 트랜지스터 TFT의 게이트 선에 전압을 공급하도록 수평 동기 신호 및 표시 타이밍 신호(디스플레이 타이밍 신호)에 기초하여, 1 수평 시간 주기의 펄스를 제공한다. 1 프레임 시간 단위에서는 제1 라인마다로부터의 표시가 되도록, 수직 동기 신호를 기초로 프레임 개시 지시 신호도 제공한다.

전원 회로의 정극 계조 전압 생성 회로와 부극 계조 전압 생성 회로는, 동일 액정에 장시간 동일 전압이 가해지지 않도록, 어떤 일정한 시간마다 액정에 제공하는 전압을 교류화하기 위한 기준 전압을 생성한다. 실제의 교류화는, 드레인 드라이버내에서 정극 계조 전압과 부극 계조 전압을 전환하여 사용함으로써 행해진다. 또, 여기서 말하는 교류화란, 대향 전극 전압을 기준으로, 드레인 드라이버에 제공하는 전압을 일정 시간마다 플러스 전압측/마이너스 전압측으로 변화하게 하는 것이다. 여기서는, 이 교류화의 주기를 1 프레임 시간 단위로 행하고 있다.

상기 플립 칩 방식은 FCA 방식이라고도 말하고, 이 FCA 방식은, 구동 IC(드레인 드라이버나 게이트 드라이버)를 액정 패널의 한쪽의 기판(통상은 하측 기판)의 외연에 직접 탑재하는 방식(베어 칩 탑재 방식)이고, 칩 온 글라스(COG) 방식이라고도 칭한다. 액정 패널의 기판에 직접 탑재한 구동 IC(드레인 드라이버나 게이트 드라이버)에의 각종 신호 및 동작용 전원은 인터페이스 기판에 접속한 플렉시블 프린트 기판 FPC을 통해 공급된다.

도 45는 액정 표시 장치의 드레인 드라이버와 게이트 드라이버, 및 인터페이스 기판의 실장예의 설명도이다. 하측 기판 SUB1과 상측 기판 SUB2의 접합으로 이루어지는 액정 패널 PNL의 일 모서리(도면에서는 하부 모서리, 길이 방향 변)에 드레인 선측 플렉시블 프린트 기판 FPC2이 부착되고, 그 개구부 HOP의 배열에 따라서 액정 패널 PNL의 이면측으로 절곡(fold)된다.

또한, 좌측 모서리(도면에서는 좌측 모서리, 짧은 방향 변)에 게이트 선측 플렉시블 프린트 기판 FPC1이 부착되고, 그 커넥터 CT3와 인터페이스 기판 PCB의 커넥터 CTR3 및 드레인 선측 플렉시블 프린트 기판 FPC2의 커넥터 CT4와 접속하는 커넥터 CTR4가 결합되어, 호스트 컴퓨터로부터의 신호를 접속하는 인터페이스 커넥터 CT1, 타이밍 컨버터 TCON 등이 부착된다. 또, 본 예에서는 LVDS 방식의 데이터 전송 방식을 채용하고 있지만, 이 경우에 필요해지는 수신측 신호 변환기(LVDS-R)는 타이밍 컨버터 TCON과 동일한 칩에 일체화하는 방법을 채용하는 것으로, 인터페이스 기판상의 실장 면적을 저감하고 있다.

또, 액정 패널 PNL의 표시면측(상측 기판 SUB2의 표면)에는 상부 편광판 POL1이 접합시켜지고, 그 가운데쪽에 표시 영역 AR가 형성된다.

하측 기판의 하변의 외연에 탑재된 칩 IC2은 드레인 드라이버, 좌변의 외연에 탑재된 칩 IC1은 게이트 드라이버이다. 또, FGP는 프레임 접지 패드, FHL은 위치 정렬 구멍이다.

이러한 IPS 방식의 액정 표시 장치에 관하여, 상기 종래의 액정 표시 장치에 있어서는, 도 42에 도시한 바와 같이, 타이밍 컨버터 TCON을 구비한 표시 제어 장치로부터 드레인 드라이버에의 표시를 위한 데이터, 계조 전압(아날로그 신호), 화소 클럭은 각 드레인 드라이버에 대하여 병렬로 공급되고 있다. 드레인 드라이버에 데이터, 계조 전압, 화소 클럭 신호를 포함하는 각종 클럭 신호(타이밍 신호)를 공급하는 드레인 선측 플렉시블 프린트 기판 FPC2 (드레인 FPC)은 많은 배선을 통과시키는 것이 요구된다. 이 때문에, 폭이 좁은 다층 FPC나, 또는 폭이 넓은 양면 배선의 FPC 중 어느 하나를 사용하지 않을 수 없고, 어떻든간에 매우 고가의 것으로 되어 있었다.

또, FPC를 이용하는 일없이 데이터나 화소 클럭을 구동 IC에 공급하는 구성으로 함으로써, 특개평6-13724호 공보에 개시된 바와 같이, 드레인 드라이버를 FCA 방식으로 실장하고, 이 구동 IC 상호간의 접속을 패터닝된 금속막을 액정

패널의 기판상에 전사한 버스 라인을 통해 직렬로 접속한 것(순차 직렬 공급 방식, 소위, 버킷 릴레이 방식)이 제안되어 있다. 버킷 릴레이 방식이란, 복수의 구동 IC을 통해서 순서대로 신호를 전달해가는 신호 전송 형태가, 복수의 인간에 의해 물이 들어 간 버킷을 순서대로 건네주는 모습과 유사하기 때문에, 이 신호 전송 형태에 붙여진 이름이다.

그러나, 이러한 버킷 릴레이 방식으로 데이터, 계조 전압, 화소 클럭을 포함하는 각종 클럭 신호 공급하는 것에서는, 배선 수가 적은 소위 단순 매트릭스형의 액정 표시 장치에 적용함으로써, 원하는 효과가 얻어진다.

이것에 대하여, 박막 트랜지스터 방식의 액정 표시 장치에서는, 드레인 드라이버에는, 데이터, 계조 전압, 화소 클럭을 포함하는 타이밍 신호, 전원 등, 다수의 신호나 전압을 공급할 필요가 있고, 이들 모든 신호나 전압을 액정 패널의 변 모서리에 패터닝하기 위해서는, 상기 패널 주연부의 면적을 넓게 취하지 않을 수 없고, 소위 협액연화(狹額緣化)가 매우 곤란하게 된다. 이것은, 액정 표시 장치의 해상도(정밀도)가 높아짐에 따라 점점 더 현저하게 된다.

또한, 복수의 드레인 드라이버를 직렬로 접속한 경우(상기 버킷 릴레이 방식)에서는, 각 신호선, 전압선의 배선 저항의 차이에 의해서 지연량이 변동, 타이밍 마진을 만족할 수 없게 되고 드레인 드라이버가 정상적으로 데이터를 저장(수신, 취득)할 수 없게 되어 표시 이상을 가져온다. 이것이 과제중 하나로 되어 있었다.

또한, 드레인 드라이버가 데이터를 수취하기 위한 화소 클럭의 주파수는, 표시의 정밀도가 높아짐에 따라, 그 주파수가 높아져, 외부에의 간섭 전자파(EMI ; ElectroMagnetic Interference)가 많이 발생할 우려가 있다.

또, 이러한 고정밀화에 따르는 문제는 게이트 드라이버측에 관해서도 마찬가지이다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 상기 종래 기술의 과제를 해결하고, 저비용으로 고품질의 화상 표시를 가능하게 한 액정 표시 장치를 제공하는 것에 있다.

본 발명의 상기 목적과 다른 목적, 및 본 발명의 신규한 특징은, 후술하는 본 발명의 상세한 기술 및 도면의 기재로부터 분명하게 될 것이다.

상기 목적을 달성하기 위해서, 본 발명은, 종래 플렉시블 프린트 기판 FPC에 배선되어 있던 데이터 신호(화상 또는 표시 데이터, 화소 클럭 등의 타이밍 신호, 계조 전압)용 배선과 전원용 배선 중, 주로 전원용 배선을 플렉시블 프린트 기판 FPC에 배선하고, 다른 신호나 전압의 전부 또는 그 거의를 액정 패널의 기판상에 직접 형성한 배선을 통해 행하도록 한 점에 특징을 갖는다.

또한, 상기 특개평6-13724호 공보에 개시된 바와 같이, 박막 트랜지스터 TFT 방식에 있어서 복수의 구동 IC을 단순하게 버킷 릴레이 방식으로 접속하는 것만으로는, 액정 패널의 기판상의 배선 저항이 높기 때문에, 정상적으로 동작하지 않는 경우가 있다.

이러한 종래 기술의 과제를 해결하기 위해서, 본 발명은, 복수의 드레인 선 및 이 드레인 선과 직교하는 복수의 게이트 선의 각 교차부에 화소를 배치한 액정 패널과, 게이트 선의 연장 방향에 배치하고 복수의 드레인 선의 소정의 군마다 대응하여 배치한 화소에 표시 데이터 신호에 기초하는 계조 전압 신호를 인가하는 여러 개의 드레인 드라이버와, 드레인 선의 연장 방향에 배치하고 상기 드레인 선에 따르는 화소에 주사 전압 신호를 인가하는 여러 개의 게이트 드라이버와, 외부로부터 입력한 표시 신호와 타이밍 신호에 기초하여 표시 데이터 신호와 화소 클럭을 포함하는 고속과 저속의 각종 클럭 신호를 생성하는 타이밍 컨버터를 구비하고, 액정 패널의 한쪽의 기판 상에 직접 실장한 적어도 드레인 드라이버 및 각 드레인 드라이버 사이에 표시 데이터 신호, 계조 전압 신호, 및 화소 클럭 신호를 포함하는 고속과 저속의 각종 클럭 신호(타이밍 신호)를 순차 직렬로 전송하기 위한 배선을 지니고, 드레인 드라이버마다의 상기 드레인 드라이버에의 표시 데이터, 계조 전압 신호의 입력측과 출력측의 한쪽 또는 쌍방에 상기 화소 클럭 신호로 제어되는 게이트 회로를 설치하였다.

이 구성으로 함으로써, 각 신호선, 전압선의 배선 저항의 차이에 의해서 지연량이 변동, 타이밍 마진을 만족할 수 없게 되고 드레인 드라이버가 정상적으로 데이터를 수취할 수 없게 되어, 화질 열화를 회피하는 것이 가능해진다.

또한, 종래 기술의 과제를 해결하기 위한 수단으로서, 본 발명은 다음에 기술하는 구성을 채용하였다.

(1) 드레인 드라이버의 표시 데이터 신호의 출력측과 화소 클럭 신호의 출력측에 상기 드레인 드라이버 자신이 표시 데이터 신호를 수신하고 있는 사이는 다음 단으로의 표시 데이터 선, 화소 클럭 선에의 상기 표시 데이터 신호, 화소 클럭 신호의 전송을 금지하고, 표시 데이터 신호의 수취가 종료한 시점에서 다음 단으로의 표시 데이터 신호, 화소 클럭 신호의 전송을 개시하는 게이트 회로를 설치하였다.

상기한 게이트 회로로서는 플립플롭 회로를 이용하는 것이 바람직하지만, 다른 마찬가지의 기능을 갖는 수단이면 좋다.

(2) 또한, 타이밍 컨버터를 액정 패널의 한쪽의 기판 상에 탑재하였다. 이 타이밍 컨버터를 탑재하는 기판은, 소위 박막 트랜지스터 기판으로 하는 것이 바람직하다.

이 구성에 의해, 타이밍 컨버터와 드레인 드라이버나 게이트 드라이버로의 배선 길이가 단축되고, 또한 타이밍 컨버터와 드레인 드라이버나 게이트 드라이버로의 배선을 기판상에 직접 형성함으로써 신호나 전원을 공급하기 위한 플렉시블 프린트 기판측의 구성을 단순화할 수 있다.

(3) 드레인 드라이버의 계조 전압 입력에 드레인 드라이버내의 계조 전압 분압 회로를 구동하기 위한 버퍼 증폭기를 설치하였다.

(4) 또한, 고속 디지털 신호인 상기 표시 데이터 신호 및 화소 클럭 신호용의 배선과, 저속 디지털 신호인 상기 화소 클럭 신호 이외의 클럭 신호용의 배선, 및 저속 아날로그 신호인 상기 계조 전압용의 배선의 선 폭을, 상기 각 신호의 허용 저항치에 따라서 다르게 하였다.

(5) 표시 데이터 신호용의 배선 저항을 상기 화소 클럭 신호용의 배선의 저항과 동등한 값으로 하도록, 상기 배선에 형성하는 드레인 드라이버 접속용 단자의 크기를 상기 고속 디지털 신호 배선과 저속 아날로그 신호 배선에서 다르게 하였다.

신호의 종류에 따라서 배선의 저항치를 원하는 값으로 설정하는 것이 가능해지고, 순차 직렬 전송 방식에 있어서의 신호 지연을 회피할 수 있다.

(6) 고속 디지털 신호용의 드레인 드라이버 접속용 단자를 드레인 드라이버의 짧은 변측에 지그재그형으로 배치함과 함께, 상기 접속용 단자의 상기 드레인 드라이버의 한쪽의 짧은 변에서의 배치를 대향하는 짧은 변으로 평행 이동시킨 배치로서 배선 저항을 정렬하였다.

(7) 저속 디지털 신호용 및 아날로그 신호용의 드레인 드라이버 접속용 단자를 상기 드레인 드라이버의 긴 변측에 배치하였다.

(8) 드레인 드라이버의 출력 단자를 상기 드레인 드라이버의 기판 외연측 긴 변에 배치함과 함께, 상기 출력 단자로부터 기판 절단선의 외측에 형성한 공통 배선에 접속하였다.

(9) 드레인 드라이버용의 전원 단자를 2 열로 배치하여 컨택트 저항을 저감하였다.

(10) 드레인 드라이버의 기판내측에 배치하는 전단 드레인 드라이버로부터의 배선과 접속하는 범프 및 다음단 드레인 드라이버에의 배선과 접속하는 범프를, 상기 드레인 드라이버의 짧은 변과 평행한 방향의 치수 사양이 다른 2종의 드레인 드라이버에 겸용하기 위해서 상기 드레인 드라이버의 짧은 변과 평행한 방향으로 2 열로 형성하였다.

(11) 플렉시블 프린트 기판 FPC의 배선에 접속하는 상기 드레인 드라이버의 전원공급용 FPC의 단자를 기판의 절단선측에 상기 기판의 외연부를 따라 순차 계단형으로 배치하였다.

(12) 드레인 드라이버에 전원을 공급하기 위한 전원선 및 접지선을 형성한 플렉시블 프린트 기판을 지니고, 이 플렉시블 프린트 기판을 외부 프린트 기판과 접속하는 부분을 제외하고 액정 패널의 한쪽의 기판의 상기 드레인 드라이버 실장면에만 배치하였다.

(13) 플렉시블 프린트 기판이 상기 드레인 드라이버의 배열 간극에 돌출부를 지니고, 상기 돌출부에 전자 부품을 탑재하였다.

(14) FPC의 엣지를 상기 액정 패널의 한쪽의 기판의 엣지에서 약간 돌출시켰다. 이에 따라, 제조 공정에서 액정 패널이 카세트나 트레이에 직접 맞닿아 손상을 받거나, 드레인 선에 정전기가 침입하는 것을 방지할 수 있다.

상기한 각 구성으로부터 분명한 바와 같이, 액정 패널의 한쪽의 기판에 탑재한 드레인 드라이버(게이트 드라이버도 포함한다. 이하, 단순히 드라이버라고 칭한다)에 플렉시블 프린트 기판 FPC을 통해 데이터 신호(데이터, 계조 전압, 클럭 신호)등의 표시에 필요로 하는 각종 신호와 전원을 공급하고 있는 종래의 구성에 대하여, 본 발명은 상기한 각 신호 혹은 전원 중, 전원을 제외하는 데이터 신호 (데이터, 클럭 신호, 계조 전압)을 공급하는 배선을 액정 패널의 한쪽의 기판에 직접 형성하고, 플렉시블 프린트 기판 FPC은 주로 전원의 공급용으로 하였다.

또한, 게이트 드라이버측의 데이터 신호 및 전원의 배선을 하측 기판상에 직접 형성한 것으로, 드레인 드라이버측의 전원 공급에만 플렉시블 프린트 기판을 이용할 수 있다. 이에 따라, 부품 점수를 삭감하고, 또한 조립 작업을 간소화할 수가 있다.

게이트 드라이버측으로의 데이터 신호 및 전원 공급은, 드레인 드라이버측의 플렉시블 프린트 기판 기판, 또는 인터페이스 기판과의 접속만을 위한 소규모의 플렉시블 프린트 기판편(片)을 드레인 드라이버측 또는 필요에 따라서 게이트 드라이버측에 부착하는 것으로, 실질적으로 게이트 드라이버측의 플렉시블 프린트 기판을 삭감하는 것이 가능해진다.

액정 패널의 상기 기판상의 배선은, 인접하는 드라이버 사이를 접속하도록 하여, 클럭, 데이터, 계조 전압은 각 드라이버마다 버킷 릴레이를 하도록, 다음 단으로 전송하는 방식을 채용함으로써 모든 드라이버에 필요한 신호를 공급한다.

단순하게 드라이버를 경유하여 접속하는 것만으로는, 기판상에 형성한 배선의 저항이 높기 때문에 정상적으로 동작하지 않는다. 그래서, 본 발명은, 상기한 각 구성에 있어서, 이하에 정리한 바와 같이 구동한다.

1) 클럭, 데이터 등의 디지털 신호에 대해서는, 드라이버내에 버퍼를 설치하여, 각 신호를 버퍼링하고 나서 다음 단에 보낸다.

2) 다음 단의 드라이버에의 신호 파형을, 신호 배선의 시상수 τ가, 대강 τ ="(t" cycle - t setup - t hold) / 2 가 되도록 하여, 적절하게 파형을 둔하게 할 수 있도록 하였다. 상기한 t cycle, t setup, t hold 에 대해서는 후술한다.

3) 단순하게 버퍼를 설치하는 것만으로는, 특히 드레인 드라이버에서는 버킷 릴레이 방식, 바꿔 말하면 염주처럼 엮어진 후방의 끝쪽의 드라이버에 신호가 도달하기까지, 드라이버내의 지연 시간의 변동이 누적하여, 충분한 타이밍 마진을 확보할 수 없게 될 우려가 있다. 그래서, 각 드라이버마다 플립플롭으로 데이터를 수취, 타이밍을 조정하고 나서 다음 단의 드라이버로 데이터를 보내도록 한다.

4) 클럭의 동작 주파수를 낮추기 위해, 클럭의 상승·하강의 양방의 엣지에 동기하여 데이터를 수취하는, 소위 듀얼 엣지 동작으로 한다.

5) 이중 엣지 동작의 경우, 다음 단의 드라이버로 데이터를 출력할 때의 데이터의 변화 타이밍을 드라이버 내부에서 생성해야만 한다. 그래서, 드라이버 내부에서 클럭에 지연을 발생시킴으로써, 이 변화 타이밍을 만들어내어, 다음 단의 드라이버가 데이터를 수취할 때의 셋업/홀드 시간을 확보한다.

6) 다음 단의 드라이버의 셋업/홀드 시간을 확보하기 위한 다른 방법으로서, 드라이버 사이의 배선의 저항을 클럭과 데이터로 바꾸는 방법이 있다. 클럭의 배선 저항을 크게 하여 파형의 무디어짐을 크게 하면, 배선 지연이 커지기 때문에, 그 지연분만큼 다음 단의 드라이버의 타이밍 마진을 확보할 수가 있다.

7) 셋업/홀드 시간을 확보하기 위한 또다른 방법으로서, 다음 단의 드라이버를 셋업 시간이 0 이하라도 동작하는 구성으로 해두는 방법이 있다. 이 방법이면, 데이터와 클럭의 변화 타이밍이 동시이더라도, 문제 없이 동작한다.

8) 위상이 90도 다른 2상의 클럭을 이용하여, 각각의 클럭에 다음 단의 드라이버에의 데이터와 클럭의 변화 타이밍을 생성하는 방법도 있다.

9) 2상 클럭을 이용하는 경우에는, 데이터를 2쌍으로 나눠, 2개의 클럭에 데이터를 반분하여 수취하도록 하면, 데이터의 동시 스위칭 갯수를 반으로 할 수 있고, 전원에의 노이즈를 줄이게 하기 때문에, EMI를 저감할 수 있다.

10) 상기한 방식에서는, 각 드라이버는 입력된 데이터를 우선 자신의 내부 레지스터에 취득, 자신의 레지스터가 가득차게 될 때까지는 다음 단의 드라이버에의 데이터의 출력을 하지 않도록 해놓은 것으로, 쓸데 없는 신호 전송을 하지 않고서 끝나, 저소비 전력화와 EMI의 저감이 가능해진다.

11) 상기 10)의 방식의 경우, 최후의 드라이버로의 데이터가 TCON에서 출력되고 나서 목적의 드라이버에 도달하기 위해서는, 드라이버의 갯수분의 버킷 릴레이를 거치지 않으면 안된다. 이 때문에, TCON은「드라이버 갯수분을 버킷 릴레이하기 위해서 필요한 클럭 수 × 드라이버의 갯수」만큼의 클럭을 최종 데이터 송출 후에 계속 출력하지 않으면 안된다.

12) TCON을 드라이버 IC와 같이 액정 패널의 한쪽의 기판 상에, 소위 베어 칩 실장하면, 주변 회로의 실장 면적 삭감에 유리하다.

13) 또한, 이 때, TCON이 LVDS 리시버 일체형의 것이면, TCON의 입력 단자수(="한쪽의" 기판: TFT 기판상의 배선과 외부 프린트 기판을 접속하기 위한 단자 수)가 대폭 줄게 하기 때문에, 실장이 편하게 된다. 주변 회로의 실장 면적 삭감에는 보다 유리하다.

14) TCON을 TFT 기판상에 베어 실장하는 경우에는, 그 실장 위치는 드레인 드라이버가 실장되어 있는 근처와 게이트 드라이버가 실장되어 있는 근처가 교차하는 코너부로 하면 합리적이다. 이렇게 해두면, 드레인과 게이트의 양 드라이버에 최단 거리에서 신호선을(TFT 기판의 위에서) 배선할 수가 있다.

15) 아날로그 배선인 계조 전압 배선에 관해서도, 드라이버 사이에서 버킷 릴레이한다. 일반적으로 이용되고 있는 R-DAC 방식, C-DAC 방식 중 어느 것이더라도, 계조 전압 입력 단자로부터 드라이버 내부의 DAC부로의 전류가 미약하지만 흐르는 것이 통상이다. 액정 패널상의 배선 패턴은 비교적 고저항이기 때문에, 이 미약한 전류가 드라이버에 공급되는 계조 전압을 약간 시프트시킬 우려가 있어, 표시 품질이 저하한다.

이것을 방지하기 위해서는, 계조 전압 입력 단자에 흐르는 전류를 문제없는 레벨까지 저감할 필요가 있다. 이를 위해, 계조 전압 입력에 버퍼(연산 증폭기)를 설치하는 것이 유효이다.

16) 드라이버 사이를 접속하기 위한 단자는, 종래는 입력 단자로서는 사용되고 있지 않던 드라이버 칩의 짧은 변에 배치하는 것이 효율이 좋지만, 들어갈 수 없던 경우에는 긴 변측도 이용한다.

17) 액정 패널내의 드레인 선, 게이트 선은, 제조 공정중의 정전기 등의 영향에 의한 특성의 시프트를 방지하기 위해서, 공통 배선(단락선)으로 상호 쇼트되어 있다. 제품이 되는 단계에서, 이 공통 배선은 절단되지만, 종래는 이 배선이 드라이버 칩의 배밑에 위치하고 있어, 레이저 등으로 절단하고 있었다.

이들 배선을 드라이버 칩의 배하를 경유하여, 액정 패널의 제품 외형 밖으로 인출하여 놓으면, 상기 공통 배선을 제품의 밖의 절단 제거부에 설치할 수 있다. 이 경우, 공통 배선의 절단은, 액정 패널의 기판(하측 기판: 유리)의 절단 공정과 겸할 수 있어, 종래와 같은 레이저 등에 의한 절단 공정이 불필요해지고, 비용 저하를 가져온다.

18) 클럭, 데이터, 계조 전압을 하측 기판(TFT 기판)위에 배선하는 경우, 플렉시블 프린트 기판 FPC에 배선할 필요가 있는 것은 기본적으로는 전원뿐이다. 어떻든간에, 배선수는 몇개이면 되기 때문에, 종래 방식과 같이 플렉시블 프린트 기판 FPC을 액정 패널의 이면에 절첩하지 않더라도, 액정 패널에 압착하는 부분의 폭만으로 된다. 이 경우, 구조를 간략화할 수 있어, 액정 표시 장치의 외형 축소에 기여한다. 또한, 조립이 간략화되기 때문에, 저비용화할 수 있다.

19) 상기 18)의 경우, 플렉시블 프린트 기판 FPC의 액정 패널에 압착하는 부분의 이면을 배선에 이용하면, 플렉시블 프린트 기판 FPC의 설계가 보다 편하게 되고, 저비용화할 수 있다.

20) 상기한 플렉시블 프린트 기판 FPC은 기본적으로는 압착 부분의 폭밖에 없는 스트레이트 형상(단순 스트레이트 형상)이지만, 대부분의 경우, 이것에 패스 컨덴서(칩 컨덴서) 등의 소수의 전자 부품을 실장할 필요가 있다. 이 경우, 이 전자 부품은 FPC의 압착의 방해가 되지만, 플렉시블 프린트 기판 FPC의 형상을 스트레이트가 아니고, 드라이버의 배치 간극에 돌출하는 부분을 설치해두어, 이 돌출부에 전자 부품을 탑재하면, 압착의 방해가 되지 않는다.

또한, 본 발명은, 게이트 드라이버측의 데이터 배선과 전원 배선을 기판형으로 형성하여 종래에서 게이트측에 이용되어 오는 플렉시블 프린트 기판 FPC을 생략함으로써, 부품 점수를 삭감함과 함께 조립 작업을 저감하였다. 또한, 드레인 드라이버측의 FPC에는 전원 배선만을 갖는 단층의 플렉시블 프린트 기판 FPC으로 함으로써 상기 드레인 드라이버측 FPC의 구성을 간소화하였다. 이것으로 액정 표시 장치의 부품 점수와 작업 공정수를 저감하여, 비용 절감을 도모하였다.

이상으로 적은 본 발명에 의한 액정 표시 장치는, 다음과 같이 특징지울 수 있다. 그 일례는, (A) 액정층이 개재된 한쌍의 기판을 지니고, 이 한쌍의 기판의 한쪽은 제1의 방향에 연장되는 복수의 게이트 선, 제1의 방향으로 교차하는 제2의 방향으로 연장되는 복수의 드레인 선 및 제1 및 제2의 방향에(매트릭스형으로) 배치되고 또한 스위칭 소자(능동 소자)를 각각 갖는 복수의 화소를 구비한 액정 패널과, (B) 상기 제1의 방향을 따라 병치되고 또한 상기 복수의 화소의 스위칭 소자에 표시 데이터 신호에 따른 계조 전압 신호를 각각 인가하는 복수개의 드레인 드라이버와, (C) 상기 제2의 방향을 따라 병치되고 또한 상기 스위칭 소자를 제어하는 복수개의 게이트 드라이버와, (D) 상기 한쌍의 기판의 한쪽의 위에 형성되고, 각각은 적어도 상기 표시 데이터 신호와 클럭 신호를 상술의 한쌍의 기판의 한쪽의 일단에 배치된 상기 복수의 드레인 드라이버의 제1번째에 공급하며, 또한 상기 표시 데이터 신호와 상기 클럭 신호를 상기 복수의 드레인 드라이버의 제1번째로부터 순서대로 상기 복수의 드레인 드라이버 사이에서 전송시키는 배선을 구비하고, (E) 상기 복수의 드레인 드라이버의 적어도 하나는, 상기 클럭 신호에 의해 제어되는 적어도 하나의 게이트 회로를 지니고, 이 적어도 하나의 게이트 회로에 의해 상기 표시 데이터 신호 및 이 클럭 신호의 (I) 「복수의 드레인 드라이버의 적어도 하나」로의 수취와 (II) 상기 복수의 드레인 드라이버의 적어도 하나에 인접하여 배치되는 「상기 복수의 드레인 드라이버의 다른 하나」로의 전송이 전환하는 것으로 기술된다. 또한, 상술한 바와 같은 근거에 의해, (F) 이 액정 표시 장치는, 그 외부 회로에서 표시 데이터 및 타이밍 신호를 수취하여, 이것에 따라 상기 표시 데이터 신호 및 상기 클럭 신호를 각각 생성하는 타이밍 컨버터를 더 구비하여도 좋고, (G) 상기 복수의 드레인 드라이버의 각각에 상기 적어도 하나의 게이트 회로를 설치하더라도 좋고, 또한 (H) 상기 적어도 하나의 게이트 회로를 상기 복수의 드레인 드라이버의 적어도 하나에 설치된 상기 표시 데이터 신호 및 상기 클럭 신호의 입력부 및 출력부의 적어도 한쪽에 배치하더라도 좋다.

이상, 본 발명의 대표적인 구성과 동작을 기술하였지만, 본 발명의 다른 구성 및 동작은, 후술하는 실시의 형태로 상술한다.

발명의 구성 및 작용

본 발명에 따른 이들 및 그 밖의 목적, 특징, 및 효과는 이후의 기재에서 이것에 첨부된 도면을 관련시킴으로써, 더욱 명확하게 된다.

이하, 본 발명의 실시의 형태에 관해서, 실시예의 도면을 참조하여 상세히 설명한다. 도 1은 본 발명에 따른 액정 표시 장치의 제1 실시예의 구성을 모식적으로 설명하는 액정 패널의 주요부 평면도이다. 액정 패널을 구성하는 하측 기판(유리 기판) SUB1의 대개 전역을 표시 영역 AR가 차지하고 있다. 그리고, 하변의 외연에 드레인 드라이버 IC2가 실장되어 있다. (또, 드레인 드라이버 IC2는 겉의 외연에 실장하더라도 좋고, 혹은 상하변의 외연에 드레인 드라이버의 홀수번째와 짝수번째를 분류하여 실장한 것에도 본 발명은 마찬가지로 적용할 수 있다).

도 1의 좌변의 외연에는 저전압 차동 신호 수신 회로를 일체화한 표시 제어 장치를 구성하는 타이밍 컨버터 TCON이 실장되어 있다. 타이밍 컨버터 TCON은, 소위 LVDS (저전압 차동 신호) 회로 일체형이다. 그러나, 종래에서의 TCON을 이용하여도 좋다.

또한, 도시하지 않았지만, 복수의 게이트 드라이버 IC1가 드레인 드라이버와 같이 하측 기판 SUB1에 직접 실장되어 있다. 드레인 드라이버 IC2를 실장한 하측 기판 SUB1의 외연에는 클럭, 표시 데이터, 계조 전압 등의 데이터(도면에서는 단순히 데이터와 표기, 이하 동일)을 복수의 드레인 드라이버 IC1에 공급하기 위한 데이터 배선이 드레인 드라이버 IC2를 연속적으로 결합하도록 형성되어 있다. 이들 배선 중, 클럭과 표시 데이터 배선의 시작 단은 좌변의 외연에 실장된 TCON에 접속되어 있다.

드레인 드라이버 IC2는, 그 하면에 갖는 접속 접점에서 상기 배선에 접속되어, 하류의 드레인 드라이버에 대하여 버킷 릴레이 방식으로 표시 데이터, 화소 클럭, 계조 전압 등의 데이터를 공급한다. 각 드레인 드라이버 IC2는 표시 영역 AR에서 먼 측에서 드레인 선 DL과 접속되어 있다. 또한, 이 드레인 드라이버 IC2에의 전원 배선(접지 배선도 포함한다)는 도 2에서 후술하는 게이트 드라이버측의 플렉시블 프린트 기판 FPC1에 형성한 배선에 접속되어 있다.

도 1의 좌변의 외연에는, I/F 기판즉 인터페이스 기판 PCB(도 45 참조)로부터 표시 신호, 동기 신호, 전원 전압을 수취하기 위한 단자를 지니고, 플렉시블 프린트 기판 FPC1 (도 45 참조)를 통해 상기 인터페이스 기판 PCB에 접속되어 있다.

도 2는 도 1에 도시한 본 발명의 실시예에 있어서의 드레인 드라이버측에 플렉시블 프린트 기판을 설치한 상태를 설명하는 액정 패널의 주요부 평면도이다. FPC1는 게이트 드라이버측의 플렉시블 프린트 기판이다. 이 도면에서는 도 1에 도시한 배선의 몇가지인가는 도시를 생략했다. 드레인 드라이버측의 플렉시블 프린트 기판 FPC2은, 주로 전원의 배선을 행하는 기능을 갖는 것으로 되기 때문에, 배선 수가 적고, 다층 배선 구조로 하는 필요도 없기 때문에, 조립을 위한 폭(액정 패널에의 압착에 필요한 사이즈) W를 갖는 것만으로 좋다. 따라서, 종래의 것에 비교하여 대폭적인 비용 저하, 또한 협폭으로 할 수 있다.

또한, 드레인 드라이버 IC2의 실장 간극에 플렉시블 프린트 기판 FPC2의 일부를 돌출시켜, 이 돌출 부분에 패스 컨덴서(칩 컨덴서) CHC 등의 전자 부품을 탑재할 수가 있다.

또, 상기에서는 드레인 드라이버측의 구성에 관해서만 설명하였지만 게이트 드라이버측에 관해서도 마찬가지의 구성으로 할 수 있다.

본 실시예에 따르면, 종래의 액정 표시 장치에 이용하고 있는 고가의 다층 구조의 플렉시블 프린트 기판을 필요로 하지 않게 되기 때문에, 액정 표시 장치 전체의 대폭적인 비용 저하를 실현할 수 있고, 또한 플렉시블 프린트 기판을 협폭으로 하는 것이 용이하기 때문에, 드라이버(드레인 드라이버나 게이트 드라이버)의 COG 방식(또는, FCA 방식: 플립 칩 방식)과 함께 협액연화를 용이하게 실현할 수 있다.

종래의 드레인 드라이버는 입력되는 계조 전압의 갯수보다도 많은 계조수의 전압을 출력하도록 되어 있다. 예를 들면, 입력이 5개(정부로 계 10개)로 출력은 64 계조(정부로 계128 레벨).

드레인 드라이버에는, 상기한 다계조 전압을 실현하기 위해서, 분압 회로를 설치하고 있다. 도 3은 드레인 드라이버에 설치되고 있는 분압 회로의 일예의 설명도이다. IC2는 드레인 드라이버이고, 분압 회로는 사다리 저항으로 구성하여 있다. 사다리 저항에 입력한 계조 전압(Vref1, Vref2)를 저항 분할하여 다수의 전압 출력을 작성한다. 또, 이러한 저항 분할 이외에, 용량 분할을 이용하는 것도 있다.

그러나, 이 구성에서는, 한쪽의 계조 전압 입력 Vref1 (V0)으로부터 다른쪽의 계조 전압 입력 Vref2(V1)에 유입 전류 i가 흘러, 입력한 계조 전압(Vref1, Vref2)가 변동하고, 그 분할 출력인 계조 전압 출력이 변동하여 표시 얼룩을 초래한다.

이러한 계조 전압 출력의 변동을 회피하기 위해서, 본 발명에서는 계조 전압의 입력측에 버퍼 증폭기(연산 증폭기: Operational Amplifier)을 삽입하였다.

도 4는 본 발명의 실시예에 있어서의 드레인 드라이버 IC2의 분압 회로의 다른 예의 설명도이다. 도시한 바와 같이, 계조 전압 Vref1, Vref2의 각 입력측에 버퍼 증폭기 BA를 설치하였다. 이 구성에 의해, 분압 회로(사다리 저항 회로)에 흐르는 전류는 버퍼 증폭기 BA에서 공급된다. 그 때문에, 도 3에서 설명한 바와 같이 한쪽의 계조 전압 입력 Vref1 (VO)으로부터 다른쪽의 계조 전압 입력 Vref2(V1)에 유입 전류 i가 흐르는 일이 없고, 저항 분할로 작성되는 계조 전압 출력에 변동이 생기지 않는다.

버퍼 증폭기 BA의 입력측의 임피던스는 매우 높기 때문에, 계조 전압 입력 Vref 단자로부터의 유입 전류는 거의 무시할 수 있다. 따라서, 박막 트랜지스터 기판(TFT 기판) SUB1상의 고저항 배선을 사용하더라도 계조 전압 입력 Vref가 변동하는 것에 의한 표시 얼룩의 발생은 저지된다.

도 5는 본 발명의 실시예에 있어서의 박막 트랜지스터 기판상에 형성한 배선과 드레인 드라이버의 실장예의 설명도이다. 도 5에서는, 인접하는 2개의 드레인 드라이버 IC2, IC2를 도시하고 있다. GVL은 분압 회로를 나타내고, 도 6에 후술하는 계조 전압 생성 회로에 상당한다. 박막 트랜지스터 기판 SUB1에 형성한 배선(도면 중, TFT 기판상의 배선으로서 도시한다)에 각 드레인 드라이버 IC2, IC2가 도시한 구성으로 접속된다. TFT 기판상의 계조 전압 입력 배선과 각 드레인 드라이버 IC2, IC2의 분압 회로 GVL의 입력 단자의 사이에는 버퍼 증폭기 BA가 삽입되어 있다.

또, 이 실시예에서는, 계조 전압 입력 배선(Vref 배선)은, 상기한 바와 같이 정부 각5개로 총 10개로 이루어지지만, 이것에 한하지 않은 것은 물론이다.

도 6은 본 발명에 의한 직렬 공급 방식의 드레인 드라이버의 상세 구성예를 설명하는 개략 회로도이다. 도 6 중, 복수의 드레인 드라이버 IC2, ・・가 하측 기판에 형성된 배선에 직렬 접속되어 있다. 그림의 좌측의 IC2는 전단의 드레인 드라이버, 우측의 IC2가 다음 단의 드레인 드라이버이다.

드레인 드라이버 IC2에는, 전단의 드레인 드라이버로부터 입력한 표시 데이터 DATA0, DATA1, 클럭 CLl, CL2, 반전 신호 M, 계조 전압 V0, V1는, 드레인 드라이버 사이를 접속하는 하측 기판상의 배선을 통해서 다음 단의 드레인 드라이버 IC2에 공급된다.

또, 본 실시예에서는, 본래 표시 데이터 선은 18개 존재하지만, 설명을 간략화를 위해 DATA0, DATA1의 2개분만 도시하고 있다. 마찬가지로, 계조 전압 배선도 10개 중의 2개만 도시하였다.

각 드레인 드라이버 IC2는, 플립플롭 FFla, FFlb, 계조 전압 생성 회로 GVL, 클럭 제어 회로 CC, 래치 회로(1) LT1, 래치 회로(2) LT2, 레벨 시프터 LS, 디코더 DEC, 버퍼 증폭기 BA 등으로 구성된다.

표시 데이터 DATA0, DATA1는 플립플롭 FFla, FFlb를 통해 래치 회로(1) LT1에 래치되어, 클럭 제어 회로의 제어 하에서 래치 회로(2) LT2, 레벨 시프터 LS를 통해서 디코더 DEC에 받아들여, 계조 전압 생성 회로 GVL에서의 계조 전압에 기초하여 소정의 표시 전압으로 변환된다. 디코더 DEC의 출력은 버퍼 증폭기 BA를 통해서 액정 패널의 드레인선 DL에 인가된다.

도 7은 본 발명에 따른 직렬 공급 방식의 드레인 드라이버의 다른 구성예를 설명하는 개략 회로도이다. 이 구성은 화소 클럭인 CL2를 2상 클럭 CL2-A, CL2-B로 한 것이고, 이 점을 제외하고는 도 6과 마찬가지이다.

도 8은 본 발명에 따른 직렬 공급 방식의 드레인 드라이버의 또 다른 구성예를 설명하는 개략 회로도이다. 이 구성은, 화소 클럭 CL2을 2상으로서 표시 데이터를 2군으로 분할하여 수취하도록 한 것이고, 이 점을 제외하고는 도 7과 마찬가지이다.

드라이버 사이를 접속하는 배선을 전파하는 신호(클럭, 데이터)는 상기 배선의 저항이 너무 높으면 파형이 무뎌지고, 데이터의 정상적인 수취를 할 수 없게 된다. 또한, 너무 저저항이면, 신호 전송 때에 발생하는 고주파 성분이 간섭 전자파, 즉 불요 복사(EMI)를 발생시켜 버린다. 본 구성에서는, 드레인 드라이버 IC1 사이를 접속하는 배선에 EMI 필터 등의 대책 부품을 삽입할 수 없다. 이것을 해결하기 위해서, 본 발명에서는, 파형을 다음과 같이 대책하였다.

도 9의 (a) 및 도 9의 (b)는 본 발명의 액정 표시 장치의 제2 실시예를 설명하는 드라이버 사이를 접속하는 신호 배선을 전파하는 신호의 시상수를 설명하는 파형도이다. 도 9의 (a)의 파형은 화소 클럭, 도 9의 (b)의 파형은 표시 데이터를 도시한다. 또, 이 파형은, 화소 클럭 CL2의 하강 엣지에서 데이터를 수취하는 방식의 경우이다.

t cycle는 화소 클럭의 주기이고, 이 클럭의 하강에 동기하여 데이터가 수취되지만, 신호 배선의 시상수 τ가, 대략 τ="(t" cycle-t setup - t hold) / 2 가 되도록 하여, 적절히 파형을 둔하게 할 수 있도록 하였다. 이것은, 「드라이버가 정상적으로 동작하는 타이밍 마진을 확보한 뒤에, 할 수 있는 데까지 파형을 둔하게 할 수 있다」라는 관점에서 설정한 조건이다.

여기서, t setup와 t hold는, 드레인 드라이버가 정상적으로 데이터를 수취하기 위한 필요 최저 셋업 시간 및 홀드 시간이다.

본 실시예에 의해, 드라이버의 정상적인 동작을 확보할 수가 있고, 또, 파형을 둔하게 할 수 있는 것으로 EMI를 저감할 수가 있다.

그런데, 버킷 릴레이 방식의 드라이버 구성에서는, 드라이버내의 신호 지연분만큼 각 신호가 지연하지만, 그 지연량은 신호선마다 변동을 가지고 있다. 이 변동은, 드라이버 설계상의 변동, 제조변동, 동작 온도 조건 등의 분위기에 의한 동작 변동에 기인하는 변동등이 있다.

이 지연량의 변동이 커지면, 드라이버에 필요로 하는 타이밍 마진을 만족할 수 없게 되고, 드라이버가 옳은 데이터를 수취할 수 없게 될 우려가 있다. 따라서, 단순히 버킷 릴레이 방식으로 드라이버 IC(특히, 드레인 드라이버)를 접속하는 것만으로는 각 드라이버마다 지연량이 누적해 가고, 후단의 드라이버일수록 데이터 등의 수취 동작이 불안정하게 된다. 도 6 내지 도 8과 같이 입력측에 플립플롭 FFla, FFlb를 설치하는 것으로도 어느 정도의 지연을 커버할 수 있지만, 본 발명에서는 또한 하기와 같은 구성으로 하였다.

도 10은 본 발명의 액정 표시 장치의 제3 실시예를 설명하는 드레인 드라이버의 내부 회로의 구성예를 설명하는 개략 회로도이다. 또, 전체 구성은 상기 도 6 내지 도 8에 도시하고 있으므로, 여기서는, 주요부만을 도시한다(이하의 도면에서도 마찬가지임). 도면 중, IC2은 드레인 드라이버이고, 그 내부의 입력측(전단의 드라이버측)의 플립플롭 FFla, FFlb 외에, 출력측(다음 단의 드라이버측)에도, 각각 플립플롭 FF2a, FF2b를 설치하였다.

표시 데이터의 배선 수는, 예를 들면 XGA에서 20개+α(클럭 CL1의 반전 신호 등을 포함한다)이고, 이 신호 수 만큼의 플립플롭(FFla, FFlb, FF2a, FF2b)이 입력측과 출력측에 각각 설치되는 것으로 된다.

전단 드레인 드라이버로부터의 데이터는 플립플롭 FFla, FF1b에서 화소 클럭 CL2과 동기하여 래치 회로(1) LT1에 수취한다. 그리고, 다음 단의 드레인 드라이버에는, 플립플롭 FF2a FF2b에서 클럭 CL2과 동기하여 출력시킨다.

상기한 플립플롭은, 도면에서는 D형으로 도시하고 있지만, 이것에 한하지 않고, 다른 형식의 플립플롭이라도 좋다. 또한, 출력측에만 플립플롭 FF2a, FF2b를 설치한 구성이라도 좋다(도시는 생략).

본 실시예에 의해, 드라이버마다 지연량이 축적하지 않기 때문에, 모든 드라이버가 정상적으로 동작 가능해져, 데이터의 수취 오류 등이 회피되어 안정된 표시를 얻을 수 있다.

상기한 드레인 드라이버의 표시 데이터의 수취는 화소 클럭의 하강에 동기하여 행하고 있지만, 화소 클럭의 1 주기로 1 데이터의 수취이기 때문에, 해상도가 높아질수록 화소 클럭의 주파수는 높게 되어, EMI(외부에의 전자파 간섭)의 문제가 무시할 수 없게 된다. 본 발명에서는,하기와 같이 함으로써 EMI를 저감하였다.

도 11의 (a) 및 도 11의 (b)는 본 발명의 액정 표시 장치의 제3 실시예를 설명하는 드레인 드라이버의 표시 데이터 수취 시의 파형도이다. 본 실시예에서는, 도 6에 도시한 회로 구성으로, 도 11의 (a)에 도시하는 화소 클럭의 하강과 하강의 양 엣지에서 도 11의 (b)에 도시하는 표시 데이터를 수취하도록 한다(듀얼 엣지 수취). 즉, 도 11의 (b)의 표시 데이터의 전반부는 도 11의 (a)의 화소 클럭의 하강 엣지에서, 그 후반부는 화소 클럭의 상승 엣지에서 수취한다. 도 11의 (a) 및 도 11의 (b)에서, VIH, VIL, t setup, t hold는 도 9의 (a) 및 도 9의 (b)와 마찬가지이다. 본 실시예에 의해, 화소 클럭 주파수는 반으로 되고, 그 분만큼 EMI를 저감할 수가 있다.

상기한 화소 클럭의 듀얼 엣지에 의한 표시 데이터의 취득의 경우, 상기 도 10에 설명한 바와 같은 타이밍의 신호를 드레인 드라이버로부터 출력하는 것이 곤란한 경우가 있다. 동작 중의 클럭이 통상의 절반의 주파수밖에 되지 않기 때문에, 출력단의 플립플롭 FF2a, FF2b 에서 다음 단의 드레인 드라이버에 출력하는 표시 데이터를 변화시키는 타이밍이 존재하기 어렵기 때문이다(통상의 싱글 엣지의 경우에는, 드레인 드라이버가 표시 데이터의 수취에 사용하고 있지 않은 측의 클럭 엣지의 타이밍에서 표시 데이터를 변화시키면 되기 때문에 문제는 없다. 예를 들면, 도 10의 경우에는 화소 클럭의 상승 엣지의 타이밍에서 출력 데이터를 변화시킨다).

도 12는 본 발명의 액정 표시 장치의 제4 실시예를 설명하는 드레인 드라이버의 내부 회로의 구성예를 설명하는 개략 회로도이다. 본 실시예에서는, 클럭 배선(클럭 라인)의 출력단에 지연 소자 dL을 설치하였다. 이 지연 소자는, 예를 들면 복수의 인버터 회로를 직렬로 접속하는 등의 기지의 수단으로 구성할 수 있다.

도 13의 (a) 및 도 13의 (b)는 도 10의 구성으로 듀얼 엣지에 의한 데이터의 수취를 행하려고 하였을 때의 표시 데이터 신호(도 13의 (b))와 화소 클럭 신호(도 13의 (a))의 파형도이다. 도 13의 (a) 및 도 13의 (b)에 도시한 바와 같이, 이 경우, 셋업 시간 t setup / 홀드 시간 t hold는 확보할 수 없다.

도 14의 (a) 및 도 14의 (b)는 듀얼 엣지에 의한 표시 데이터의 수취(도 14의 (b) 참조)에 있어서의 화소 클럭을 지연 소자 dL에서 지연시킨다(도 14의 (b) 참조). 또한 드레인 드라이버 사이를 접속하는 배선 저항을 조정하여 셋업 시간 t setup / 홀드 시간 t hold를 조정한 경우의 파형도이다. 이에 따라, 데이터 수취를 위한 타이밍 요건을 확보할 수 있다.

배선 저항의 조정은, 레이저 트리밍 등의 기지의 수단을 이용하여 배선 폭, 길이, 두께를 바꾸거나, 또는 배선 재료를 다르게 함으로써 실현할 수 있다. 이에 따라, 배선 지연량을 조정할 수 있다.

일반적으로, 디지털 IC는 데이터의 취득시의 셋업 시간 t setup과 홀드 시간 t hold 에 관하여, 양자의 합계 시간은 어느 정도 필요하지만, 한쪽을 희생하여 다른쪽을 짧게 한다고 하는 설계상의 연구는 비교적 용이하다 . 그래서, 필요한

셋업 시간을 0 (혹은, 그 이하)로 하는 구성으로 해둠으로써(그 만큼, 필요 홀드 시간은 길게 되지만) 도 13의 (a)에 도시한 것 같은 파형이더라도, 문제 없이 표시 데이터의 수취가 가능해진다. 물론, 셋업 시간을 희생하여, 홀드 시간을 0 이하로 하여도 좋다.

본 실시예에 의해, 드레인 드라이버의 표시 데이터 수취 시에 필요한 셋업 시간(또는, 홀드 시간)이 0 이하로 함으로써, 표시 데이터 송출측에 특별한 연구를 필요로 하지 않고서 데이터 수취 시의 셋업 시간 t setup / 홀드 시간 t hold를 확보할 수 있다.

도 15의 (a) 및 도 15의 (b)는 본 발명의 액정 표시 장치의 제5 실시예를 설명하는 표시 데이터와 화소 클럭의 파형도이다. 도 15의 (a)에 도시한 바와 같이, TCON에서 위상이 90도 다른 2상의 화소 클럭 A, B를 공급하고, 도 15의 (b)에서의 드레인 드라이버로부터 다음 단의 드레인 드라이버로의 표시 데이터의 출력 시에, 한쪽의 화소 클럭의 엣지에 동기하여 출력하는 데이터를 변화시키고, 다른 쪽의 화소 클럭을 다음 단의 드레인 드라이버용의 동작 클럭으로서 송출한다. 즉, 도 14의 (a)에서, A로 도시하는 클럭 A의 양방의 엣지에 동기하여 출력하는 데이터를 변화시킨다. 받는 쪽은 B에 도시한 클럭 B의 양방의 엣지에 동기하여 표시 데이터를 수취한다. 이것에 의해서, 클럭 배선을 1개 늘리는 것만으로 다음 단의 드레인 드라이버가 표시 데이터를 수취할 때의 셋업/홀드 시간을 확보할 수 있다.

도 16의 (a) 및 도 16의 (b)는 본 발명의 액정 표시 장치의 제6 실시예를 설명하는 표시 데이터와 화소 클럭의 파형도이다. 도 16의 (a) 및 도 16의 (b)에 도시한 바와 같이, 표시 데이터 입력 단자 및 출력 단자를 각각 2쌍으로 나누고, 2상의 화소 클럭의 한쪽에 첫번째 쌍의 데이터를 래치하고, 벌써 한쪽에 두번째 쌍의 데이터를 래치한다. 도 15의 (b)에서 A에서 도시한 데이터군 A는 도 15의 (a)에 도시된 클럭 A의 양방의 엣지에 동기하여 출력하는 데이터를 변화시킨다. 받는 쪽은, 도 15의 (a)의 B로 도시한 클럭 B의 양방의 엣지에 동기하여 표시 데이터를 수취한다.

데이터군 B는, 도 15의 (b)의 C가 도시하는 바와 같이, 화소 클럭 B의 양방의 엣지에 동기하여 출력하는 데이터를 변화시키고, 받는 쪽은 도 15의 (a)의 D에 도시한 바와 같이, 화소 클럭 A의 양방의 엣지에 동기하여 데이터를 수취한다.

표시 데이터용의 배선을 2쌍으로 나누고, 별개의 타이밍에서 변화시킴으로써, 전원, 접지(GND)가 안정되고, EMI를 저감할 수가 있다.

도 17a 및 도 17b는 본 발명의 액정 표시 장치의 제7 실시예를 설명하는 드레인 드라이버의 설명도로서, 도 17a는 드레인 드라이버의 내부 회로의 구성예를 설명하는 개략 회로도이고, 도 17b는 드레인 드라이버의 배열과 동작의 설명도이다.

본 실시예에서는, 도 17a에 도시한 바와 같이, 드레인 드라이버 IC2의 표시 데이터 출력과 화소 클럭 출력에 게이트 GATa, GATb, GATc를 설치하였다. 이들 게이트 GATa, GATb, GATc는, 드레인 드라이버 IC2가 자신의 표시 데이터를 수취하고 있는 사이는 다음 단의 드레인 드라이버에의 표시 데이터, 화소 클럭 선에의 상기 데이터, 클럭의 공급을 금지하고, 자신의 내부 레지스터즉 래치 회로(1) LT1가 가득차게 된 시점에서 다음 단의 드레인 드라이버에의 표시 데이터, 화소 클럭의 공급을 개시한다.

도 17b에 도시한 구성에 있어서, 드레인 드라이버 IC2로 구성한 각 드레인 드라이버 DD1 내지 DD5・・・의 출력측에는 도 17a에 도시한 게이트 GATa, GATb, GATc로 이루어지는 게이트 GAT1 내지 GAT5가 설치되어 있다. 타이밍 컨버터 TCON은, 우선 드레인 드라이버 DD1를 위한 표시 데이터를 출력한다. 이 때, 상기 드라이버 DD1의 게이트 GT1는 금지되어 있고, 다음 단의 드레인 드라이버 DD2에의 출력단자는 비구동으로 되어있다. 물론, 드레인 드라이버 D

D2 이후의 드레인 드라이버 DD3, DD4, ・・・의 전부는 동작하지 않고, 휴면 상태에 있다.

드레인 드라이버 DD1는 자신이 수취해야 될 표시 데이터의 수취를 종료한 시점에 게이트 GAT1를 개방하고, 드레인 드라이버 DD2의 출력단자를 구동하여 상기 드레인 D D2에의 표시 데이터의 수취를 개시시킨다. 이 상태에서는, 드레인 드라이버 DD1와 DD2가 동작 상태에 있다(DD1는 데이터를 보내고 있을 뿐이다).

드레인 드라이버 DD2는 자신의 표시 데이터 수취를 종료한 시점에 드레인 드라이버 DD3에의 데이터선을 구동 상태로 한다. 이하, 마찬가지로 하여 순차 드레인 드라이버 DD3, DD4, ・・・에 표시 데이터를 공급한다.

이와 같이 구성함으로써, 각 드레인 드라이버는 여분의 동작을 하지 않고, 저소비 전력화를 도모하는 것이 가능해진다. 또한, 외부 기기에의 EMI도 저감된다.

또, 도 17a에서는, 드레인 드라이버의 표시 데이터의 입력측과 출력측에 플립플롭 FF1a, FFlb, FF2a, FF2b를 구비하고, 화소 클럭 선의 출력측에 지연 소자 DL을 설치하고 있지만, 상기한 플립플롭 FFla, FFlb, FF2a, FF2b는 데이터의 입력측과 출력측의 어느 하나에만 설치한 구성, 혹은 지연 소자 dL을 설치하지 않은 구성으로 할 수도 있다.

이것의 상세한 구성은, 상기 도 6 내지 도 8에 도시한 드레인 드라이버의 각 표시 데이터 출력측과 화소 클럭 출력측에 도 17a에 도시한 게이트 GATa, GATb, GATc를 추가한 것에 상당한다.

본 발명의 제8 실시예로서, 다음과 같은 동작을 행하게 하는 구성으로 하였다. 드레인 드라이버는 타이밍 컨버터 TCON에서의 화상 클럭의 입력이 개시되면, 자신의 표시 데이터 수취는 행하지 않고, 다음 단의 드레인 드라이버에의 신호의 전송만을 행한다. 그리고, 다음 단의 드레인 드라이버로부터의 캐리 신호를 받는 것을 시작으로 자신의 표시 데이터의 수취를 개시하는 구성으로 한다.

이 때, 다음 단의 표시 데이터 배선과 화소 클럭 배선의 구동을 정지한다. 그 후, 자신의 내부 레지스터가 가득차게 된 시점에서 전단의 드레인 드라이버에 캐리 신호를 보낸다. 이를 반복하여, 타이밍 컨버터 TCON에서 먼 측에 위치하는(원단(遠端)) 드레인 드라이버로부터 표시 데이터를 채워 넣어 간다.

일반적인 드레인 드라이버 IC에서는, 상기 드라이버를 액정 패널의 상하 어느 쪽에도 실장할 수 있도록, 입력된 표시 데이터를 내부 레지스터(래치 회로)의 어느 쪽부터 채워 넣어 가는가를 선택할 수 있는 기능을 구비하고 있다. 본 실시예에서는, 기본적으로 신호의 흐름이 한 방향이기 때문에, 내부 레지스터에 채워 넣은 순서를 바꾸는 것만으로는 상기한 기능은 실현할 수 없다. 그래서, 순차 직렬로 접속된 드레인 드라이버군의 원단의 드레인 드라이버 IC가 우선 표시 데이터의 수취를 시작하고, 그 내부 레지스터가 가득차게 되면 순차 한개 전단의 드레인 드라이버 IC에 캐리 신호를 보낸다. 캐리 신호를 수취한 드레인 드라이버 IC는 자신의 차례인 것을 인식하고, 표시 데이터를 내부 레지스터에 수취하기 시작한다. 이 때, 드레인 드라이버 IC는, 이제와서는 불필요하게 된 다음 단에의 데이터 선의 구동을 정지한다. 이 구성은, 도 17a의 구성을 기초로 하여 실현할 수 있다.

본 발명의 제9 실시예로서, 다음과 같은 동작을 행하게 하는 구성으로 하였다. 즉, 상기 각 실시예의 설명에 있어서, 타이밍 컨버터 TCON은, 최종 데이터를 송출 후, 적어도「1 드라이버마다의 내부 지연시간 × IC 칩 개수」분의 클럭을 여분으로 출력하고, 그 후 클럭 출력을 정지한다.

도 10에 도시한 바와 같은 내부 구성의 드레인 드라이버의 경우, 각 플립플롭마다의 동작에 1 클럭이 필요하다. 이 경우, 어떤 드라이버에 입력된 데이터가 다음 단의 드라이버로 출력될 때까지 수 클럭이 필요하게 된다(도 10의 구성에서는 2 클럭이 필요).

따라서, 타이밍 컨버터 TCON에서 보아 원단(遠端)의 드레인 드라이버에 데이터를 보내는 경우에는, 상기 TCON이 데이터를 출력하고나서 원단의 드레인 드라이버에 그 데이터가 닿기까지 「각 드레인 드라이버마다 필요한 클럭 수 × 드레인 수」만큼의 클럭이 필요하게 된다.

적어도 이 만큼의 클럭은 필수이지만, 그 후는 반드시 클럭은 필요없게 되기 때문에, TCON에서의 출력을 정지해 버리면, 저소비 전력으로, 또한 EMI의 저감이 가능해진다.

도 18은 본 발명의 제10 실시예를 설명하는 액정 패널의 모식 평면도이다. 상기한 각 실시예에 있어서의 타이밍 컨버터 TCON을 액정 패널 PNL의 한쪽의 기판, 본 실시예에서는, 하측 기판인 TFT 기판 SUB1상에, 소위 베어 칩 실장한 것이다.

타이밍 컨버터 TCON은, 액정 표시 장치에 사용되는 전자 부품 중에서도, 가장 사이즈(패키지 사이즈)가 큰 부류의 부품이고, 액정 표시 장치의 소형화를 실현하는 데 있어서의 큰 장해의 하나이다.

본 실시예에서는, 이 타이밍 컨버터 TCON을 액정 패널 PNL의 하측 기판 SUB1상에 베어 칩 실장하였다. 그 실장 위치는, 공간 효율에서 보아 드레인 드라이버 IC2 실장변과 게이트 드라이버 IC1 실장변이 인접하는 코너부가 바람직하지만, 이 장소에 한하는 것이 아니다. 그러나, 타이밍 컨버터 TCON의 출력 신호는 드레인 드라이버와 게이트 드라이버의 양방에 입력되기 때문에, 그 양 드라이버에 가까운 위치인 코너부에 실장함으로써, 배선 길이를 단축할 수 있고, 또한 EMI도 저감된다. 본 실시예에 의해, 액정 표시 장치의 소형화가 용이하게 된다.

본 발명의 제11 실시예로서, 상기한 타이밍 컨버터 TCON을 LVDS 리시버 일체형으로 하였다. LVDS 일체형 TCON에서는, 그렇지 않은 것에 비해, 입력 단자의 수가 대폭 적다. LVDS 일체형이 아닌 TCON을 액정 패널의 기판에 직접 실장하더라도, 인터페이스 기판에 TCON을 탑재한 종래의 것에 비해, 액정 패널과 인터페이스 기판을 접속하기 위한 단자 수는 그다지 변하지 않는다. 그러나, 본 실시예와 같이, LVDS 일체형으로 한 TCON을 액정 패널의 기판에 직접 실장함으로써, 상기 단자 수는 대폭 적어진다. 이에 따라, 접속 피치의 확대로 신뢰성을 향상할 수 있고, 또한 접속용의 커넥터의 핀 수가 저감되어, 원가 저감도 가능해진다.

본 발명의 제12 실시예로서, 도 6 내지 도 8에 도시한 바와 같이, 드레인 드라이버의 계조 전압 V0, V1의 입력단에 버퍼 증폭기 BA를 설치하고, 계조 전압도 드레인 드라이버 사이에서 순차 직렬 방식, 소위 버킷 릴레이 방식으로 공급하도록 하였다.

표시 데이터 입력에 뒤이어 선 개수가 많은 것이 계조 전압 입력이다. 이것을 플렉시블 프린트 기판 FPC에서 배선할 필요가 없어지면, 더욱 비용 저하가 된다. 그러나, 액정 패널상의 배선 저항은 높고, 또한 계조 전압 입력 단자에는 어느 정도의 전류가 흐르는 것이 통상이기 때문에(소위, R-DAC 방식, C-DAC 방식의 어느 경우라도 마찬가지임), 이 전류와 액정 패널상의 저항치에 의해 계조 입력 전압이 원하는 전압으로부터 시프트하여 버린다. 이래서는, 드레인 드라이버마다의 표시에 얼룩이 생겨 버린다.

이것에 대하여, 본 실시예와 같이, 계조 전압 입력 단자에 버퍼 증폭기를 설치함으로써, 상기 입력 전류를 무시할 수 있는 레벨로 저감할 수가 있고, 표시 얼룩의 발생이 회피된다.

또, 드레인 드라이버의 계조 전압 입력측에 샘플·홀드 회로를 설치하여, 복수의 계조 전압을 시분할로 공급하도록 구성하더라도 좋다. 통상, 계조 전압 입력 단자는 10 내지 20개 정도 있지만, 시분할 입력으로 함으로써 1개의 계조 전압 입력 단자로 끝난다. 이 경우에는, 표시 제어 장치로부터 출력되는 계조 전압을 직렬 형식으로 한다. 이것은, 기지의 회로 구성 기술로 실현할 수 있다. 이에 따라, 배선수가 적어지고, 액정 패널의 프레임 사이즈의 축소와 비용 저감이 가능해진다.

도 19는 본 발명의 제13 실시예를 설명하는 드레인 드라이버의 단자 배열의 모식도이다. 본 실시예에서는, 드레인 드라이버 IC2의 출력 단자 중의 액정 패널 구동용 단자(드레인 선 구동 단자)를 드레인 드라이버 IC2 칩의 긴 변 양측으로 배분하여 그 단자 범프가 칩의 양쪽 긴 변내에 남김없이 배치되도록 하였다. 한편, 전단 및 다음 단의 드레인 드라이버와의 사이에서의 신호 교환을 행하기 위한 단자 범프는 상기 칩의 짧은 변 양측에 배치한다.

단자 범프가 IC 칩내에 편재하고 있으면, ACF(이방성 도전 필름)에서의 접속 시에, 압력이 각 단자 범프에 균일하게 가해지지 않고, 그 결과 접속 불량을 초래한다.

본 실시예의 구성으로 함으로써, 단자 범프 면적의 기울기가 완화되기 때문에, 신뢰성이 높은 접속이 가능해진다.

도 20은 본 발명의 제14 실시예를 모식적으로 설명하는 액정 패널의 주요부 평면도이고, 액정 패널을 구성하는 하측 기판(유리 기판) SUB1의 대략 전역을 표시 영역 AR이 차지하고 있다. 그리고, 하변의 외연에 드레인 드라이버 IC2가 실장되는 단자 배선이 형성되어 있다. 도 20 중, IC2A는 드레인 드라이버 IC2의 실장 위치를 도시한다.

도 20에 도시한 바와 같이, 드레인선 DL을 드레인 드라이버 IC2의 실장 위치 IC2A의 아래(상기 IC의 하부)를 통해서 액정 패널 PNL의 하측 기판 SUB1의 단부까지 끌어 가는 것이, 제조 공정에서 필요하게 되고, 그 후 절단 제거되는 기판 부분에 형성한 단락 배선(공통 배선) ST에 접속하여 놓는다. 액정 패널의 제조 단계에서, 단락 배선 ST을 하측 기판 SUB1의 절단 제거 시에 절단할 때에, 드레인선 DL은 개별로 분리된다.

액정 패널 PNL의 제조 공정에서는, 정전기의 영향에 의한 박막 트랜지스터 TFT의 특성이 변동하고, 화질상의 불량의 발생을 초래하는 것을 방지하기 위해서, 도 17a에 도시한 바와 같은 각 드레인선을 단락하는 단락 배선(공통 배선) ST을 하측 기판 SUB1의 절단 부분에 형성하고 있다. 종래의 액정 패널에서는, 이 단락 배선(공통 배선) ST을 드레인 드라이버의 칩 탑재부(상기 칩의 하부의 아래)에 배치하여, 칩의 실장 직전에 레이저 등으로 절단하고 있었다.

본 실시예에서는, 하측 기판 SUB1의 단부면에 가까운 측의 근처에 입력 단자 범프가 형성되지 않기 때문에, 상기 드레인선 DL을 칩의 하부의 아래를 통해서 최종적으로 절단 제거되는 위치에 설치한 단락 배선(공통 배선) ST에 접속하였다.

덧붙여서 말하면, TCP을 이용하는 방식에서는 원래 도 20과 같이 드레인 선과 단락 배선(공통 배선) ST이 형성되어 있지만, FCA 실장으로 하는 경우에는, 종래의 구성을 이용한 것으로서는 입력 단자 범프가 방해하여, 각 출력 배선을 하측 기판 SUB1의 끝변까지 도출시킬 수 없기 때문에, 상기한 바와 같은 레이저 등에 의한 절단이 불가결하였다.

본 실시예의 구성에 의해, 단락 배선(공통 배선) ST을 레이저 등으로 절단할 필요가 없고, 공정수가 삭감되어, 저비용화가 가능해진다.

도 21은 본 발명의 제15 실시예를 모식적으로 설명하는 액정 패널의 주요부 평면도이고, 액정 패널을 구성하는 하측 기판(유리 기판) SUB1의 대략 전역을 표시 영역 AR이 차지하고 있다. 그리고, 하변의 외연에 드레인 드라이버 IC2가 실장되는 단자 배선이 형성되어 있다.

도 21에 도시한 바와 같이, 액정 패널의 하측 기판 SUB1상에는 드레인 드라이버 IC2 사이를 접속하는 화소 클럭, 표시 데이터 및 계조 전압의 각 배선이 형성되어 있다. 그리고, 각 드레인 드라이버 IC2에의 전원, 접지(GND) 단자는 하측 기판 SUB1에 엣지에 직교하는 방향으로 상기 드레인 드라이버 IC2 실장 위치에서 d만큼 돌출해 형성되어 있다.

본 실시예에 있어서의 FPC는 상기 전원, 접지(GND) 단자에 전원 전압 공급선과 접지선을 지니고, 그 폭 W는 하측 기판 SUB1의 단부와 드레인 드라이버 IC2와의 실장 위치 사이에 들어가는 치수로 되고, 외부 프린트 기판과의 접속부(게이트 FPC에 인접하는 부분) 이외는 액정 패널의 이면에 절곡될 필요가 없는 폭으로, 하측 기판 SUB1에의 압착 부분과 거의 마찬가지의 폭으로 되어 있다.

종래의 FPC에는 화소 클럭, 표시 데이터 및 계조 전압 배선 및 전원, 접지(GND)선이 형성되어 있고, 액정 패널로부터 밀려 나온 부분을 액정 패널의 이면으로 절곡되어 수납하고 있었다.

본 실시예의 플렉시블 프린트 기판 FPC2에는, 전원선(접지선을 포함한다)만이 형성되어 있고, 도시한 사이즈로 좋고, 다층 배선도 필요로 하지 않기 때문에, 저비용화할 수 있다.

또, 상기한 플렉시블 프린트 기판 FPC2은, 하측 기판 SUB1에의 압착 부분의 이면에 배선을 형성함으로써, 심플한 구성으로 하는 것이 가능해진다.

도 22는 본 발명의 제16 실시예를 모식적으로 설명하는 도 21과 마찬가지의 액정 패널의 주요부 평면도이다. 본 실시예에서는, 드레인 드라이버측의 FPC의 일부, 즉 드레인 드라이버 IC2의 배열 방향의 간극에 배치할 수 있는 돌출부 PRJ를 형성하고, 이 돌출부 PRJ에 칩 콘덴서 CHC 등의 전자 부품을 탑재하도록 하였다.

본 실시예에 의해, 전자 부품의 탑재 공간을 충분히 확보할 수 있고, 상기 전자 부품의 실장 작업을 용이하게 할 수가 있다.

도 23는 본 발명의 제17 실시예를 모식적으로 설명하는 액정 패널의 주요부 단면도이다. 도면 중, SUB2은 액정 패널의 다른 쪽의 기판(컬러 필터 기판: CF 기판)이고, 상기 각 실시예의 동일 부호는 동일 부분에 대응한다.

본 실시예에서는, 도 21 또는 도 22에 도시한 플렉시블 프린트 기판 FPC2을 하측 기판 SUB1의 엣지에서 약간(d만큼) 외측으로 돌출시킨 것이다. 액정 패널의 제조 공정에서는, 정전기는 하측 기판 SUB1상의 배선으로 뛰어드는 케이스가 많다. 특히, 제조 공정속에서 사용하는 카세트나 트레이 등의 반송 장치나 기구에 액정 패널의 단부가 접촉했을 때에 정전기가 침입하기 쉽다.

본 실시예의 구성에 의해, 액정 패널의 단부, 특히 TFT를 형성한 하측 기판 SUB1이 외부의 반송 장치 등에 접촉하는 것을 방지할 수 있기 때문에, 특히 도 27에 도시된 바와 같이 드레인 선 DL이 하측 기판 SUB1의 단부까지 연장되어 있는 경우의 정전기에 의한 TFT의 손상을 회피할 수 있다. 이 돌출 폭 d는 액정 패널이나 플렉시블 프린트 기판 FPC의 사이즈 혹은 두께에 따라서 임의로 설정할 수 있다.

또한, 도 23에 있어서, 그 플렉시블 프린트 기판 FPC에 형성한 배선 중, 접지선을 최외측에 배치함으로써, 정전기의 침입을 보다 효과적으로 저지할 수 있다.

도 24는 본 발명의 제18 실시예를 모식적으로 설명하는 액정 패널의 주요부 평면도이다. 또, 하측에 위치하는 기판은 도시를 생략하였다.

본 실시예에서는, 드레인 드라이버 사이의 표시 데이터 및 화소 클럭의 직렬 공급 방식을 행하는 배선을, 하측 기판 SUB1상에 직접 형성함과 함께, 드레인 드라이버 IC2 칩의 짧은 변, 및 긴 변의 일부에서 끌고 돌아다닌 것이다. 이 구성에 의해, 각 배선간의 간격에 여유가 생겨, 배선 밀도가 성기게 되기 때문에, 제조 비용을 저감할 수 있다.

도 25는 본 발명의 제19 실시예를 모식적으로 설명하는 액정 패널의 주요부 평면도이다. 본 실시예에서는, 드레인 드라이버 IC2 사이를 접속하는 표시 데이터 배선, 화소 클럭 배선, 계조 전압 배선은 드레인 드라이버 IC2의 짧은 변측으로 접속하도록 형성하고, 전원 배선을 드레인 드라이버 IC2의 긴 변의, 짧은 변에 근접하는 부분에서 상기 표시 데이터 배선, 화소 클럭 배선, 계조 전압 배선의 연장 방향과 대략 평행한 방향, 또한 인접하는 드레인 드라이버 IC2 방향으로 형성하였다.

그리고, 이 전원 배선(접지선도 포함한다)의 형성 부분(플렉시블 프린트 기판 FPC2과의 접속부를 포함함)가 플렉시블 프린트 기판 FPC2의 압착부에 위치하도록 하였다. 이 때, 드레인 드라이버 IC2의 짧은 변측의 배선을 액정 패널의 유효 표시 영역 AR 측에 치우쳐 형성함으로써, 전원 배선 및 플렉시블 프린트 기판 FPC2과의 접속부를 하측 기판 SUB1의 엣지에서 후퇴시킬 수 있고, 프레임의 협소화를 더욱 진행시키는 것이 가능해진다.

도 26와 도 27는 드레인 드라이버의 실장부를 확대하여 도시하는 모식 평면도이고, 도 26는 드레인 드라이버의 입력측 절반, 도 27은 드레인 드라이버의 출력측 절반을 도시한다.

도 26와 도 27에 있어서, IC2A1는 사이즈 사양 1의 드레인 드라이버 IC2의 실장 위치, IC2A2는 사이즈 사양 2의 드레인 드라이버 IC2의 실장 위치이다. 사이즈 사양 1의 드레인 드라이버 IC2A1와 사이즈 사양 2의 드레인 드라이버 IC2A2는 짧은 변 사이즈가 다르다. 이하의 설명으로 사이즈 사양 1과 사이즈 사양 2의 드레인 드라이버의 실장 위치에 관계되지 않은 부분은 IC2A로서 설명한다. 또, 이 드레인 드라이버의 출력측의 단자 및 범프 배열은 입력측과 대칭은 배열로 되어 있기 때문에, 이하에서는,주로 입력측에 관해서 설명한다.

이 드레인 드라이버 IC2의 전단 드레인 드라이버측의 짧은 변측과 표시 영역 AR 측의 짧은 변 근방의 긴 변에 전단 드레인 드라이버로부터 전송되는 표시 데이터, 각 클럭 신호, 계조 전압 신호의 배선과 입력 범프가 배치되어 있다. ANL은 아날로그 신호인 계조 전압 신호 배선이고, 그 범프는 표시 영역 AR 측의 짧은 변 근방의 긴 변에 배치되어 있다. 아날로그 배선은 다소 고저항이라도 좋기 때문에, 선 폭을 좁게 하여 긴 변에 배치하고 있다.

고속의 디지털 신호인 표시 데이터 신호 및 화소 클럭 신호 CL2의 배선 DF는 저저항일 필요가 있기 때문에, 전단 드레인 드라이버측의 짧은 변측과 표시 영역 AR 측의 짧은 변 근방의 긴 변의 일부에 배치되어 있다. 프레임 클럭 신호 CL1나 반전 신호 M 등의 저속의 디지털 신호 배선 DS는 표시 영역 AR 측의 짧은 변 근방의 긴 변의 상기 계조 전압 신호 배선 ANL과 고속의 디지털 신호 배선 DF의 사이에 배치되어 있다.

이 드레인 드라이버의 출력 배선인 드레인 선 DL의 범프 BP는 상기 드레인 드라이버의 기판 절단선측인 기판 외연측에 배치되고, 이 범프 BP를 통해 드레인 선 DL이 표시 영역 AR 측 및 기판 절단선의 외측(절단 제거되는 부분)에 형성한 공통선 ST에 연장되고 배선되어 있다.

드레인 드라이버의 짧은 변 입력측에 형성되는 범프 BP는 지그재그형으로 배열되어 있다. 마찬가지로 드레인 선 DL의 단자 BP도 지그재그형으로 배열되어 있다. 이것들의 지그재그 배열의 범프는 도 27에 도시한 바와 같이, 드레인 드라이버의 출력측 절반에서도 마찬가지로 배열되어 있다. 입력측 짧은 변에 형성한 범프 BP는 출력측 짧은 변의 범프를 평행 이동시킨 배치에 되어 있다.

도 28에 도시한 바와 같이, 드레인 드라이버 IC2의 출력 배선 OUT은 경사 배선으로 화소 영역 AR의 드레인선 DL에 접속된다. 따라서, 배선 길이가 장소에 따라 크게 다르기 때문에, 경사 배선부의 저항치에 차가 생긴다. 이 저항치의 ` `차" 가 어느 정도 커지면, 그에 따른 드레인 파형의 무뎌짐의 차" 에 기인하여 표시 얼룩이 생겨 버린다.

종래는, 상기한 경사 배선의 굵기(폭)을, 상기 경사 배선이 긴 부분(드레인 드라이버 칩의 양단부)에서 크게(넓게)하고, 배선이 짧은 부분(드레인 드라이버 칩의 중앙부)에서는 가늘게(좁게)하는 등의 수단을 실시하여, 저항치가 일정하게 되도록 조정하고 있다.

그러나, 드레인 드라이버 칩당의 출력수를 늘린 경우, 경사 배선부의 저항치 차가 지나치게 커져 더이상 조정할 수 없게 버린다. 이 대책으로서, 본 발명에서는,다음과 같은 구성을 채용하였다.

도 29는 본 발명의 액정 표시 장치의 제20 실시예를 설명하기 위한 드레인 드라이버의 출력 배선 구성의 설명도이고, 출력 배선 OUT을 드레인 드라이버 IC1의 표시 영역(화소 영역) AR에서 먼 측의 근처에 설치한 것이다. 즉, 표시 영역(화소 영역)으로부터 비스듬히 늘여지는 출력 배선 OUT을 드레인 드라이버 IC1의 하부 아래에서 화소 영역 AR부터 먼 측의 근처까지 연장하여 설치하였다.

이러한 배선으로 함으로써, 도 29의 A에서 도시한 배선 영역에서도 저항치 차의 조정이 가능해져, 상기 저항치를 일정하게 조정하기 위한 자유도가 넓어진다. 또한, 도 29 중에 흑색원으로 도시한 바와 같이, 상기 배선의 단자를 지그재그형으로 배치하면 드레인 드라이버 IC1의 범프와의 접속 여유가 커진다. 그리고, 기판 절단선의 외측에 정전기 대책용의 공통 배선을 설치하고, 이 공통 배선에 상기 출력 배선 OUT을 연장하여 접속함으로써, 상기 공통 배선과 출력 배선을 레이저 절단하는 공정을 생략할 수 있다.

드레인 드라이버의 기판 외측의 긴 변의 짧은 변 근방에는 전원 단자가 배치되어 있다. 이 전원 단자 VCC, GND, VLCD는 도시한 바와 같이 계단형으로 형성되어 있다. 또, DM1, DM2, DM3는 더미 단자, DBP는 더미 범프를 도시한다.

그리고, 전원 단자 VCC, GND, VLCD의 드레인 드라이버측에 형성하는 범프는 긴 변에 따라 2 열로 설치하고 있어, 접속 저항을 저감하고 있다.

드레인 드라이버의 표시 영역 AR 측 긴 변에 형성한 각 배선에는, 다른 사이즈 사양의 드레인 드라이버에 대응시키기 위해서, 그 단자 BP를 상기 드레인 드라이버의 짧은 변에 따른 방향에 2개소 형성하고 있다.

도 26와 도 27에 도시한 바와 같이, 고속 디지털 신호, 저속 디지털 신호, 및 아날로그 신호의 각 배선 폭은, 각각의 저항이 허용 저항이 되도록 선 폭을 바꾸었다. 또한, 표시 데이터용의 고속 배선은 일정한 간격을 두고 배선하고 있다. 또, 저속 디지털 신호용의 배선은 고속 디지털 신호용의 배선과 동등한 저항으로 하고 있다.

고속 디지털 신호용 배선, 저속 디지털 신호용 배선, 및 아날로그 신호용에 설치하는 범프는, 배선 폭에 대응하여 그 크기를 다르게 하고 있다.

드레인 선 DL을 드레인 드라이버의 기판 외측으로 연장시키고, 이것을 정전 대책용의 공통선 ST에 접속함으로써, 기판을 절단선 CTL에서 절단 제거했을 때에, 각 드레인 선은 개개로 분리되고, 종래와 같이, 다시 레이저 광 등을 이용한 절단 공정을 불필요하게 하고 있다. 이 드레인선 DL의 기판 외측에서의 배선은 도시한 기판 외연과 직교하는 것에 한하지 않고, 경사 배선으로 해도 좋다.

상기한 바와 같이, 이 드레인 드라이버의 실장 위치의 표시 영역측 긴 변에 2개의 사이즈 사양의 드레인 드라이버에 대응한 범프 BP를 형성함으로써, 2개의 사이즈 사양의 드레인 드라이버를 겸용할 수 있다. 일반적으로, 이 종류의 드레인 드라이버의 소형화는 그 짧은 변 사이즈의 축소에 있다. 본 실시예의 구성으로 한 것으로, 사이즈 사양 IClA1과 사이즈 사양 IClA2의 드레인 드라이버의 어느 하나 이더라도, 기판측의 배선 패턴을 변경하지 않고 적용할 수 있다.

도 30는 드레인 드라이버와 플렉시블 프린트 기판의 배선의 종래의 접속 구조의 설명도이다. 종래, 드레인 드라이버 IC2와 플렉시블 프린트 기판 FPC2의 배선의 접속은, 도 30에 도시한 바와 같이 플렉시블 프린트 기판 FPC2의 배선 단자를 글라스(기판) 끝보다도 밖까지 끌고 돌아다녀, 관통 구멍으로 플렉시블 프린트 기판 FPC2의 버스 배선에 접속하고 있었다. 따라서, ACF에서 열압착되는 부분은 단자 밖에 없었다. 그 때문에, 플렉시블 프린트 기판 FPC2은 압착부와 동일 폭밖에 없고, 더구나 그 동일 부분을 버스 배선에 사용하고 있기 때문에, 관통 구멍도 버스 배선도 모두가 열압착되는 영역에 존재한다. 관통 구멍을 열압착하면, 그 접속 신뢰성에 악영향을 미치게 할 우려가 있다. 이것에 관해서, 본 발명으로서는 다음과 같이 대책하였다.

도 31는 본 발명의 제21 실시예를 모식적으로 설명하기 위한 드레인 드라이버와 플렉시블 프린트 기판의 배선의 접속 구조의 설명도이다. 도시한 바와 같이, 인접하는 드레인 드라이버 IC2 사이에 플렉시블 프린트 기판 FPC2의 일부를 돌출시키고, 이 돌출 부분(도 22의 PRJ에 상당)에 관통 구멍 TH를 배치하였다. 또, 이 돌출 부분에는 칩 컨덴서 등의 부품 CHC을 실장한다(도 2, 도 22 참조). 이러한 구조로 함으로써, 관통 구멍 TH는 열압착 영역에서 떨어지기 때문에, 상기한 종래의 구조에 있어서의 접속 신뢰성에의 악영향을 회피할 수 있다.

그러나, 도 32에 도시한 바와 같이, 플렉시블 프린트 기판 FPC2의 버스 배선은 동층에 형성되어 있기 때문에, 도 31에 도시한 구조대로는 플렉시블 프린트 기판 FPC2의 단자와 관통 구멍 TH를 연결하는 것은 할 수 없다. 그래서, 본 발명에서는,다음과 같이 대책하였다.

도 33는 도 31에 도시한 본 발명의 제21 실시예를 더 설명하기 위한 드레인 드라이버와 플렉시블 프린트 기판 FPC2의 배선의 접속 구조의 설명도이다. 본 실시예에서는, 플렉시블 프린트 기판 FPC의 단자를 계단형으로 형성함으로써, 이 단자와 관통 구멍 TH의 접속을 가능하게 하였다. 또, 상기한 각 신호 배선은 게이트 선, 혹은 드레인 선과 동층으로 할 수 있다.

도 34는 본 발명의 제22 실시예를 설명하는 하측 기판의 배선과 플렉시블 프린트 기판 주위의 주요부 구조도이다. 도 34에 있어서, 액정 패널을 구성하는 하측 기판 SUB1의 하변(드레인 드라이버측)에는 드레인 드라이버 IC2가, 또한 좌변(게이트 드라이버측)에는 게이트 드라이버 IC1가, 각각 FCA 실장되어 있다.

하측 기판 SUB1의 하변에는 드레인 드라이버 사이에 데이터 신호(표시 데이터, 계조 전압 신호) 및 화소 클럭 신호를 포함하는 고속과 저속의 각종 클럭 신호를 순차 직렬로 전송하기 위한 드레인 데이터 배선이 직접 형성되어 있다.

또한, 하측 기판의 좌변에는 상기 게이트 드라이버 사이에 상기 주사 전압 신호 및 주사 클럭 신호를 순차 직렬로 전송하기 위한 게이트 데이터 배선과 게이트 드라이버 전원 배선이 직접 형성되어 있다.

그리고, 하측 기판 SUB1의 드레인 드라이버 IC2가 배치된 주변에는, 플렉시블 프린트 기판 FPC2이 설치되어 있다. 이 플렉시블 프린트 기판 FPC2은, (1) 이 하측 기판 SUB1의 주변(드레인 드라이버 IC2측)에 따라서 연장되는 드레인 드라이버 전원 배선 PWL-D만이 형성된 드레인 드라이버 전원 배선부와, (2) 이 드레인 드라이버 전원 배선 PWL-D의 연장부 PWL-DE, 드레인 데이터 배선 DDL에 접속하는 드레인 데이터 접속 배선, 게이트 데이터 배선 GDL에 접속하는 게이트 데이터 접속 배선, 및 상기 게이트 드라이버 전원 배선 PWL-G에 접속하는 게이트 드라이버 전원 접속 배선이 형성된 인터페이스 배선부 I/F-FPC를 갖는다. 상기 인터페이스 배선부 I/F-FPC는, 상기 드레인 드라이버 전원 배선부의 단부(하측 기판 SUB1의 상기 게이트 드라이버 IC1가 배치되는 측에 대응)에 설치된다. 도 34에 있어서, 드레인 드라이버 전원 배선부는, 플렉시블 프린트 기판 FPC2의 인터페이스 배선부 I/F-FPC 이외의 부분으로서 도시된다. 도 34로써, 드레인 드라이버 전원 배선부는 이것에 형성된 드레인 드라이버 전원 배선 PWL-D만 갖지만, 이 드레인 드라이버 전원 배선 이외의 어떠한 배선도 드레인 드라이버 전원 배선부에 형성하더라도 좋다. 드레인 드라이버 전원 배선 이외의 배선은, 도 34의 예 뿐만 아니라, 후술하는 본 예의 어떠한 변형예에 있어서도 상술의 전원 배선부에 형성해도 좋지만, 드레인 드라이버 전원 배선 PWL-D를 플렉시블 프린트 기판 FPC2것의 드레인 드라이버 전원 배선부에, 드레인 데이터 배선 DDL을 기판 SUB1의 드레인 드라이버 전원 배선부를 따라 연장되는 주연부에, 각각 설치하는 것이 바람직하다. 바꾸어 말하면, 드레인 드라이버 전원 배선 PWL-D와 드레인 데이터 배선 DDL는 상호 분리하여 놓은 쪽이 좋다.

플렉시블 프린트 기판 FPC2의 인터페이스 배선부 I/F/FPC는 액정 패널의 배면으로 절곡되어지고, 그 앞단에 설치한 커넥터 CT4가 인터페이스 프린트 기판 PCB에 설치한 커넥터(도시하지 않음)에 결합된다.

또, 인터페이스 프린트 기판 PCB는 게이트 드라이버 IC1의 탑재 위치에서 액정 패널의 배면에 설치된다. 하측 기판 SUB1상의 배선(드레인 데이터 배선, 게이트 데이터 배선, 게이트 전원 배선)과 플렉시블 프린트 기판의 접속 배선은 도면 중에 흑색원으로 도시한(화살표 A) 패드 PAD-A에서 압착하여 전기적으로 접속이 취해진다.

본 실시예에 따르면, 드레인 드라이버측에 비해 공간에 여유가 있는 게이트 드라이버측에는, 데이터 배선과 전원 배선을 하측 기판 SUB1상에 직접 형성하고, 플렉시블 프린트 기판은 드레인 드라이버측에만 설치하고 있다.

그리고, 드레인 드라이버측에 설치하는 플렉시블 프린트 기판 FPC2에는 드레인 전원 배선만을 형성하는 것이기 때문에, 플렉시블 프린트 기판은 단층 배선으로 좋고, 그 인터페이스 배선부 I/F/FPC 부분의 배선도 단층 배선으로 할 수 있다.

그 결과, 본 실시예에 따르면, 플렉시블 프린트 기판의 수를 줄이고, 또한 플렉시블 프린트 기판 자체의 구성이 단순화되기 때문에, 부품 점수의 삭감과 작업의 간소화와 같이, 비용 삭감의 효과가 있다.

도 35는 본 발명의 제23 실시예를 설명하는 하측 기판의 배선과 플렉시블 프린트 기판 주위의 주요부 구조도이다. 본 실시예는, 도 34에 도시한 실시예에 있어서의 플렉시블 프린트 기판 FPC2으로부터 인터페이스 배선부 I/F/FPC를 분리하여 게이트 드라이버 IC1를 배치한 단부측의 드레인 드라이버 설치변에 부착한 것이다.

플렉시블 프린트 기판 FPC2은 액정 패널의 드레인 드라이버측 변을 따라 연장되는 단책상(短冊狀)이고, 드레인 드라이버 전원 배선 PWL-D만이 2층 배선으로 형성되어 있다. 그리고, 이 드레인 드라이버 전원 배선 PWL-D와 인터페이스 배선부 I/F/FPC에 형성되어 있는 드레인 드라이버 전원 배선을 연결하는 드레인 드라이버 전원 접속 배선 PWL-DD가 도 35에 도시한 바와 같이 하측 기판 SUB1상에 직접 형성되어 있다.

드레인 드라이버측의 데이터 배선 DDL, 게이트 드라이버측의 데이터 배선 GDL 및 게이트 드라이버 전원 배선 PWL-G은 상기 제22 실시예와 같이 하측기 일단(급전단)과는 도 35에 흑색원으로 도시한 (화살표 B) 패드 PAD-B에서 전기적으로 접속이 취해진다.

또한, 플렉시블 프린트 기판 FPC2의 드레인 드라이버 전원 배선 PWL-D에 일단을 접속한 드레인 드라이버 접속 배선 PWL-DD의 타단과 인터페이스 배선부 I/F/FPC에 형성되어 있는 드레인 드라이버 전원 배선은, 드레인 드라이버측의 데이터 배선 DDL, 게이트 드라이버측의 데이터 배선 GDL 및 게이트 드라이버 전원 배선 PWL-G와 같이, 도 35의 흑색원으로 도시한 (화살표 A) 패드 PAD-A에서 전기적으로 접속이 취해진다. 그 밖의 구성은 도 34의 제22 실시예와 마찬가지이다.

본 실시예에 의해, 플렉시블 프린트 기판 FPC2이 단책상이기 때문에, 플렉시블 프린트 기판 기판의 모재로부터 추출하는 경우의 효율, 소위 재료 취득의 효율이 향상하고, 큰 비용 삭감 효과가 있다. 그 밖의 구성 및 효과는 제22 실시예와 마찬가지이다.

도 36는 본 발명의 제24 실시예를 설명하는 하측 기판의 배선과 플렉시블 프린트 기판 주위의 주요부 구조도이다. 본 실시예는, 도 35으로 설명한 제23 실시예에 있어서의 인터페이스 배선부 I/F/FPC를 액정 패널의 게이트 드라이버 IC 1 배치변측에 부착한 것이다.

따라서, 도 36에서는 도 35에 있어서의 드레인 드라이버 전원 배선 PWL-D와 인터페이스 배선부 I/F/FPC에 형성되어 있는 드레인 드라이버 전원 배선을 연결하는 드레인 드라이버 전원 접속 배선 PWL-DD는 인터페이스 배선부 I/F/FPC를 부착한 게이트 드라이버 IC1 배치변측까지 연장하여 형성돼 있다. 그리고, 이 드레인 드라이버 전원 접속 배선 PWL-DD의 타단, 드레인 드라이버측 데이터 배선 DDL, 게이트 드라이버측 데이터 배선 GDL, 게이트 드라이버 전원 배선 PWL-G과 인터페이스 배선부 I/F/FPC에 형성되어 있는 각 대응 배선은, 화살표 C로 도시한 패드 PAD-C(흑색원으로 도시함)로 전기적으로 접속된다.

본 실시예의 효과는, 기본적으로는 상기 제23 실시예와 마찬가지이지만, 인터페이스 배선부 I/F/FPC이 부착 위치를 게이트 드라이버 탑재 변에 따라서 선택할 수 있기 때문에, 예를 들면 TCON 등의 다른 부품을 실장하기 위한 공간, 혹은 이 인터페이스 기판 PCB의 실장 부품의 위치 관계 등에 따라서 임의로 설계할 수 있다. 그 밖의 효과는 상기 실시예와 마찬가지이다.

도 37는 본 발명의 제25 실시예를 설명하는 하측 기판의 배선과 플렉시블 프린트 기판 주위의 주요부 구조도이다. 본 실시예는, 도 36에서 설명한 제24 실시예에 있어서의 플렉시블 프린트 기판 FPC2의 단부(급전단)을 게이트 드라이버 실장변측으로 연장하고, 그 앞단에 드레인 드라이버 전원 배선용의 커넥터 CT5를 설치한 것이다.

따라서, 제24 실시예와 같이 게이트 드라이버 탑재변에 설치하는 인터페이스 배선부 I/F/FPC는, 드레인 드라이버용의 데이터 배선과 게이트 드라이버용의 데이터 배선 및 그 전원 배선을 갖게 된다. 이들 인터페이스 배선부 I/F/FPC의 배선과 하부 기판 SUB1상에 형성한 각 배선은, 흑색원으로 도시한 패드 PAD-D에서 전기적으로 접속된다.

또한, 도 37에서는, 플렉시블 프린트 기판 FPC2이 커넥터 CT5측에 단차를 갖은 형상으로 되어 있지만, 이것은 상기 도 23에서 설명한 바와 같이, 상기 플렉시블 프린트 기판 FPC2의 외연을 거리 d만큼 하측 기판 SUB1으로부터 밀려 나오게 하게 하기 위해서와, 상기 플렉시블 프린트 기판 FPC2의 돌출 부분을 하측 기판 SUB1의 배면으로 절곡되어 인터페이스 기판 PCB의 도시하지 않은 커넥터의 위치에 플렉시블 프린트 기판 FPC2의 커넥터 CT5를 정합하기 위해서이다. 그러나, 상기 단차를 없애고 전체를 스트레이트의 단책상으로서도 상관없다.

본 실시예에 따르면, 상기 제23 실시예와 마찬가지의 플렉시블 프린트 기판 FPC2의 재료 취득의 효율을 향상시킴과 함께, 접속용의 패드 개소를 일개소만으로 함으로써, 작업 공정수를 삭감할 수 있다고 하는 효과를 갖는다. 다른 효과는 상기의 실시예와 마찬가지이다.

다음에, 본 발명을 적용하는 액정 표시 장치의 그 밖의 구성에 관해서 설명한다.

도 38는 액정 표시 장치의 등가 회로를 나타내는 블록도이다. 이 액정 표시 장치는, 표시부인 액정 패널(TFT-LCD)의 하측에 영상 신호선 구동 회로(103)가 배치되고, 측면측에 주사 신호선 구동 회로(104), 및 컨트롤러부(101)와 전원부(102)가 배치되어 있다.

컨트롤러부(101)와 전원부(102)는 다층 프린트 기판으로 이루어지는 인터페이스 기판에 실장되고, 액정 표시 모듈의 프레임 영역을 축소하기 위해서 주사 신호선 구동 회로(104)의 이면에 배치되어 있다.

박막 트랜지스터 TFT는 인접하는 2개의 게이트 신호선 GL의 교차 영역내에 배치되고, 그 드레인 전극과 게이트 전극은, 각각 드레인 선 DL, 게이트 선 GL에 접속되어 있다. GTM은 게이트선 인출선(G-1, G0, Gl, G2, ・・Gend, Gend+ 1), DiR, DiG, DiB, ・・Di+1 R, Di+1 G, Di+1 B, ・・는 드레인선 인출선, Cadd는 보유 용량을 도시한다. 또, 소스, 드레인은, 본래 그 사이의 바이어스 극성에 의해서 결정되는 것으로, 이 액정 표시 장치의 회로에서는, 그 극성이 동작 중 반전하기 때문에, 소스 전극과 드레인 전극은 동작 중 교체하는 것으로 이해하기 바란다.

도 39는 호스트 컴퓨터와 액정 표시 장치의 컨트롤러부 사이의 표시 데이터의 흐름의 설명도이다. 호스트 컴퓨터(도면 중에서는 PC로 표기)의 표시 컨트롤러로부터 나온 표시 데이터(여기서는, 18 비트, 65 MHz)은 송신측의 저전압 차동 신호 송신기(송신용 LVDS : LVDS 송신기) LVDS-T에 입력하여 저전압 차동 신호(LVDS)로 변환되고 인터페이스 커넥터를 통해 액정 표시 장치(도면 중, TFT로 표기)의 저전압 차동 신호 수신기(수신용 LVDS : LVDS 수신기) LVDS-R에 입력한다.

LVDS 수신기 LVDS-R에서는, 입력한 차동 신호를 원래의 신호(18 비트, 65 MHz)로 복원하고, 이것을 주사 신호선 구동 회로 및 영상 신호선 구동 회로를 제어하는 타이밍 컨버터 TCON에 제공하여, 액정 표시 장치에 표시가 이루어진다.

또한, 호스트 컴퓨터측의 차동 신호 송신기인 LVDS 송신기 LVDS-T는 병렬로 입력하는 디지털 데이터를 직렬의 디지털 데이터로 변환하여 액정 표시 장치에 송신하고, 액정 표시 장치측의 LVDS 수신기 LVDS-R는, 입력하는 직렬의 디지털 데이터를 병렬의 디지털 데이터로 변환하여 표시 신호를 재생하기 때문에, 인터페이스 커넥터의 단자 수가 감소하고, 접속의 신뢰성이 향상함과 함께, 호스트 컴퓨터와 액정 표시 장치 사이의 고주파 전류 배선 수가 감소함으로써 EMI가 발생하여 어렵게 된다.

도 40는 본 발명의 액정 표시 장치를 실장한 정보 처리 장치의 일례인 가반형의 노트 퍼스널 컴퓨터의 설명도이다. 이 노트 퍼스널 컴퓨터는 키보드부와 표시부가 힌지로 연결되어 있고, 키보드부에는 호스트 컴퓨터인 CPU가 내장되고, 표시부에는 본 발명에 따른 액정 표시 장치가 실장되어 있다.

표시부에 실장되는 액정 표시 장치는, 액정 패널 PNL, 게이트측 플렉시블 프린트 기판 FPC1, 드레인측 플렉시블 프린트 기판 FPC2, 저전압 작동 신호 LVDS 수신기를 실장한 인터페이스 기판 PCB, 백 라이트용의 인버터 전원 IV 등으로 구성된다. 또, LPC는 인버터 전원 IV으로부터 백 라이트 조립체를 구성하는 형광관에 급전하는 램프 케이블이다.

호스트는 본 발명에 따른 액정 표시 장치를 실장한 디스크탑형 모니터의 일례를 도시하는 외관도이다. 이 모니터는 본 발명의 액정 표시 장치를 실장한 표시부와, 표시부를 지지하는 스탠드부로 구성된다. 표시부에는 액정 표시 장치의 액정 패널 PNL이 화면을 구성하고 있다.

본 발명은, 상기 도 40, 도 41에 설명한 정보 처리 장치에 한하지 않고, 각종의 표시 장치에도 마찬가지로 적용할 수 있는 것이다.

또한, 본 발명은 상기 설명한 각 실시예에 한정되는 것이 아니고, 본 발명의 기술 사상을 일탈하지 않고, 여러가지의 변경이 가능한 것은 물론이다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면, 상기 과제를 해결하기 위한 수단의 항목에서도 기술한 바와 같이, 드레인 드라이버(게이트 드라이버를 포함함)를 액정 패널의 한쪽의 기판(일반적으로는 TFT 기판)상에 직접 실장하고, 각 드라이버 사이를 순차 직렬로 접속하는 배선도 상기 기판상에 직접 형성함으로써, FPC를 대폭 간이화할 수 있게 되고, 저비용화가 가능해진다.

또한, 드레인 드라이버측의 플렉시블 프린트 기판을 전원 공급용의 배선만을 형성한 단층으로 함으로써, 또한, 게이트 드라이버측의 모든 배선을 하측 기판상에 직접 형성하고 게이트측의 플렉시블 프린트 기판을 실질적으로 생략함으로써, 액정 표시 장치의 전체 구조를 단순화하고, 보다 소형화한 액정 표시 장치를 실현할 수가 있으며, 부품 점수의 삭감과 조립하여 비용의 저감에 큰 효과를 가져온다.

본 발명에 따른 몇개의 실시예를 도시하고, 이들에 관해서 진술하였지만, 동 발명은 이들에 한정되지 않고 당업자가 알 수 있는 범위에서 이들에 이루어지는 여러가지의 변형 및 개선도 허용하는 것으로 이해되는 것이고, 따라서 본원 명세서에 첨부된 청구항의 범위는 이것에 도시 또한 기재된 상세한 설명에 구속되는 일없이, 유사한 변형 및 개선도 전부 포함하는 것을 의도하는 것이다.

(57) 청구의 범위

청구항 1.

복수의 드레인 선 및 이 드레인 선에 교차하는 복수의 게이트 선의 각 교차부에 화소를 배치한 한쪽의 기판과 컬러 필터를 갖는 다른 쪽의 기판을 접합시켜 이루어지는 액정 패널과,

상기 게이트 선의 연장 방향으로 배치하고, 상기 복수의 드레인 선의 소정의 군마다 대응하여 배치한 화소에 표시 데이터 신호에 기초하는 계조 전압 신호를 인가하는 복수개의 드레인 드라이버와,

상기 드레인 선의 연장 방향으로 배치하고 상기 드레인 선을 따르는 화소에 주사 전압 신호를 인가하는 복수개의 게이트 드라이버와,

외부로부터 입력한 표시 신호와 타이밍 신호에 기초하여 표시 데이터 신호와 화소 클럭을 포함하는 고속과 저속의 각종 클럭 신호를 생성하는 타이밍 컨버터

를 구비하고,

상기 액정 패널의 한쪽의 기판상에 직접 형성한 적어도 상기 드레인 드라이버 및 각 드레인 드라이버 사이에 상기 표시 데이터 신호, 계조 전압 신호, 및 화소 클럭 신호를 포함하는 고속과 저속의 각종 클럭 신호를 순차 직렬로 전송하기 위한 배선을 가지고,

상기 드레인 드라이버마다의 상기 드레인 드라이버에의 표시 데이터, 계조 전압 신호의 입력측과 출력측의 한쪽 또는 쌍방에 상기 화소 클럭 신호로 제어되는 게이트 회로를 설치한 것을 특징으로 하는 액정 표시 장치.

청구항 2.

제1항에 있어서,

상기 드레인 드라이버의 표시 데이터 신호의 출력측과 화소 클럭 신호의 출력측에 상기 드레인 드라이버 자신이 표시 데이터 신호를 수신하고 있는 사이는 다음 단에의 표시 데이터 선, 화소 클럭 선에의 상기 표시 데이터 신호, 화소 클럭 신호의 전송을 금지하여, 표시 데이터 신호의 수취가 종료한 시점에 다음 단에의 표시 데이터 신호, 화소 클럭 신호의 전송을 개시하는 게이트 회로를 설치한 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제1항 또는 제2항에 있어서,

상기 타이밍 컨버터를 상기 액정 패널의 한쪽의 기판상에 탑재한 것을 특징으로 하는 액정 표시 장치.

청구항 4.

제1항 또는 제2항에 있어서,

상기 드레인 드라이버는 분압 회로로 이루어지는 계조 전압 생성 회로를 구비하고,

상기 분압 회로의 기준 전압 입력측에 버퍼 증폭기를 설치한 것을 특징으로 하는 액정 표시 장치.

청구항 5.

제1항 또는 제2항에 있어서,

고속 디지털 신호인 상기 표시 데이터 신호 및 화소 클럭 신호용의 배선과, 저속 디지털 신호인 상기 화소 클럭 신호 이외의 클럭 신호용의 배선, 및 저속 아날로그 신호인 상기 계조 전압용의 배선의 선 폭을, 상기 각 신호의 허용 저항치에 따라서 다르게 하는 것을 특징으로 하는 액정 표시 장치.

청구항 6.

제5항에 있어서,

상기 표시 데이터 신호용의 배선 저항을 상기 화소 클럭 신호용의 배선의 저항과 동등한 값으로 함과 함께, 상기 배선에 형성하는 드레인 드라이버 접속용 단자의 크기를 상기 고속 디지털 신호 배선과 저속 아날로그 신호 배선에 다르게 하는 것을 특징으로 하는 액정 표시 장치.

청구항 7.

제5항에 있어서,

상기 고속 디지털 신호용의 드레인 드라이버 접속용 단자를 드레인 드라이버의 짧은 변측에 지그재그형으로 배치함과 함께, 상기 접속용 단자의 상기 드레인 드라이버의 한쪽의 짧은 변에서의 배치를 대향하는 짧은 변에 평행 이동시킨 배치로 하여 상기 배선 저항을 정돈하는 것을 용이하게 한 것을 특징으로 하는 액정 표시 장치.

청구항 8.

제7항에 있어서,

상기 저속 디지털 신호용 및 아날로그 신호용의 드레인 드라이버 접속용 단자를 상기 드레인 드라이버의 긴 변측에 배치한 것을 특징으로 하는 액정 표시 장치.

청구항 9.

제5항에 있어서,

상기 드레인 드라이버의 드레인 선을 구동하는 출력 단자를 상기 드레인 드라이버를 탑재하는 기판 외연측 긴 변에 배치한 것을 특징으로 하는 액정 표시 장치.

청구항 10.

제5항에 있어서,

상기 드레인 드라이버의 드레인 선을 구동하는 출력 단자를 상기 드레인 드라이버를 탑재하는 기판 외연측 긴 변에 배치함과 함께, 상기 출력 단자로부터 기판 절단선의 외측으로 형성한 공통 배선에 접속한 것을 특징으로 하는 액정 표시 장치.

청구항 11.

제5항에 있어서,

상기 드레인 드라이버용의 전원 범프를 2 열로 배치하여 접속 저항을 저감한 것을 특징으로 하는 액정 표시 장치.

청구항 12.

제5항에 있어서,

상기 드레인 드라이버의 기판 내측에 배치하는 전단 드레인 드라이버로부터의 배선과 접속하는 단자 및 다음 단 드레인 드라이버로의 배선과 접속하는 단자를, 상기 드레인 드라이버의 짧은 변과 평행한 방향의 치수 사양이 다른 2 종의 드레인 드라이버에 겸용하기 위해서 상기 드레인 드라이버의 짧은 변과 평행한 방향으로 2 단으로 형성한 것을 특징으로 하는 액정 표시 장치.

청구항 13.

제5항에 있어서,

플렉시블 프린트 기판의 배선에 접속하는 상기 드레인 드라이버의 전원 공급 단자를 기판의 절단선측에 상기 기판의 외연부를 따라 순차 계단형으로 배치한 것을 특징으로 하는 액정 표시 장치.

청구항 14.

제13항에 있어서,

상기 드레인 드라이버에 전원을 공급하기 위한 전원선 및 접지선을 형성한 플렉시블 프린트 기판을 구비하고, 이 플렉시블 프린트 기판을 외부 프린트 기판과 접속하는 부분을 제외하고는 상기 액정 패널의 한쪽의 기판의 상기 드레인 드라이버 실장면에만 배치한 것을 특징으로 하는 액정 표시 장치.

청구항 15.

제14항에 있어서,

상기 플렉시블 프린트 기판이 상기 드레인 드라이버의 배열 간극에 돌출부를 가지고, 상기 돌출부에 전자 부품을 탑재한 것을 특징으로 하는 액정 표시 장치.

청구항 16.

제14항 또는 제15항에 있어서,

상기 플렉시블 프린트 기판의 모서리가 상기 액정 패널의 한쪽의 기판의 모서리로부터 약간 돌출하고 있는 것을 특징으로 하는 액정 표시 장치.

청구항 17.

복수의 드레인 선 및 이 드레인 선과 직교하는 복수의 게이트 선의 각 교차부에 화소를 배치한 한쪽의 기판과 컬러 필터를 갖는 다른 쪽의 기판을 접합시켜 이루어지는 액정 패널과,

상기 한쪽의 기판의 상기 게이트 선의 연장 방향 주연부에 직접 실장하고, 상기 복수의 드레인 선의 소정의 군마다 대응하여 배치한 화소에 표시 데이터 신호에 기초하는 계조 전압 신호를 인가하는 복수개의 드레인 드라이버와,

상기 한쪽의 기판의 상기 드레인 선의 연장 방향 주연부에 직접 실장하고 상기 드레인 선을 따르는 화소에 주사 전압 신호를 인가하는 복수개의 게이트 드라이버와,

상기 한쪽의 기판에 직접 형성하고 상기 드레인 드라이버 사이에 상기 표시 데이터 신호, 계조 전압 신호, 및 화소 클럭 신호를 포함하는 고속과 저속의 각종 클럭 신호를 순차 직렬로 전송하기 위한 드레인 데이터 배선과,

상기 한쪽의 기판에 직접 형성하고 상기 게이트 드라이버 사이에 상기 주사 전압 신호 및 주사 클럭 신호를 순차 직렬로 전송하기 위한 게이트 데이터 배선 및 게이트 드라이버 전원 배선과,

상기 한쪽의 기판의 상기 드레인 드라이버의 외측 주변을 따라 드레인 드라이버 전원 배선만을 형성한 드레인 드라이버 전원 배선부와, 이 드레인 드라이버 전원 배선부의 상기 게이트 드라이버를 배치한 단부측에 상기 드레인 드라이버 전원 배선의 연장부와 상기 드레인 데이터 배선에 접속하는 드레인 데이터 접속 배선과 상기 게이트 데이터 배선에 접속하는 게이트 데이터 접속 배선과 상기 게이트 드라이버 전원 배선에 접속하는 게이트 드라이버 전원 접속 배선을 형성한 인터페이스 배선부를 형성한 플렉시블 프린트 기판

을 구비한 것을 특징으로 하는 액정 표시 장치.

청구항 18.

복수의 드레인 선 및 이 드레인 선과 직교하는 복수의 게이트 선의 각 교차부에 화소를 배치한 한쪽의 기판과 컬러 필터를 갖는 다른 쪽의 기판을 접합시켜 이루어지는 액정 패널과,

상기 한쪽의 기판의 상기 게이트 선의 연장 방향 주연부에 직접 실장하고, 상기 복수의 드레인 선의 소정의 군마다 대응하여 배치한 화소에 표시 데이터 신호에 기초하는 계조 전압 신호를 인가하는 복수개의 드레인 드라이버와,

상기 한쪽의 기판의 상기 드레인 선의 연장 방향 주연부에 직접 실장하고 상기 드레인 선을 따르는 화소에 주사 전압 신호를 인가하는 복수개의 게이트 드라이버와,

상기 한쪽의 기판에 직접 형성하고 상기 드레인 드라이버 사이에 상기 표시 데이터 신호, 계조 전압 신호, 및 화소 클럭 신호를 포함하는 고속과 저속의 각종 클럭 신호를 순차 직렬로 전송하기 위한 드레인 데이터 배선과,

상기 한쪽의 기판에 직접 형성하고 상기 게이트 드라이버 사이에 상기 주사 전압 신호 및 주사 클럭 신호를 순차 직렬로 전송하기 위한 게이트 데이터 배선 및 게이트 드라이버 전원 배선과,

상기 한쪽의 기판의 상기 드레인 드라이버의 외측 주변을 따라 드레인 드라이버 전원 배선만을 형성한 플렉시블 프린트 기판과,

상기 드레인 데이터 배선에 접속하는 드레인 데이터 접속 배선과, 상기 한쪽의 기판상에 형성하여 일단을 상기 드레인 드라이버 전원 접속 배선에 접속하는 드레인 드라이버 전원 중계 배선

을 구비하고,

상기 드레인 드라이버 전원 중계 배선의 타단에 접속하는 드레인 드라이버 전원 접속 배선과, 상기 게이트 데이터 배선에 접속하는 게이트 데이터 접속 배선과, 상기 게이트 드라이버 전원 배선에 접속하는 게이트 드라이버 전원 접속 배선을 형성한 인터페이스 배선용 플렉시블 프린트 기판을 상기 한쪽의 기판의 상기 드레인 드라이버를 배치한 상기 게이트 드라이버의 실장측 단부에 구비한 것을 특징으로 하는 액정 표시 장치.

청구항 19.

복수의 드레인 선 및 이 드레인 선과 직교하는 복수의 게이트 선의 각 교차부에 화소를 배치한 한쪽의 기판과 컬러 필터를 갖는 다른 쪽의 기판을 접합시켜 이루어지는 액정 패널과,

상기 한쪽의 기판의 상기 게이트 선의 연장 방향 주연부에 직접 실장하고, 상기 복수의 드레인 선의 소정의 군마다 대응하여 배치한 화소에 표시 데이터 신호에 기초하는 계조 전압 신호를 인가하는 복수개의 드레인 드라이버와,

상기 한쪽의 기판의 상기 드레인 선의 연장 방향 주연부에 직접 실장하고 상기 드레인 선을 따르는 화소에 주사 전압 신호를 인가하는 복수개의 게이트 드라이버와,

상기 한쪽의 기판에 직접 형성하고 상기 드레인 드라이버 사이에 상기 표시 데이터 신호, 계조 전압 신호, 및 화소 클럭 신호를 포함하는 고속과 저속의 각종 클럭 신호를 순차 직렬로 전송하기 위한 드레인 데이터 배선과,

상기 한쪽의 기판에 직접 형성하고 상기 게이트 드라이버 사이에 상기 주사 전압 신호 및 주사 클럭 신호를 순차 직렬로 전송하기 위한 게이트 데이터 배선 및 게이트 드라이버 전원 배선과,

상기 한쪽의 기판의 상기 드레인 드라이버의 외측 주변을 따라서 드레인 드라이버 전원 배선만을 형성한 플렉시블 프린트 기판과,

상기 드레인 데이터 배선에 접속하는 드레인 데이터 접속 배선과, 상기 한쪽의 기판상에 형성하여 일단을 상기 드레인 드라이버 전원 접속 배선에 접속하는 드레인 드라이버 전원 중계 배선을 구비하고,

상기 드레인 드라이버 전원 중계 배선의 타단에 접속하는 드레인 드라이버 전원 접속 배선과, 상기 게이트 데이터 배선에 접속하는 게이트 데이터 접속 배선과, 상기 게이트 드라이버 전원 배선에 접속하는 게이트 드라이버 전원 접속 배선을 형성한 인터페이스 배선용 플렉시블 프린트 기판을 상기 한쪽의 기판의 상기 게이트 드라이버를 배치한 단부에 구비한 것을 특징으로 하는 액정 표시 장치.

청구항 20.

복수의 드레인 선 및 이 드레인 선과 직교하는 복수의 게이트 선의 각 교차부에 화소를 배치한 한쪽의 기판과 컬러 필터를 갖는 다른 쪽의 기판을 접합시켜 이루어지는 액정 패널과,

상기 한쪽의 기판의 상기 게이트 선의 연장 방향 주연부에 직접 실장하고, 상기 복수의 드레인 선의 소정의 군마다 대응하여 배치한 화소에 표시 데이터 신호에 기초하는 계조 전압 신호를 인가하는 복수개의 드레인 드라이버와,

상기 한쪽의 기판의 상기 드레인 선의 연장 방향 주연부에 직접 실장하고 상기 드레인선을 따르는 화소에 주사 전압 신호를 인가하는 복수개의 게이트 드라이버와,

상기 한쪽의 기판에 직접 형성하고 상기 드레인 드라이버 사이에 상기 표시 데이터 신호, 계조 전압 신호, 및 화소 클럭 신호를 포함하는 고속과 저속의 각종 클럭 신호를 순차 직렬로 전송하기 위한 드레인 데이터 배선과,

상기 한쪽의 기판에 직접 형성하고 상기 게이트 드라이버 사이에 상기 주사 전압 신호 및 주사 클럭 신호를 순차 직렬로 전송하기 위한 게이트 데이터 배선 및 게이트 드라이버 전원 배선과,

상기 한쪽의 기판의 상기 드레인 드라이버의 외측 주변을 따라서 드레인 드라이버 전원 배선만을 형성한 드레인 드라이버 전원 배선용 플렉시블 프린트 기판을 배치함과 함께, 상기 드레인 데이터 배선에 접속하는 드레인 데이터 접속 배선과 상기 게이트 데이터 배선에 접속하는 게이트 데이터 접속 배선과 상기 게이트 드라이버 전원 배선에 접속하는 게이트 드라이버 전원 접속 배선을 형성한 인터페이스 배선용 플렉시블 프린트 기판을 상기 한쪽의 기판의 상기 게이트 드라이버측에 배치한 것을 특징으로 하는 액정 표시 장치.

청구항 21.

액정층이 개재된 한쌍의 기판을 가지고, 상기 한쌍의 기판의 한쪽은 제1의 방향으로 연장되는 복수의 게이트선, 상기 제1의 방향으로 교차하는 제2의 방향으로 연장되는 복수의 드레인 선 및 상기 제1 및 제2의 방향으로 배치되고 또한 스위칭 소자를 각각 갖는 복수의 화소를 구비한 액정 패널과,

상기 제1의 방향을 따라 병치되고 또한 상기 복수의 화소의 스위칭 소자에 표시 데이터 신호에 따른 계조 전압 신호를 각각 인가하는 복수개의 드레인 드라이버와,

상기 제2의 방향을 따라 병치되고 또한 상기 스위칭 소자를 제어하는 복수개의 게이트 드라이버와,

상기 한쌍의 기판의 한쪽의 위에 형성되고, 각각은 적어도 상기 표시 데이터 신호와 클럭 신호를 상기 한쌍의 기판의 한쪽의 일단에 배치된 상기 복수의 드레인 드라이버의 제1번째에 공급하고, 또한 상기 표시 데이터 신호와 상기 클럭 신호를 상기 복수의 드레인 드라이버의 제1번째로부터 순서대로 상기 복수의 드레인 드라이버 사이로부터 전송시키는 배선을 구비하고,

상기 복수의 드레인 드라이버의 적어도 하나는, 상기 클럭 신호에 의해 제어되는 적어도 하나의 게이트 회로를 가지고, 상기 적어도 하나의 게이트 회로에 의해 상기 표시 데이터 신호 및 상기 클럭 신호의 상기 복수의 드레인 드라이버의 적어도 하나로의 수취와 상기 복수의 드레인 드라이버의 적어도 하나에 인접하여 배치되는 상기 복수의 드레인 드라이버의 다른 하나에의 전송이 전환되는 것을 특징으로 하는 액정 표시 장치.

청구항 22.

제21항에 있어서,

상기 액정 표시 장치는, 그 외부 회로로부터 표시 데이터 및 타이밍 신호를 수취하고, 이것에 따라서 상기 표시 데이터 신호 및 상기 클럭 신호를 각각 생성하는 타이밍 컨버터를 더 구비하는 것을 특징으로 하는 액정 표시 장치.

청구항 23.

제21항에 있어서,

상기 복수의 드레인 드라이버의 각각은, 상기 적어도 하나의 게이트 회로를 갖는 것을 특징으로 하는 액정 표시 장치.

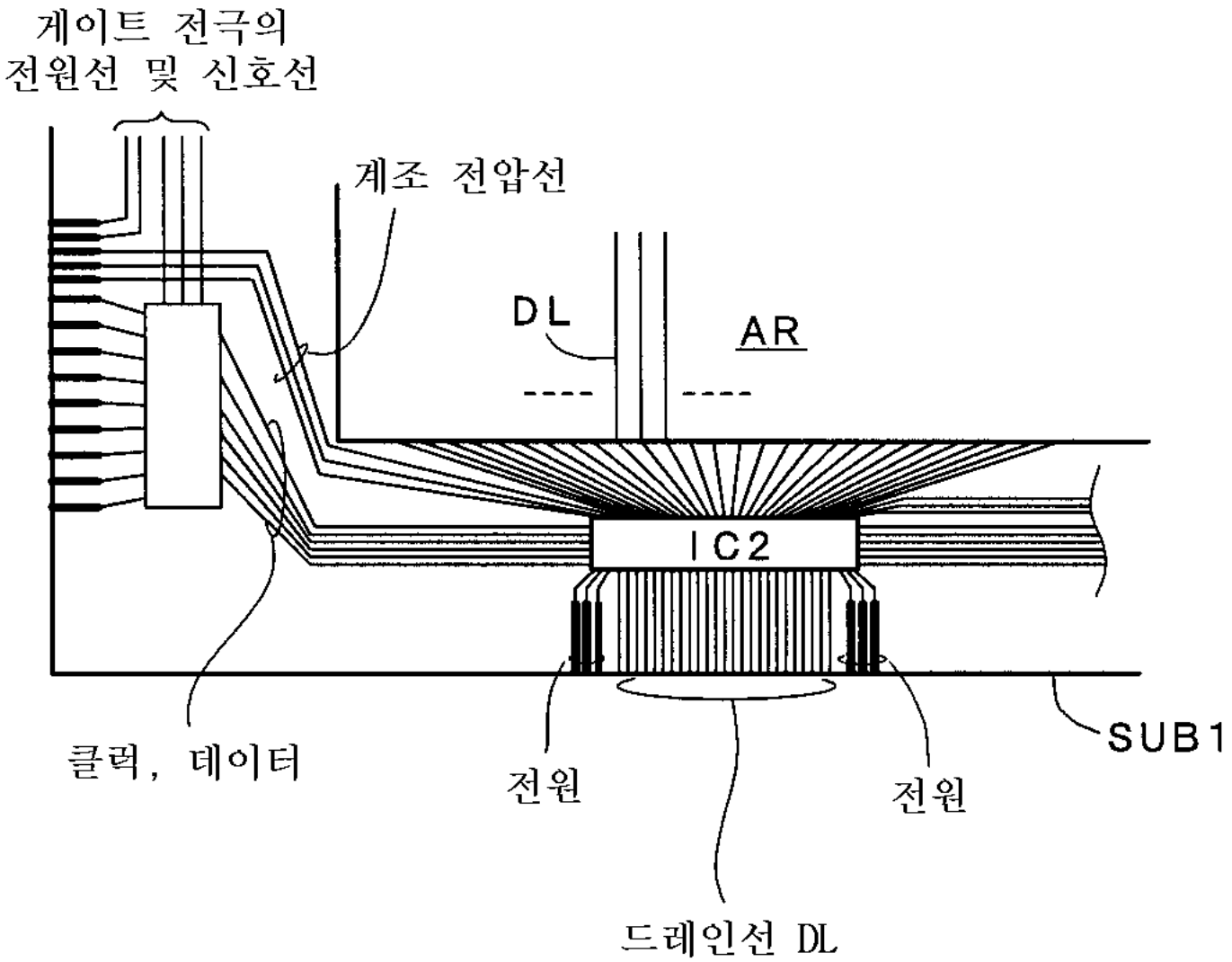
청구항 24.

제21항에 있어서,

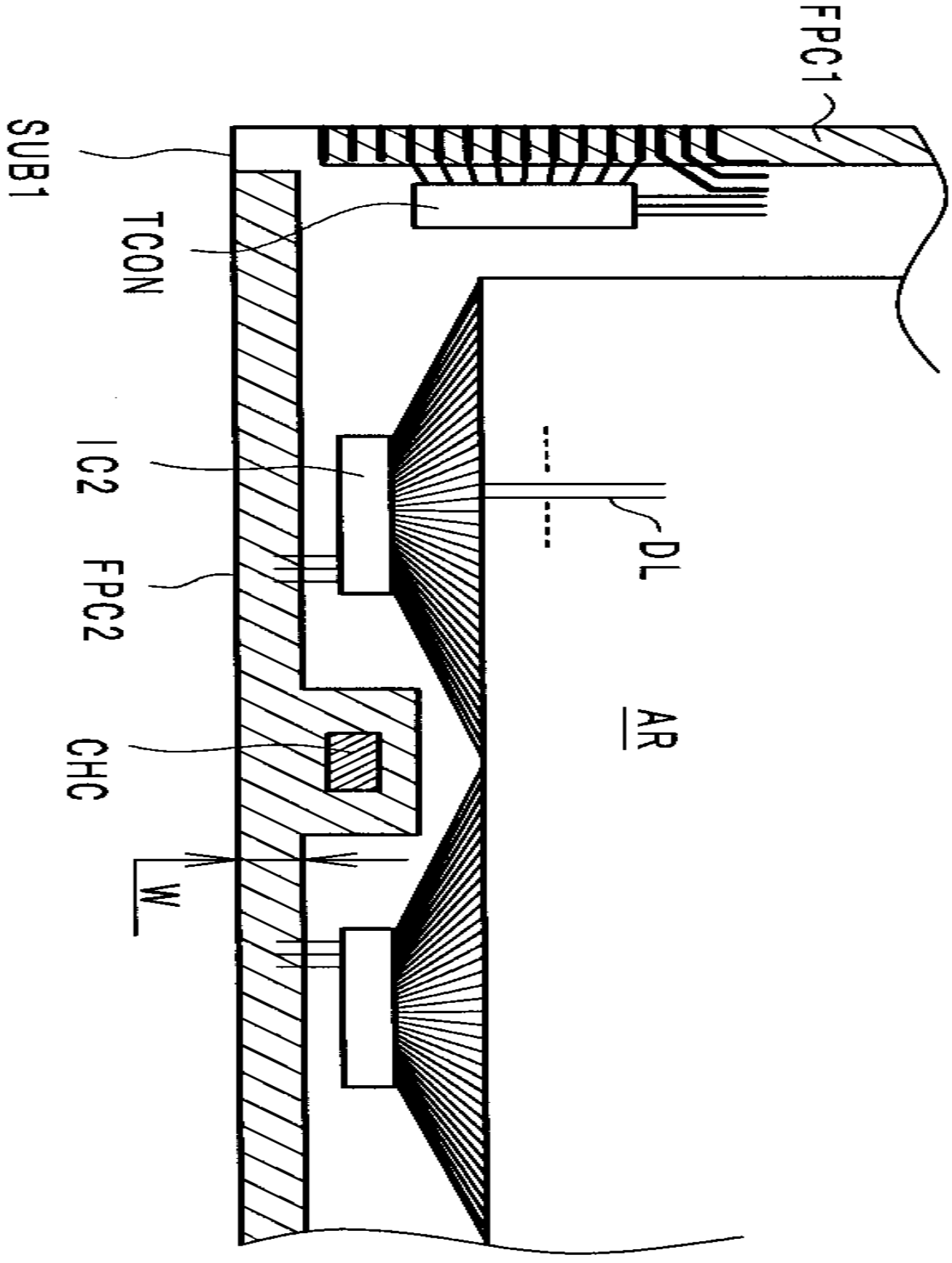
상기 적어도 하나의 게이트 회로는, 상기 복수의 드레인 드라이버의 적어도 하나에 설치된 상기 표시 데이터 신호 및 상기 클럭 신호의 입력부 및 출력부의 적어도 한쪽에 배치된 것을 특징으로 하는 액정 표시 장치.

도면

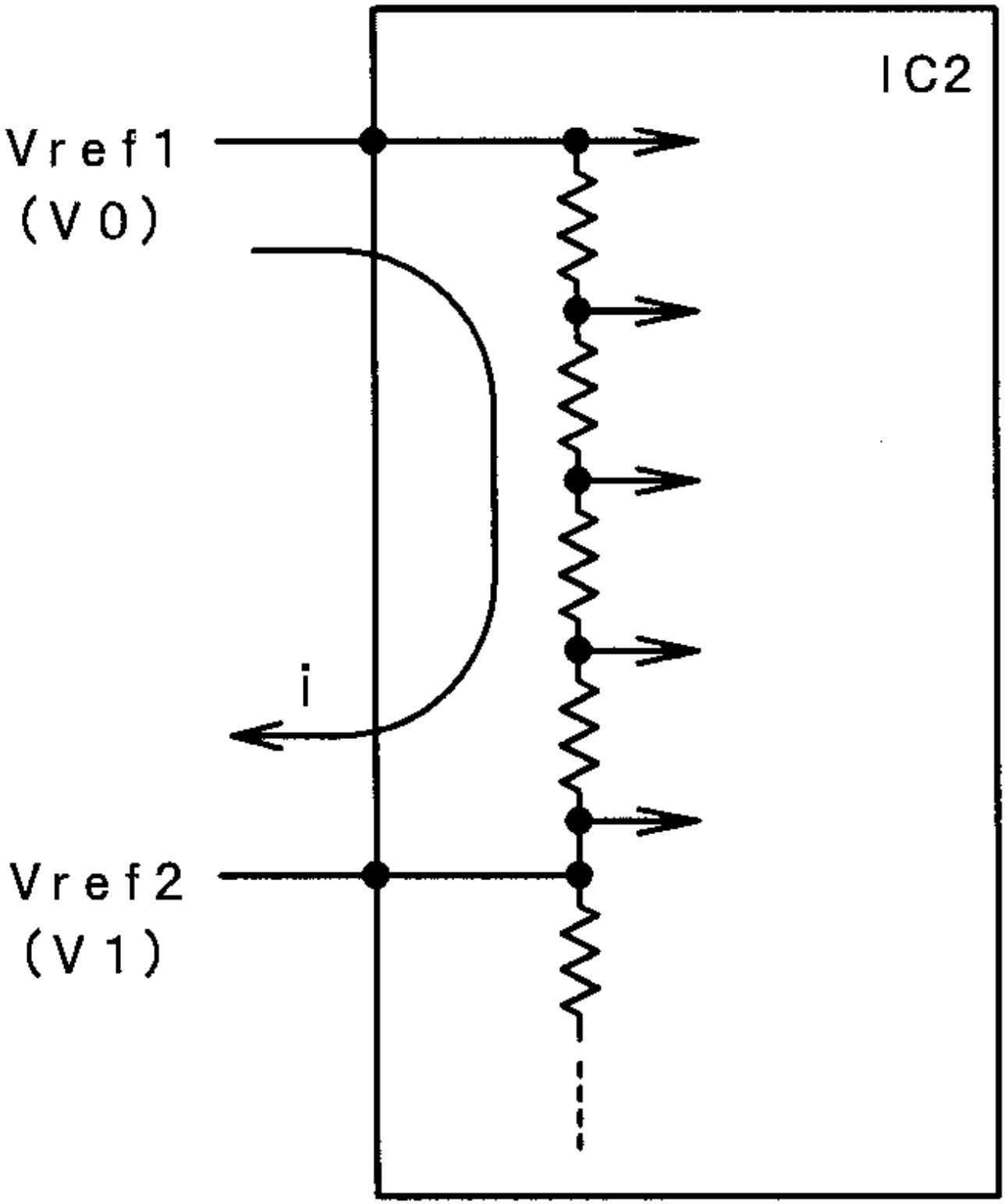
도면 1



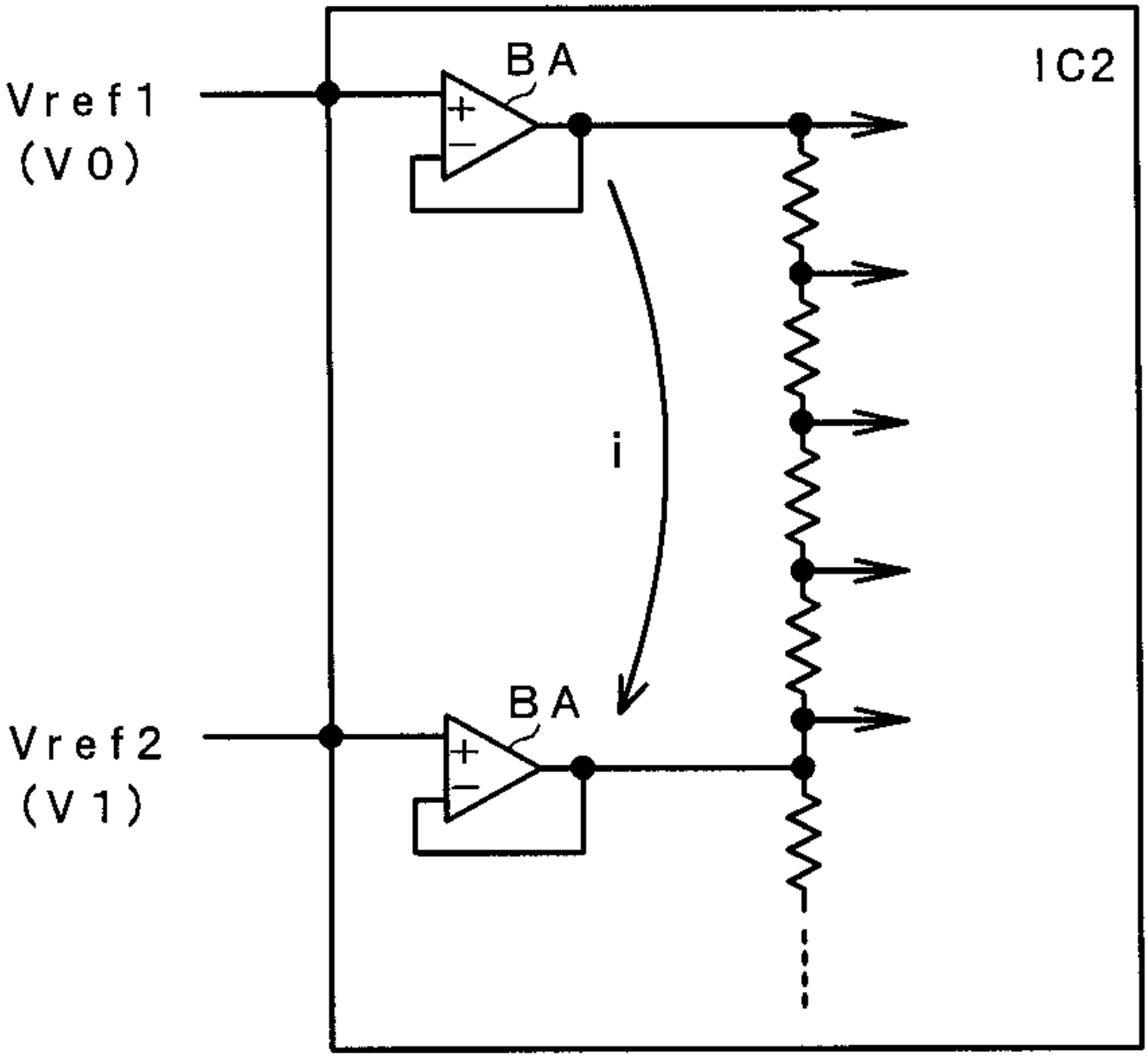
도면 2



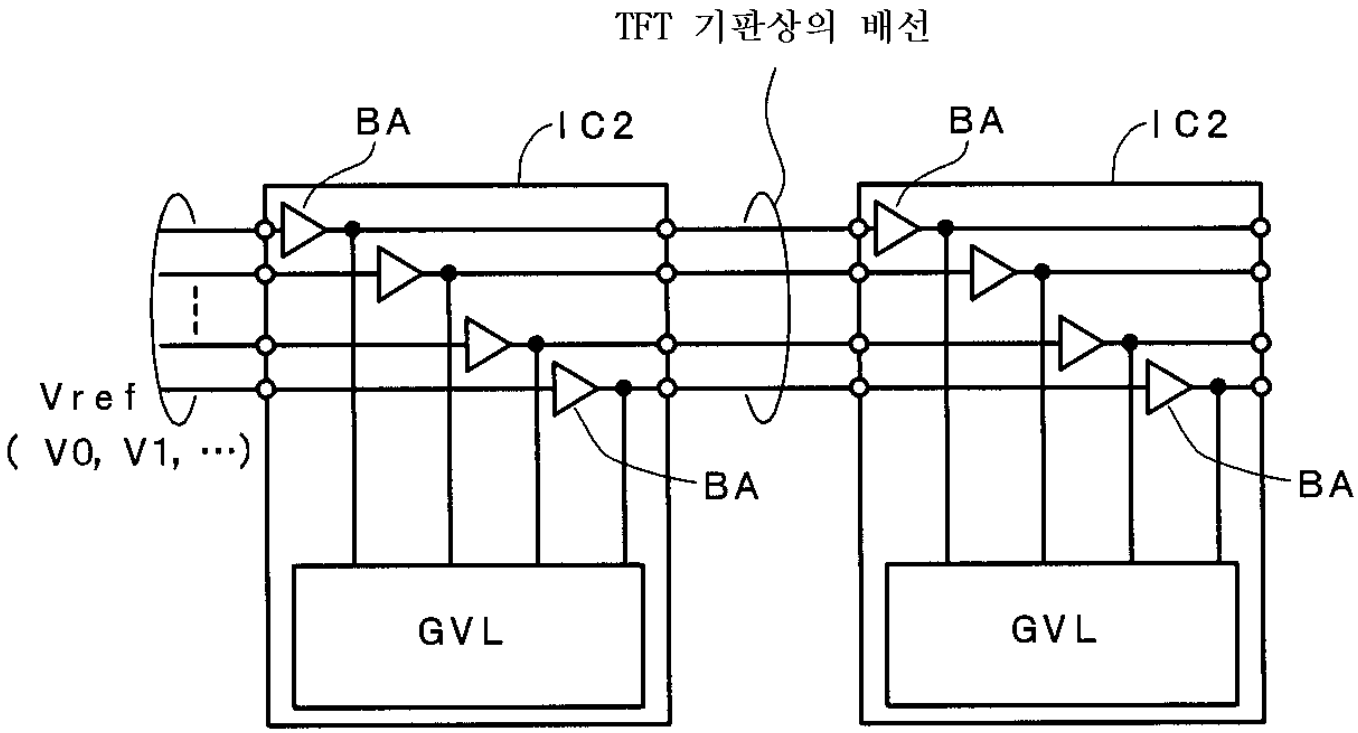
도면 3



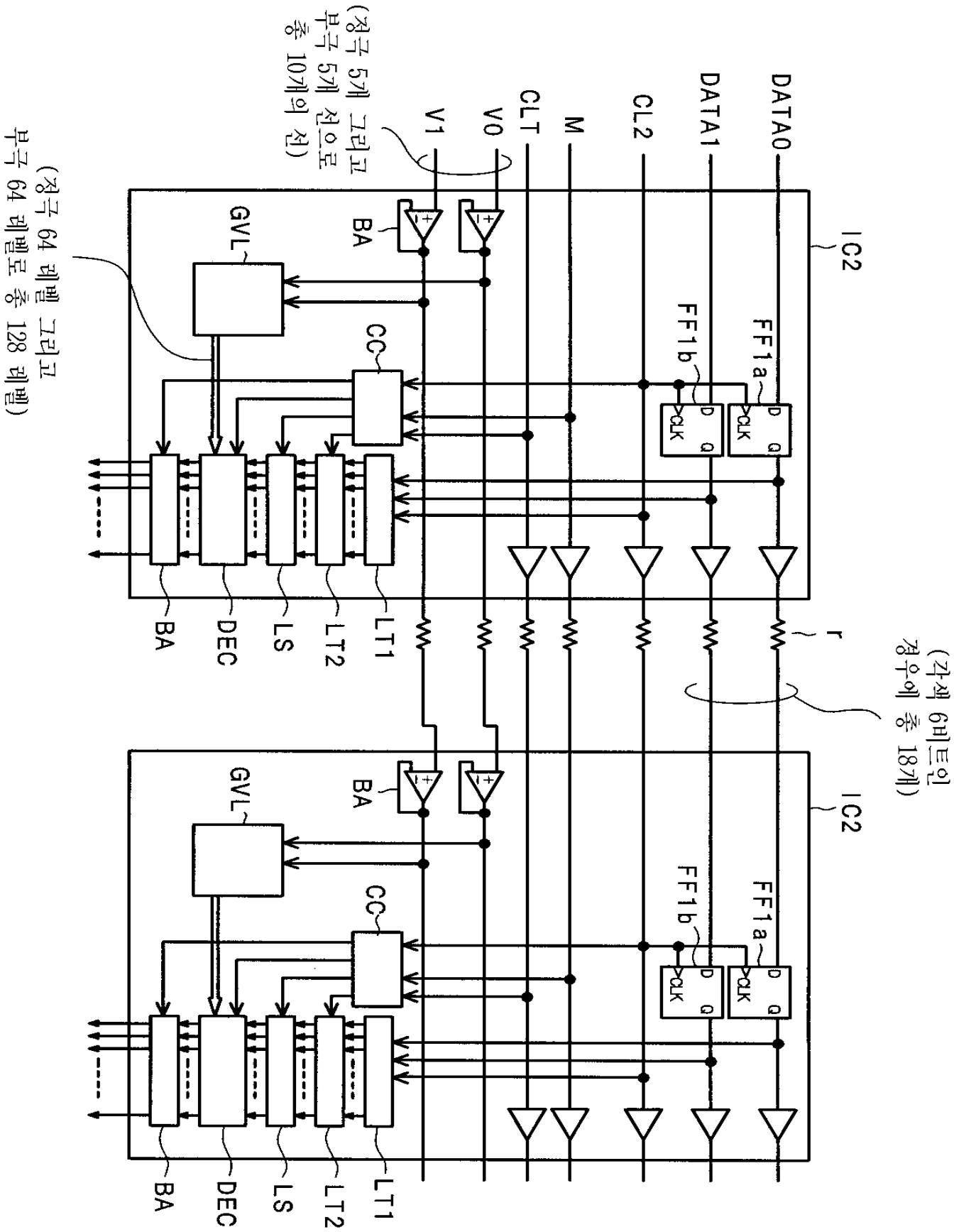
도면 4



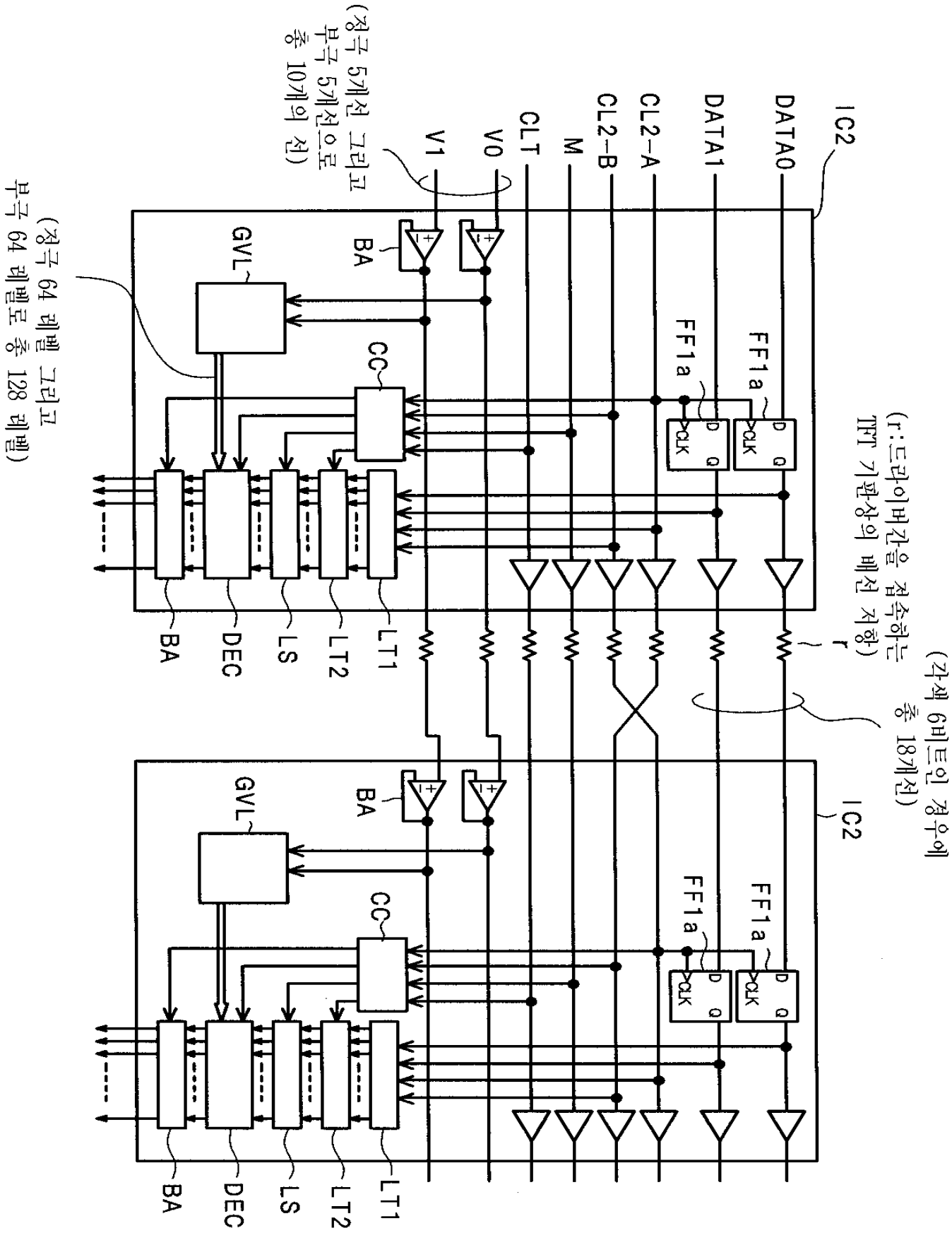
도면 5



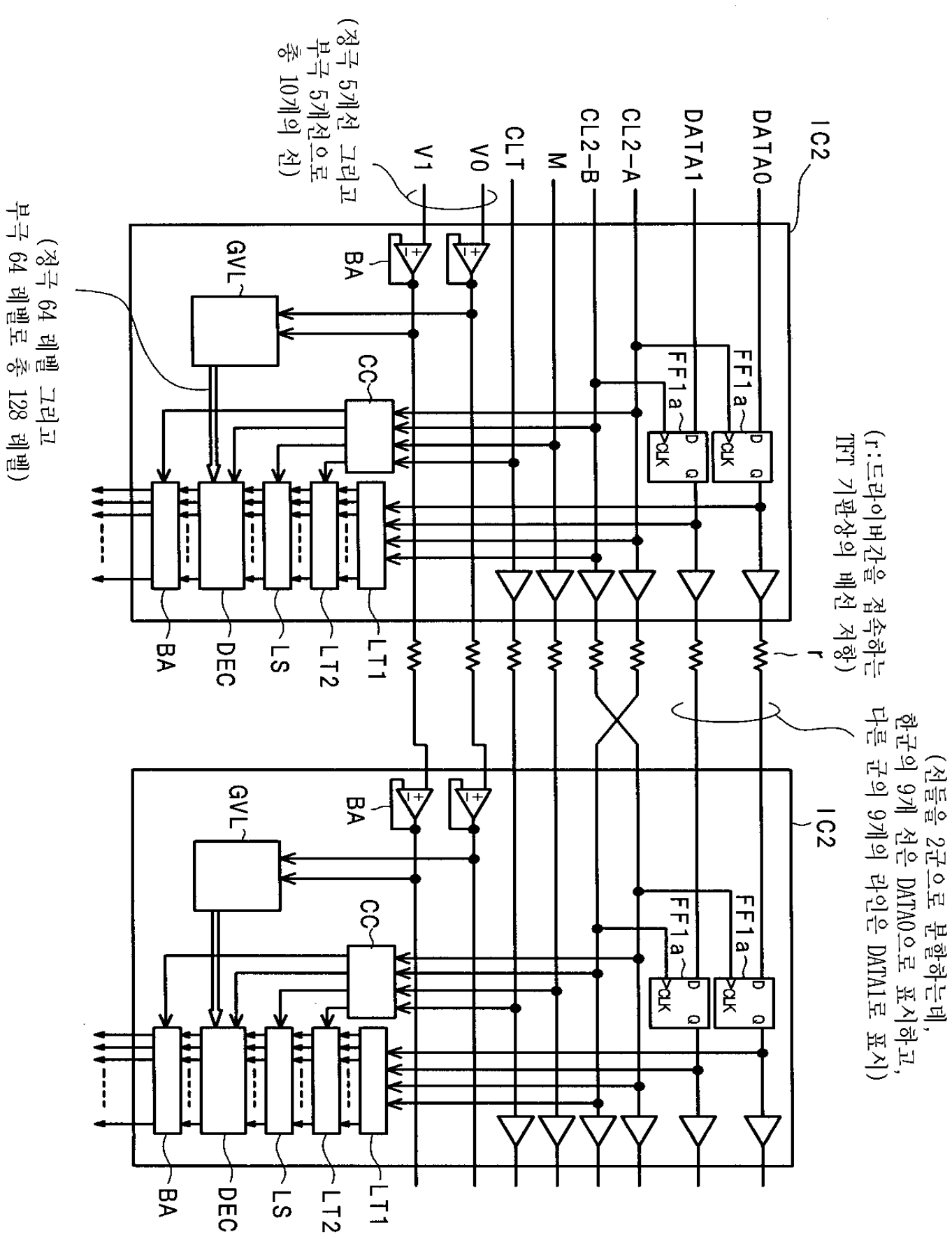
도면 6


DATA0
DATA1
CL2
M
CLT
V0
V1
(정극 5개 그리고 부극 5개 선으로 총 10개의 선)
(정극 64 레벨로 총 128 레벨)
(각색 6비트인 경우에 총 18개)
IC2
FF1a
FF1b
CLK
D
Q
BA
GVL
CC
LT1
LT2
LS
DEC
r

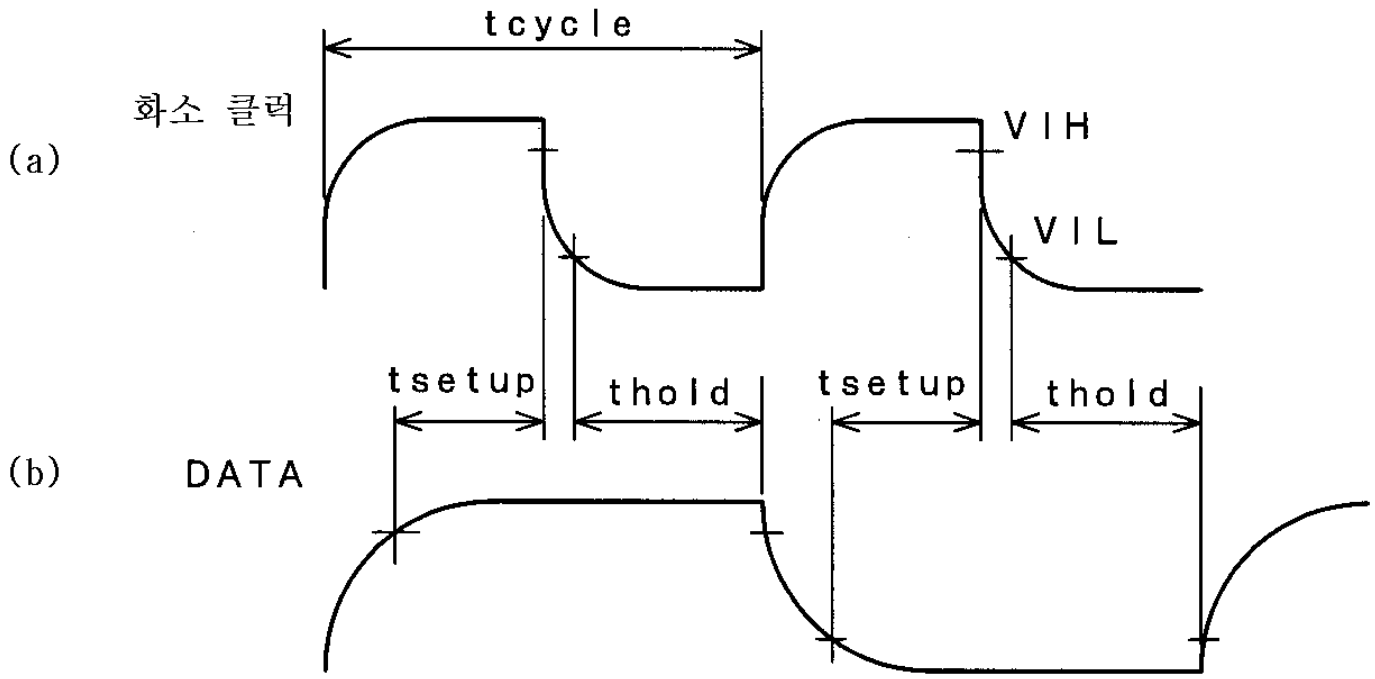
도면 7


IC2
DATA0
DATA1
CL2-A
CL2-B
M
CLT
V0
V1
(정극 5개선 그리고 부극 5개선으로 총 10개의 선)
(각색 6비트인 경우에 총 18개선)
(r:드라이버간을 접속하는 TFT 기판상의 배선 저항)
r
FF1a
D
Q
CLK
BA
GVL
CC
DEC
LS
LT2
LT1
(정극 64 레벨 그리고 부극 64 레벨로 총 128 레벨)

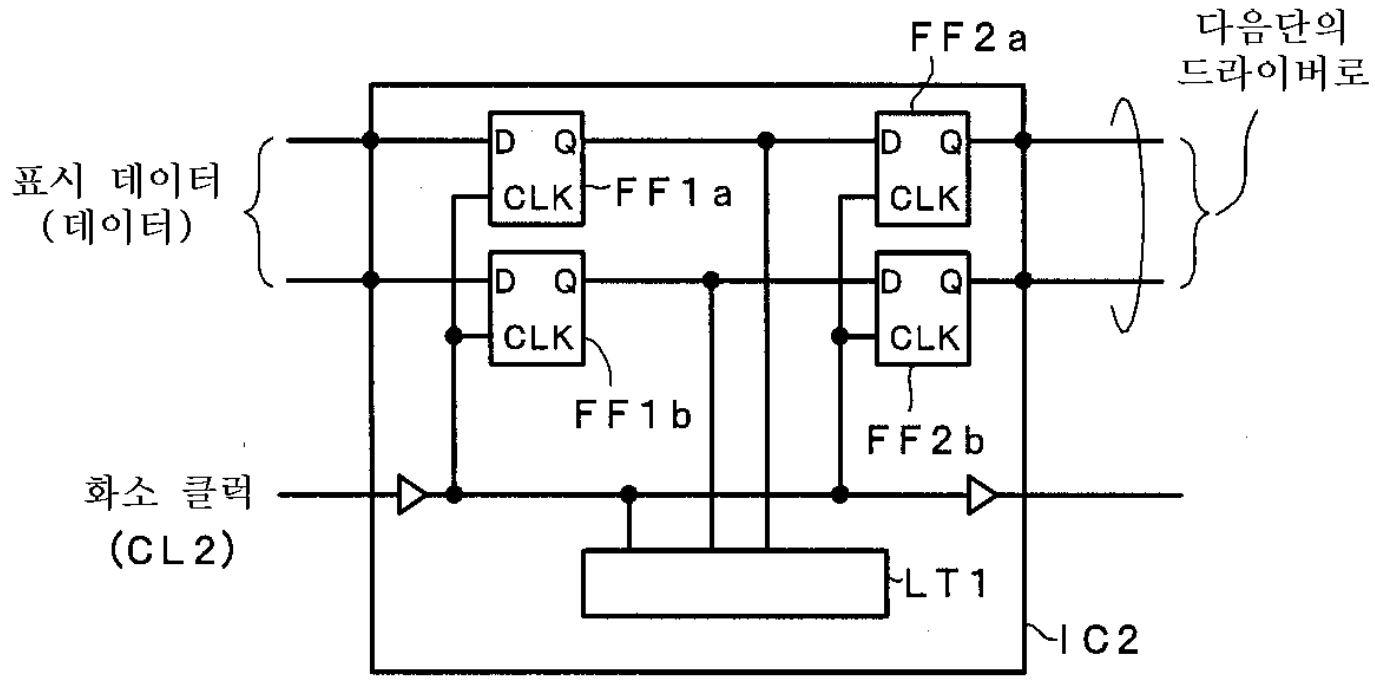
도면 8


IC2
DATA0
DATA1
CL2-A
CL2-B
M
CLT
V0
V1
(정극 5개선 그리고
부극 5개선으로
총 10개의 선)
(r:드라이버간을 접속하는
TFT 기판상의 배선 저항)
(선들을 2군으로 분할하는데,
한군의 9개 선은 DATA0으로 표시하고,
다른 군의 9개의 라인은 DATA1로 표시)
FF1a
D
CLK
Q
r
BA
GVL
CC
DEC
LS
LT2
LT1
(정극 64 레벨 그리고
부극 64 레벨로 총 128 레벨)

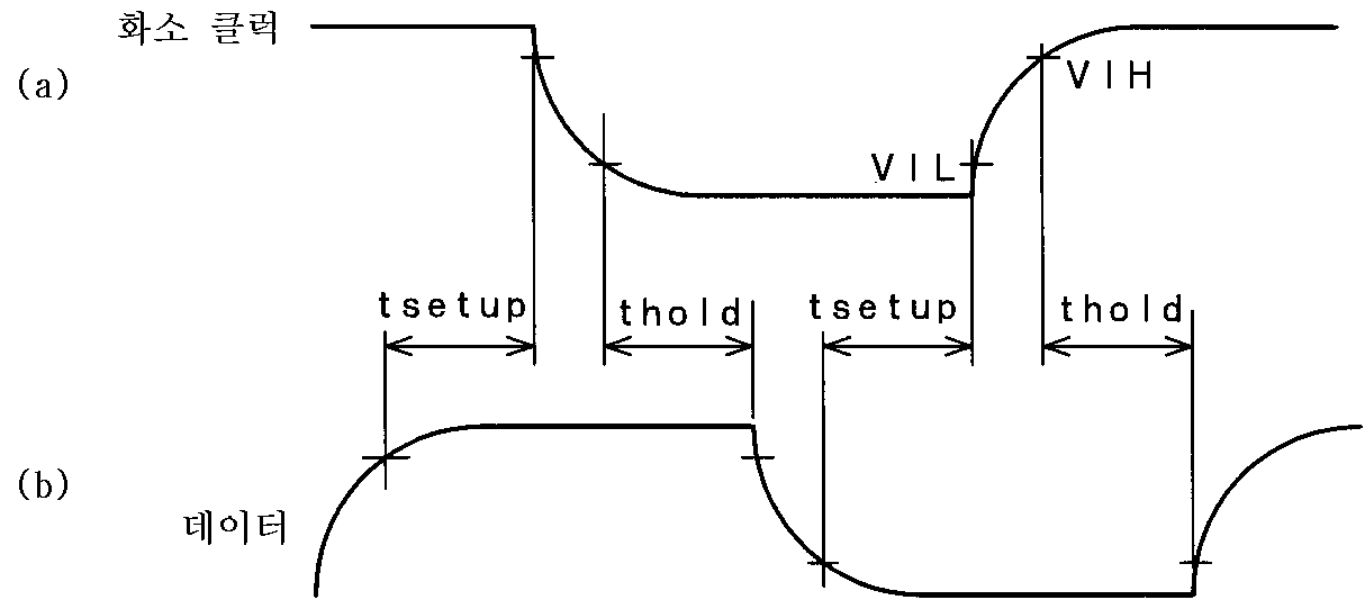
도면 9


tcycle
화소 클럭
(a)
VIH
VIL
tsetup
thold
tsetup
thold
(b)
DATA

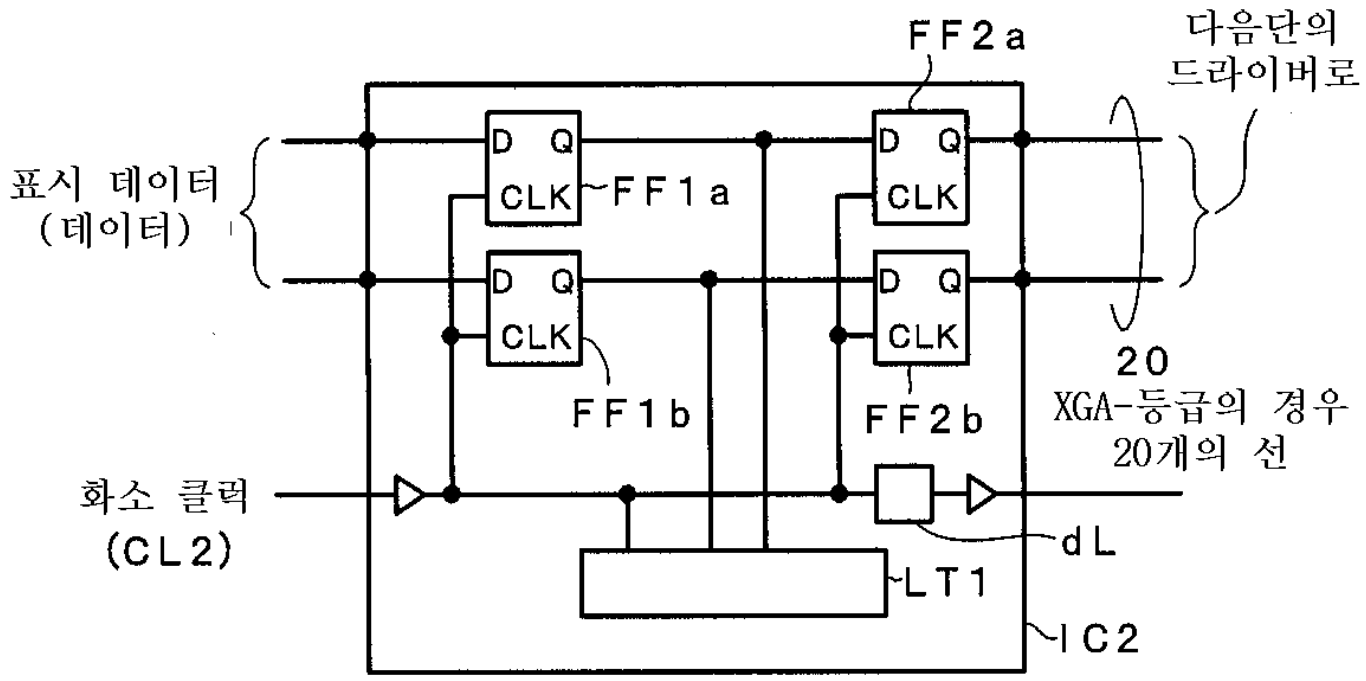
도면 10


FF2a
다음단의
드라이버로
표시 데이터
(데이터)
D Q
CLK
FF1a
D Q
CLK
D Q
CLK
D Q
CLK
FF1b
FF2b
화소 클럭
(CL2)
LT1
IC2

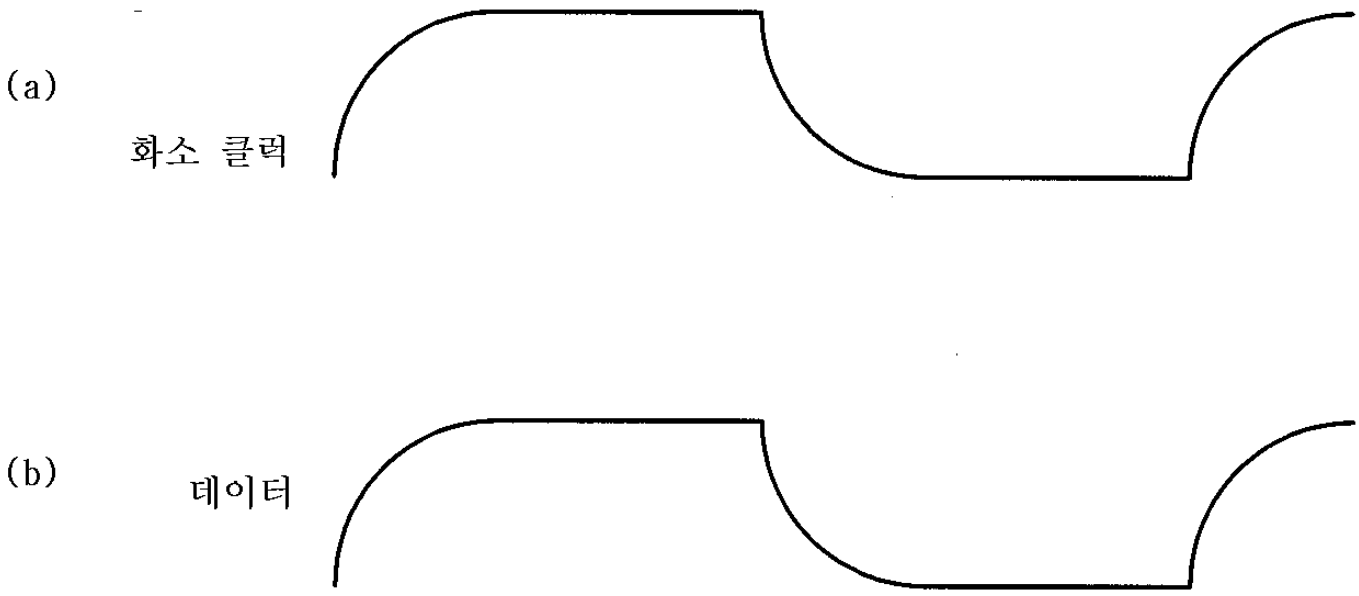
도면 11


화소 클럭
(a)
VIH
VIL
tsetup
thold
tsetup
thold
(b)
데이터

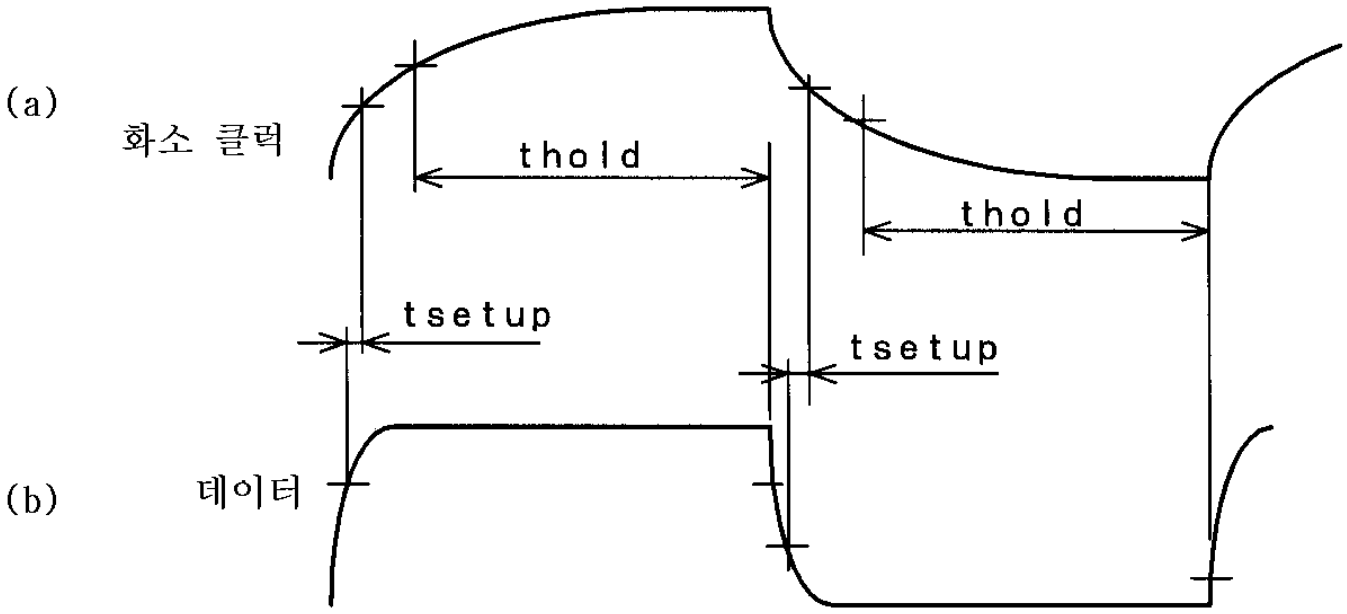
도면 12


FF2a
다음단의
드라이버로
표시 데이터
(데이터)
D Q
CLK
FF1a
FF1b
FF2b
20
XGA-등급의 경우
20개의 선
화소 클럭
(CL2)
dL
LT1
IC2

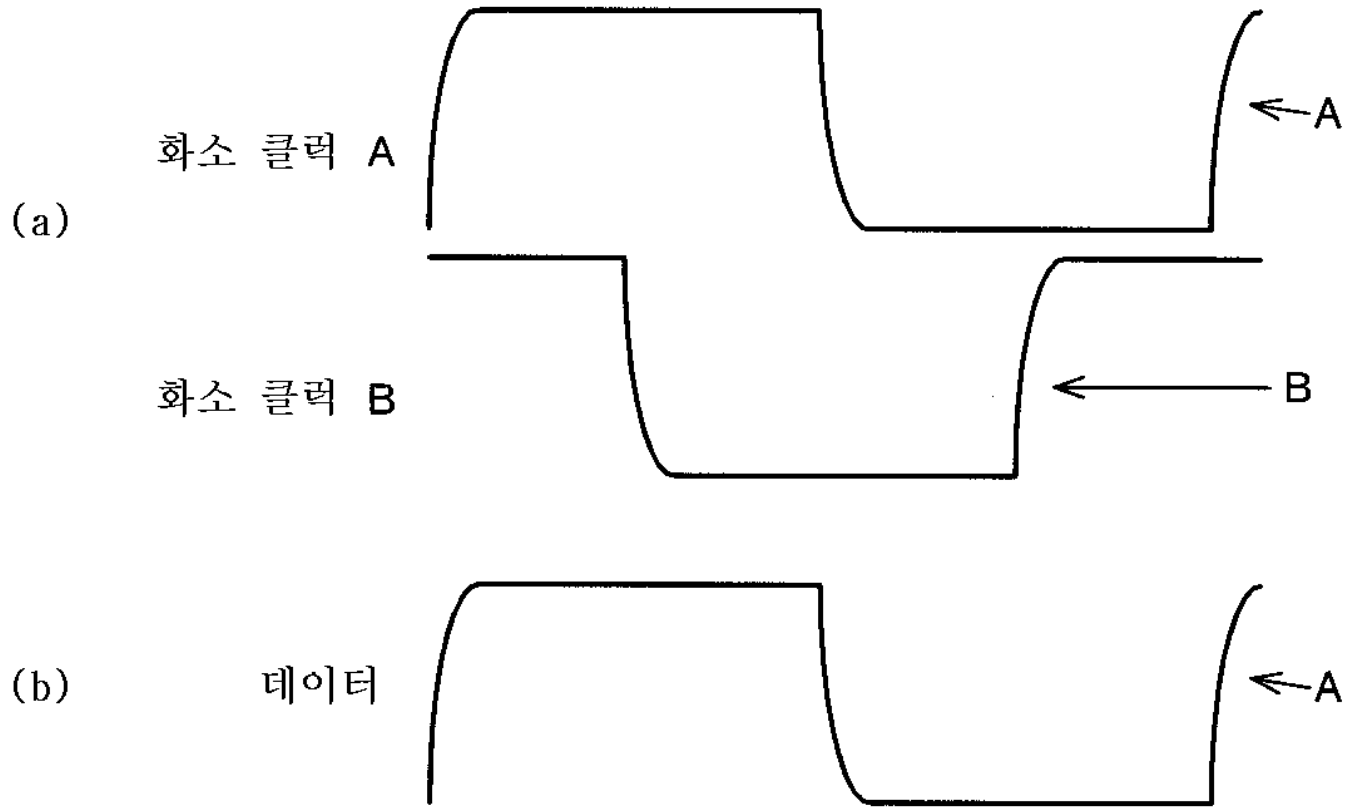
도면 13



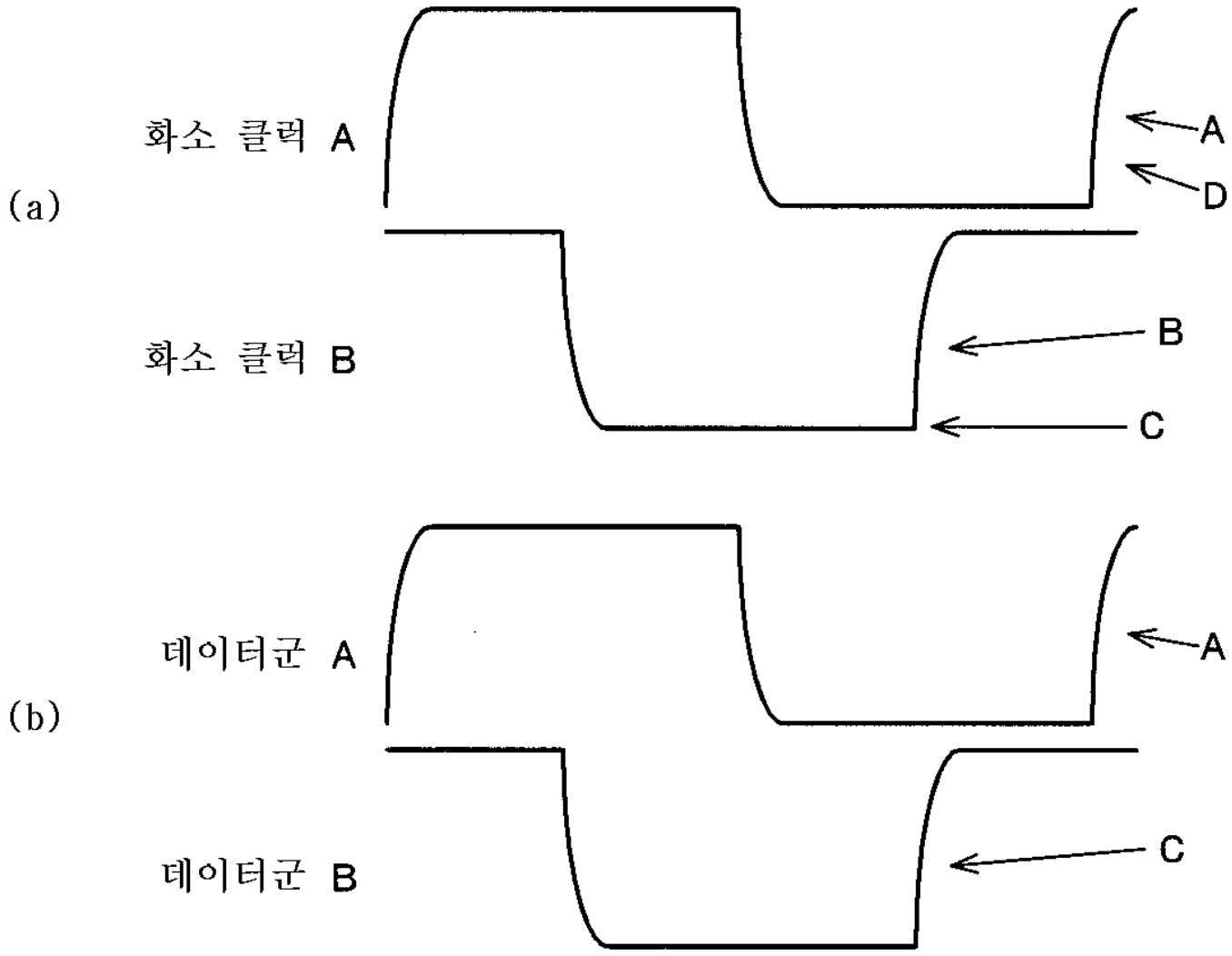
도면 14



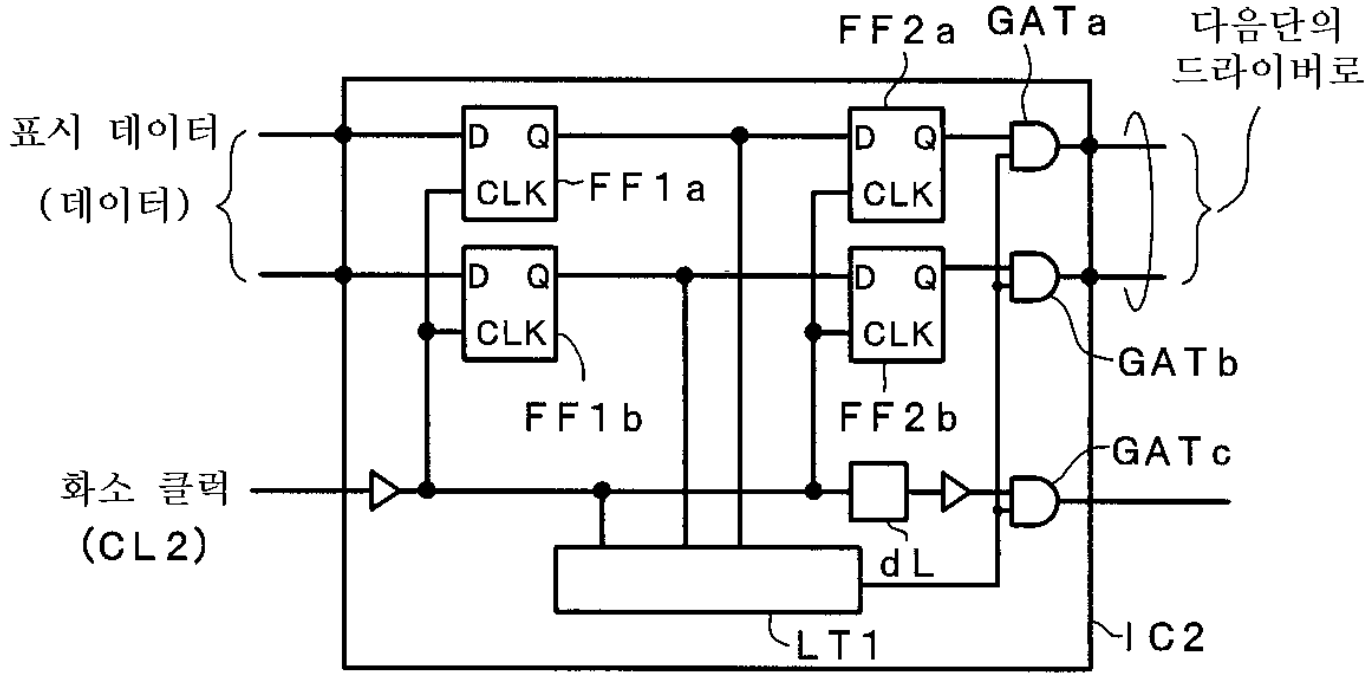
도면 15



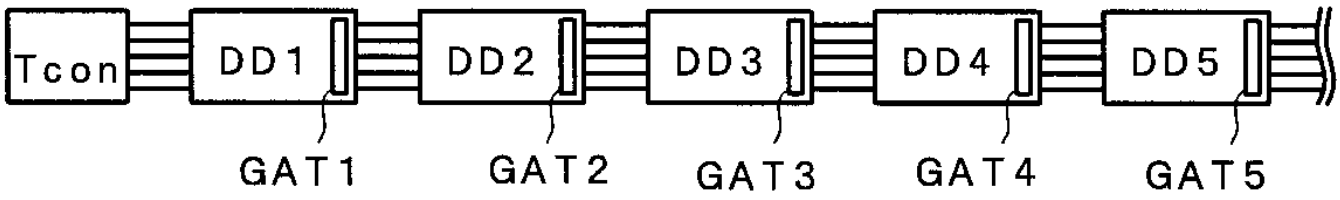
도면 16



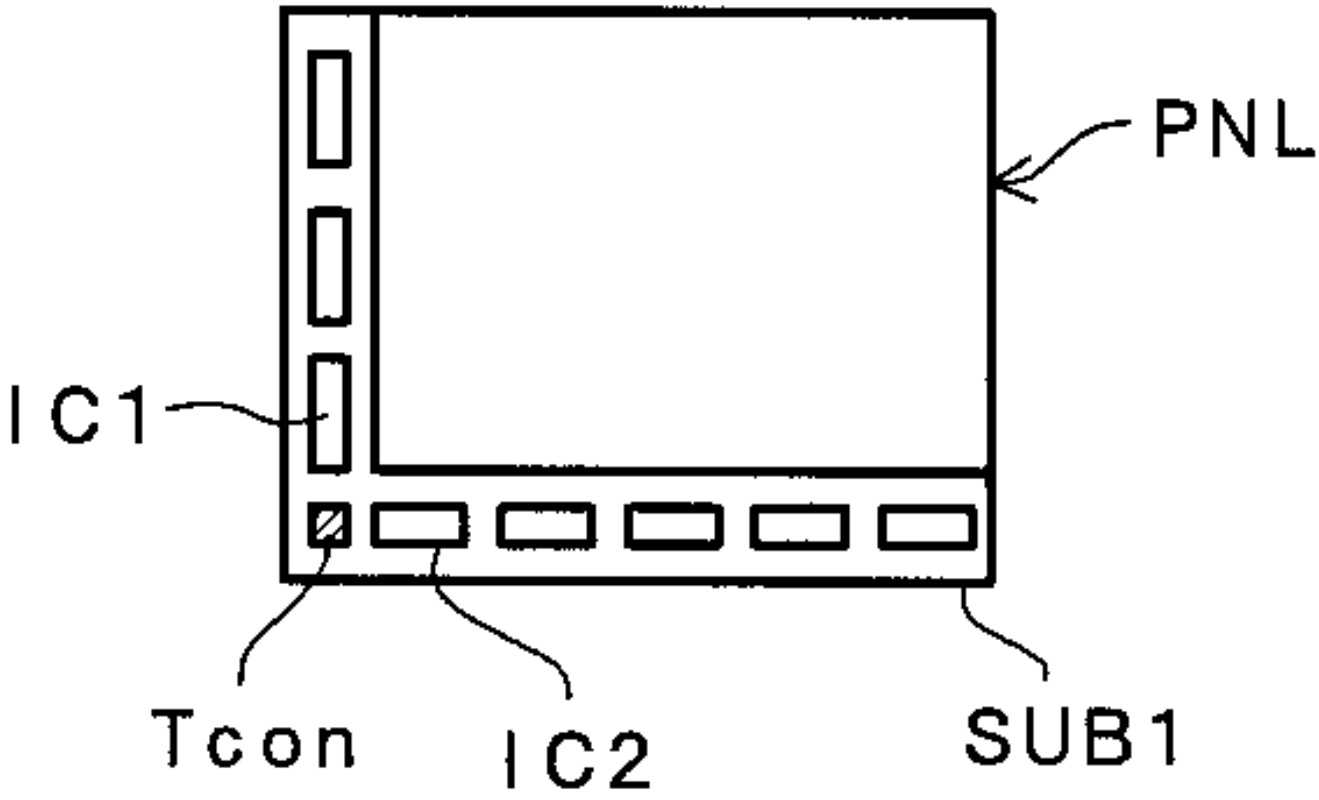
도면 17a


FF2a
GATa
다음단의
드라이버로
표시 데이터
(데이터)
D Q
CLK
FF1a
D Q
CLK
FF1b
D Q
CLK
FF2b
D Q
CLK
GATb
GATc
화소 클럭
(CL2)
dL
LT1
IC2

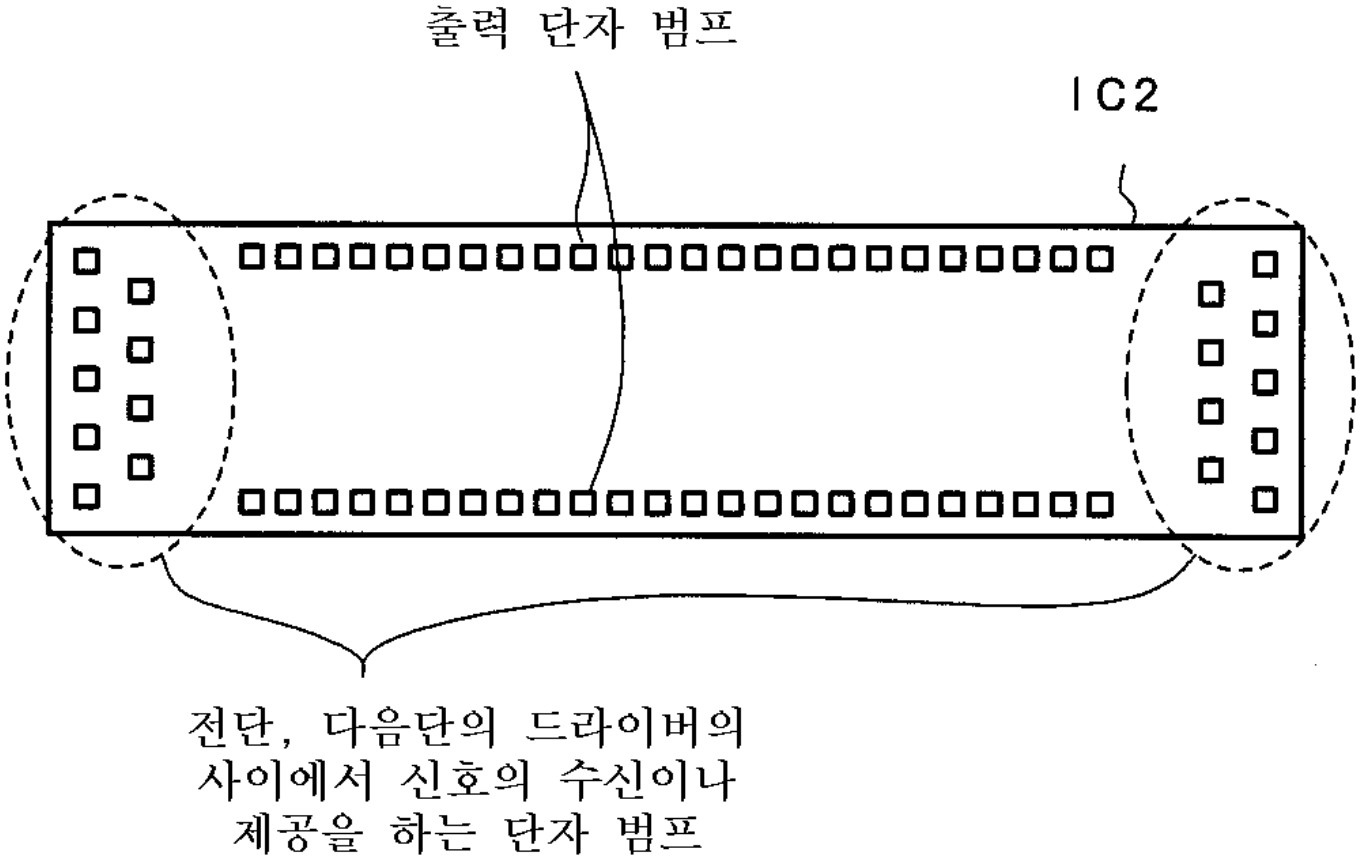
도면 17b


Tcon
DD1
DD2
DD3
DD4
DD5
GAT1
GAT2
GAT3
GAT4
GAT5

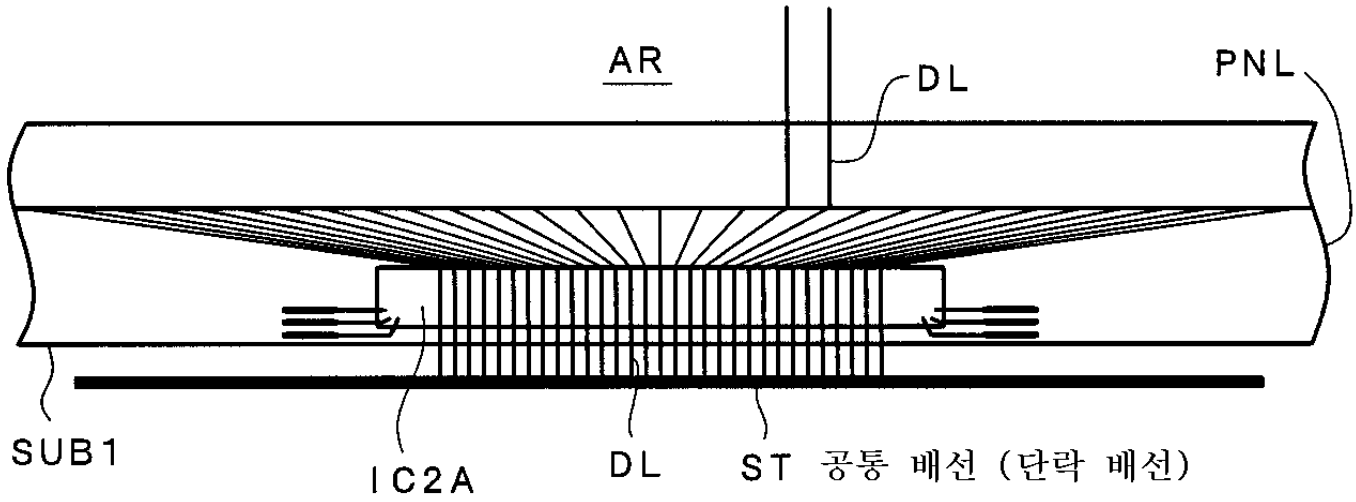
도면 18


PNL
IC1
Tcon
IC2
SUB1

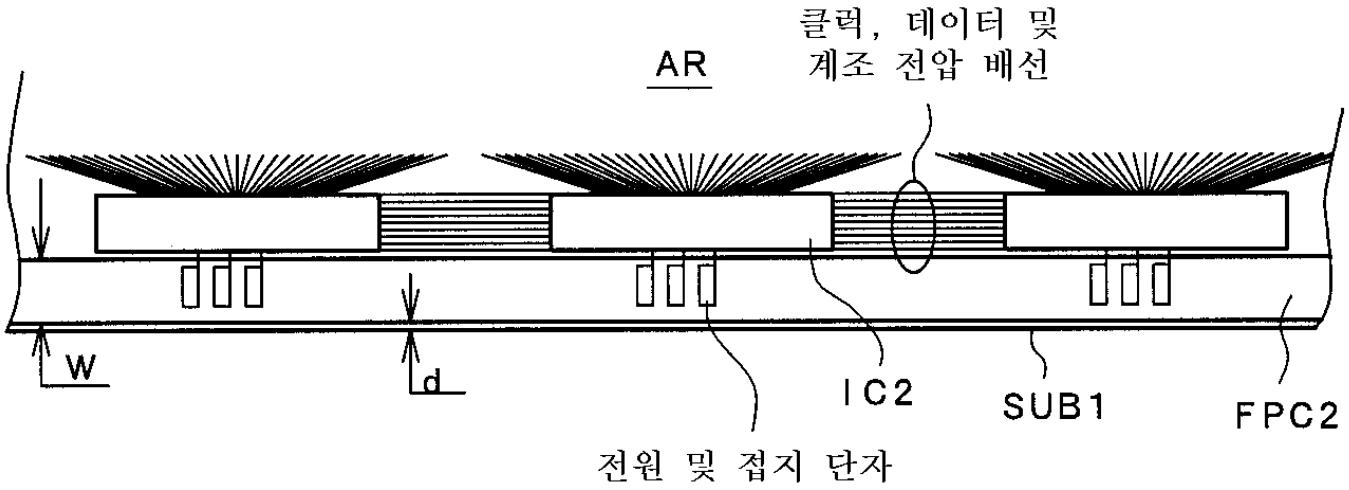
도면 19


출력 단자 범프
IC2
전단, 다음단의 드라이버의
사이에서 신호의 수신이나
제공을 하는 단자 범프

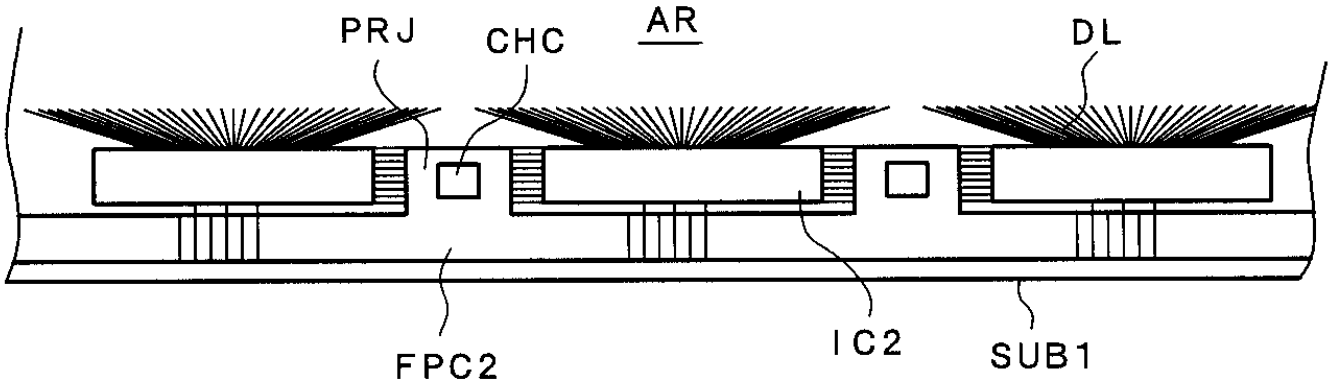
도면 20



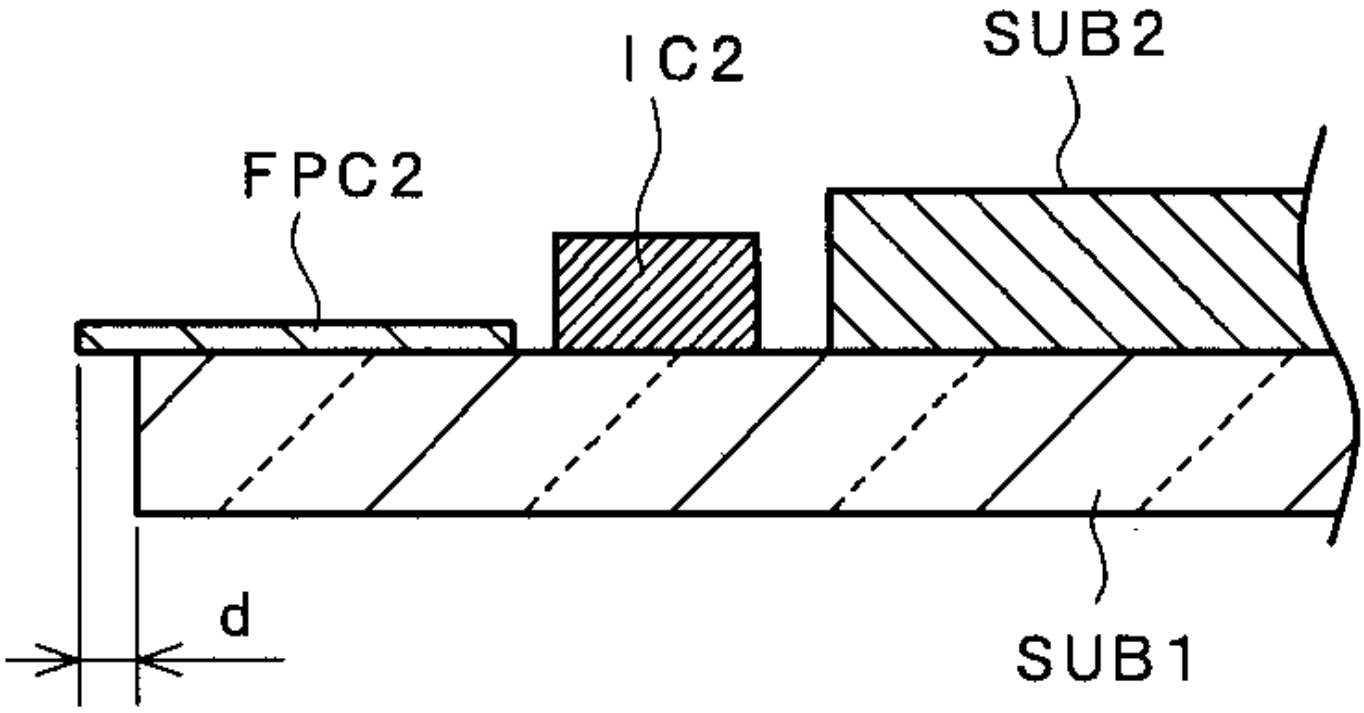
도면 21



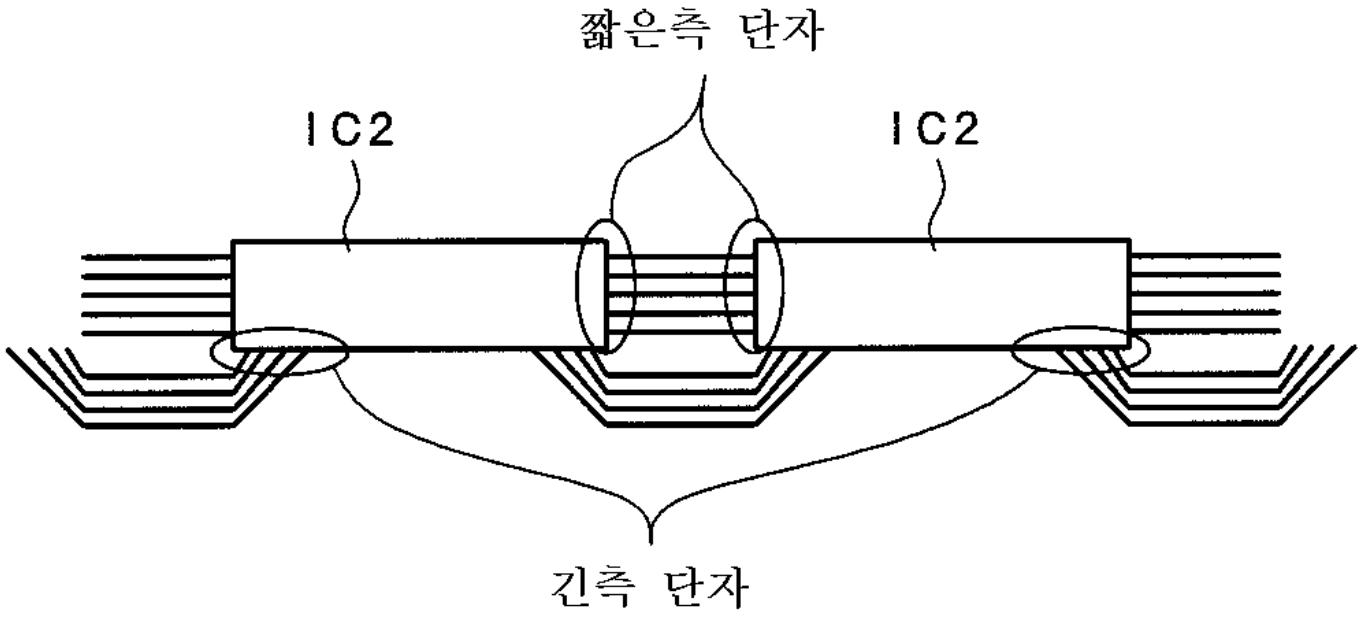
도면 22



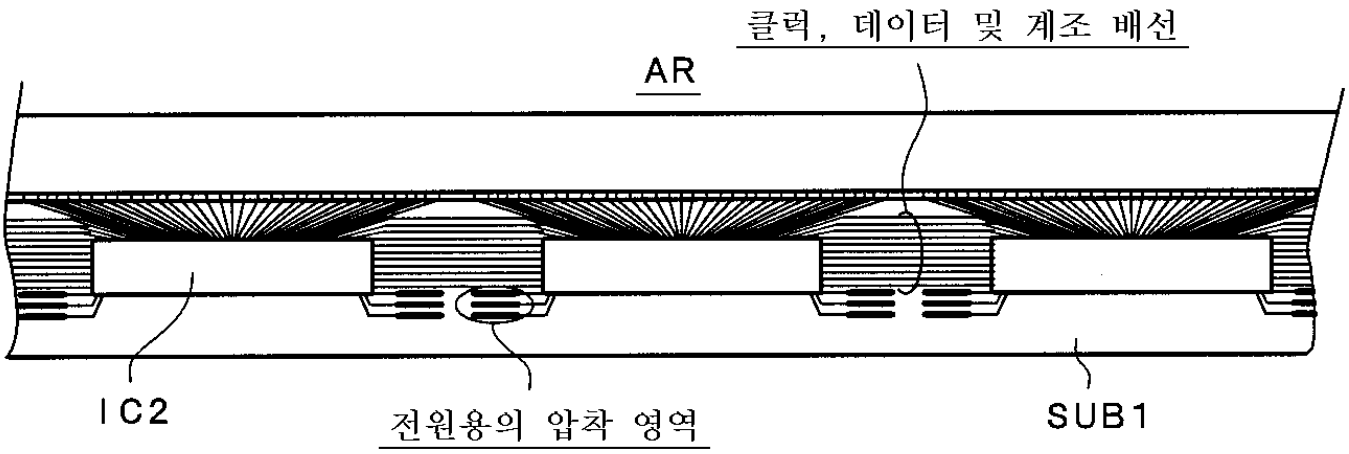
도면 23



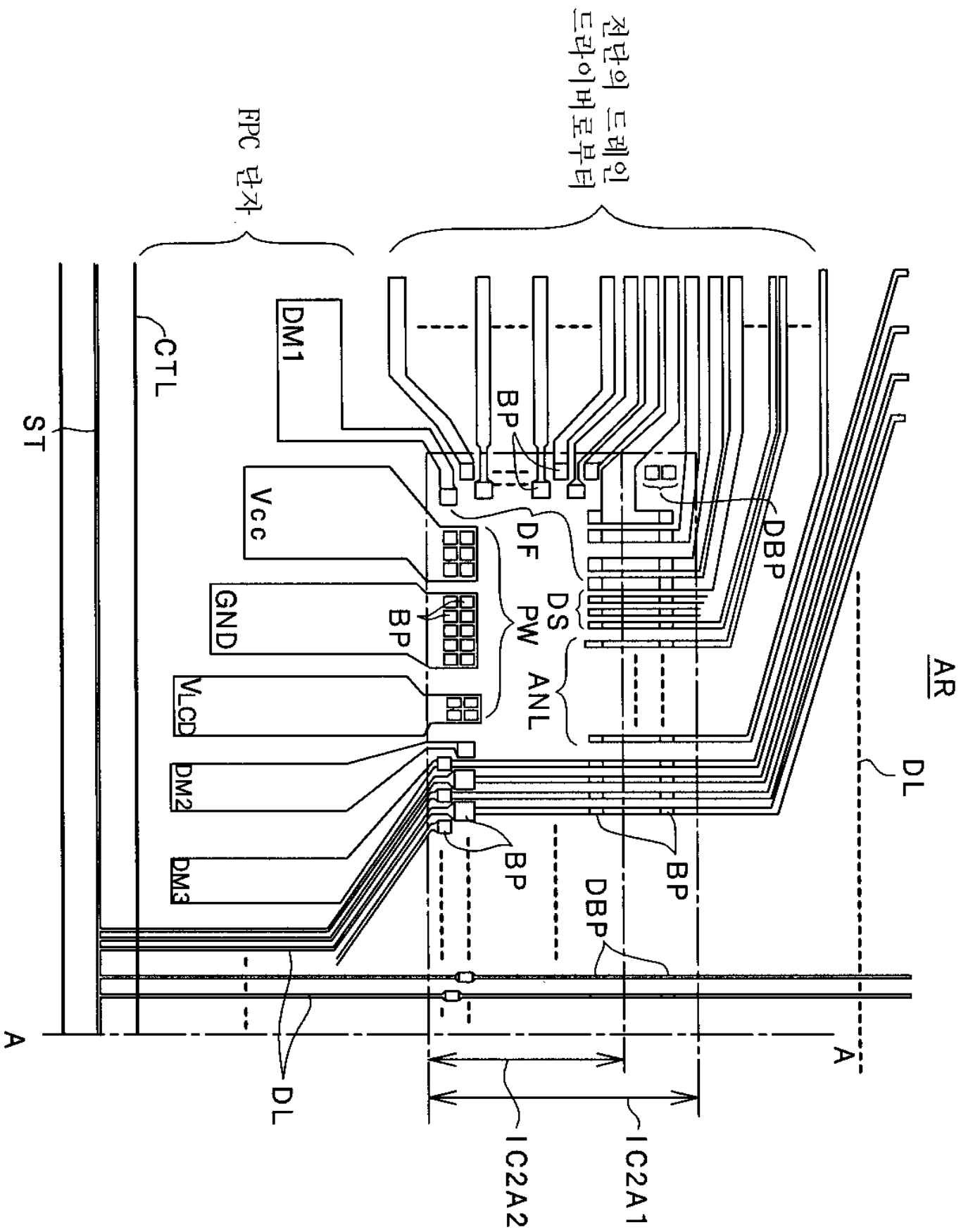
도면 24



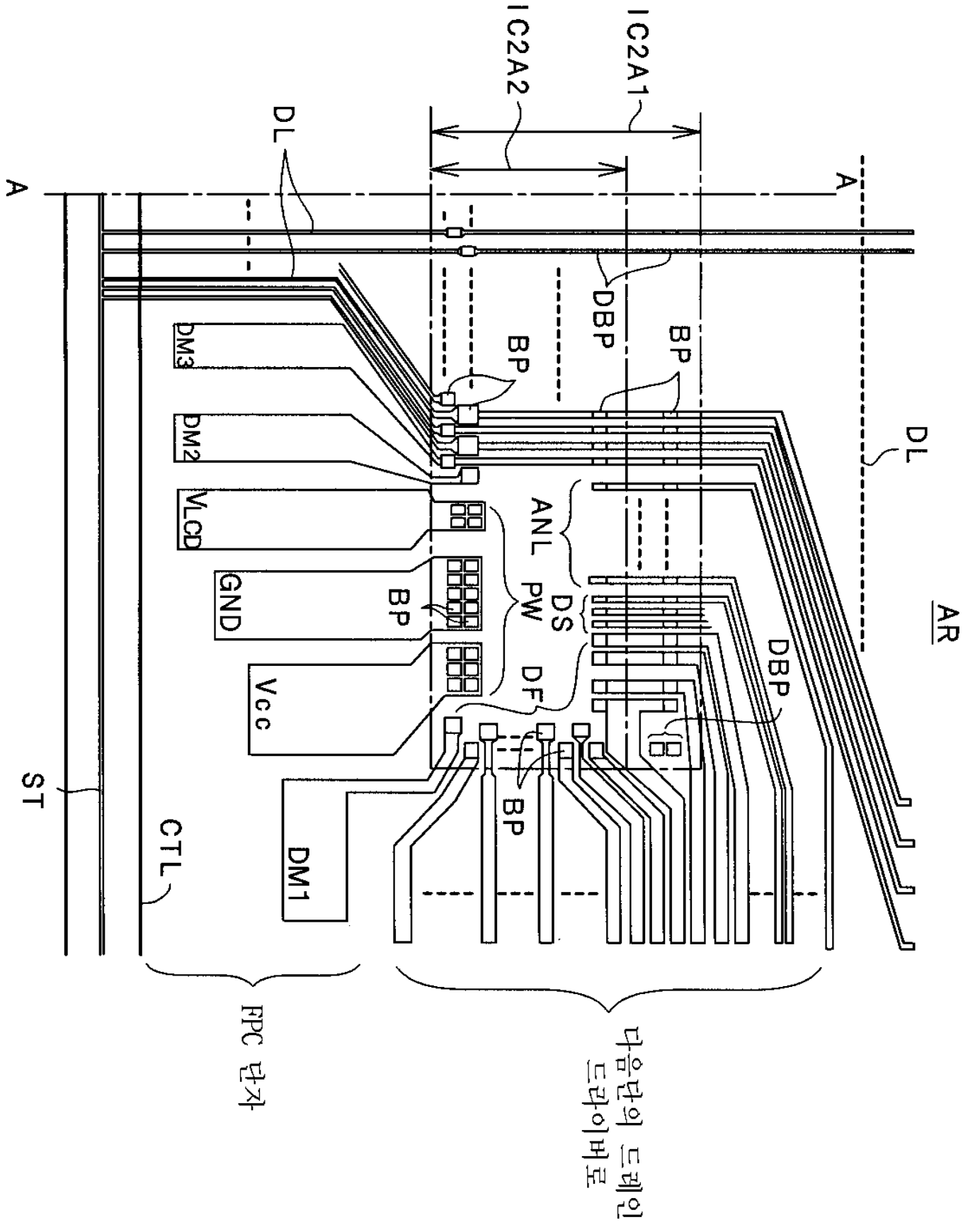
도면 25



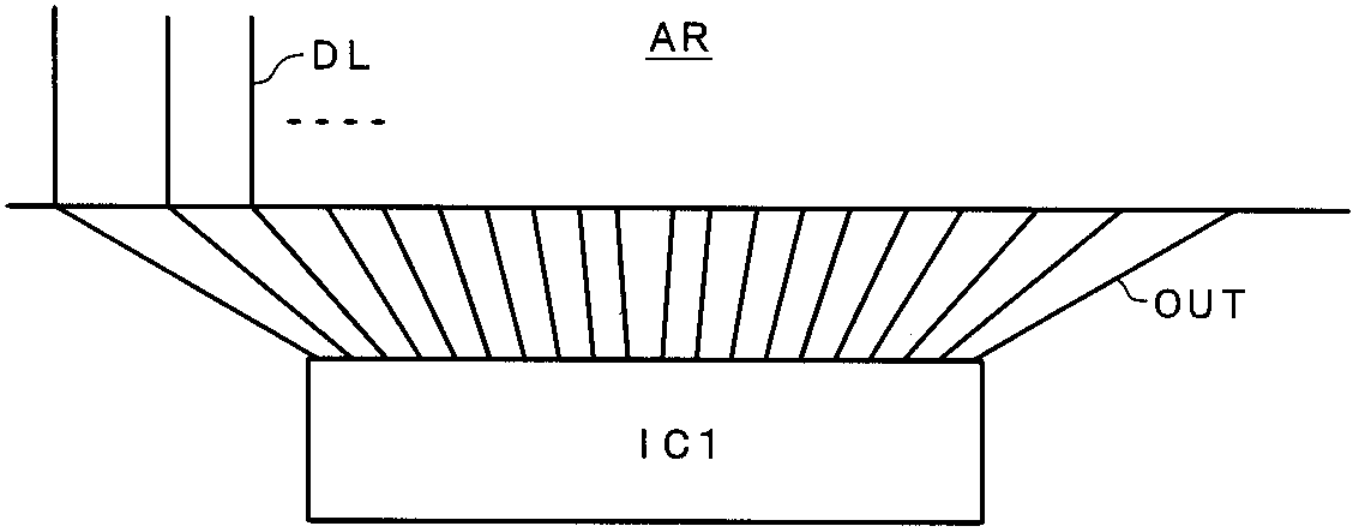
도면 26


전단의 드레인 드라이버로부터
FPC 단자
AR
ST
CTL
DM1
Vcc
GND
VLCD
DM2
DM3
BP
DF
DS
PW
ANL
DBP
DL
A
IC2A2
IC2A1

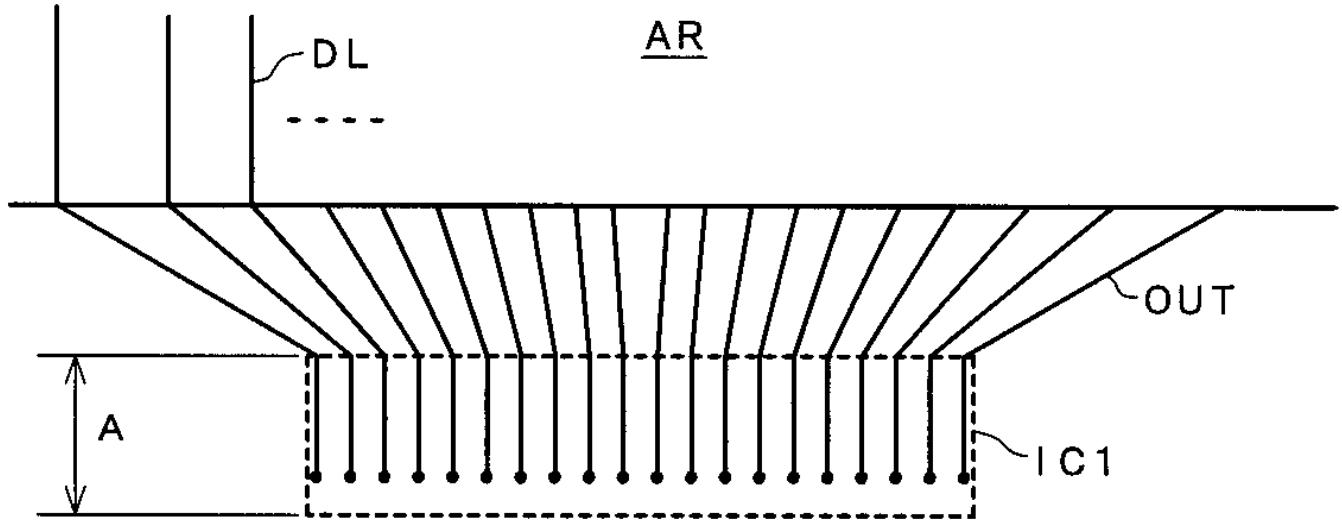
도면 27


IC2A2
IC2A1
DL
A
DBP
BP
DM3
DM2
VLCD
GND
Vcc
DM1
ANL
PW
DS
DF
AR
ST
CTL
FPC 단자
다음단의 드레인 드라이버로

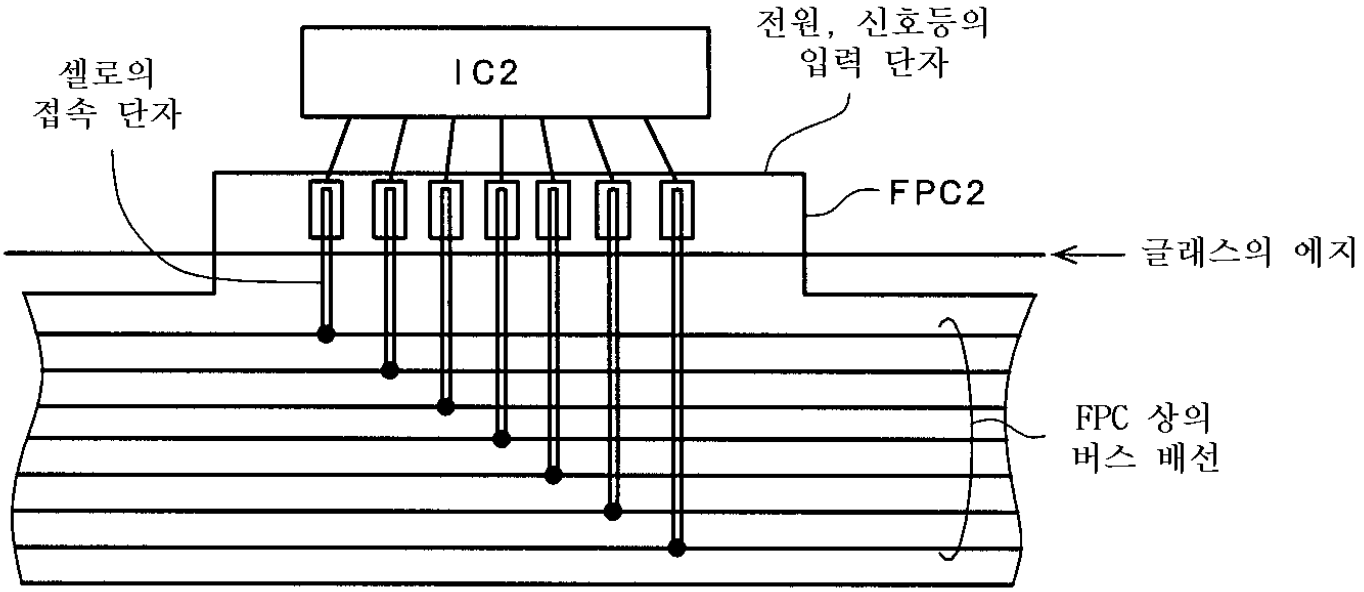
도면 28



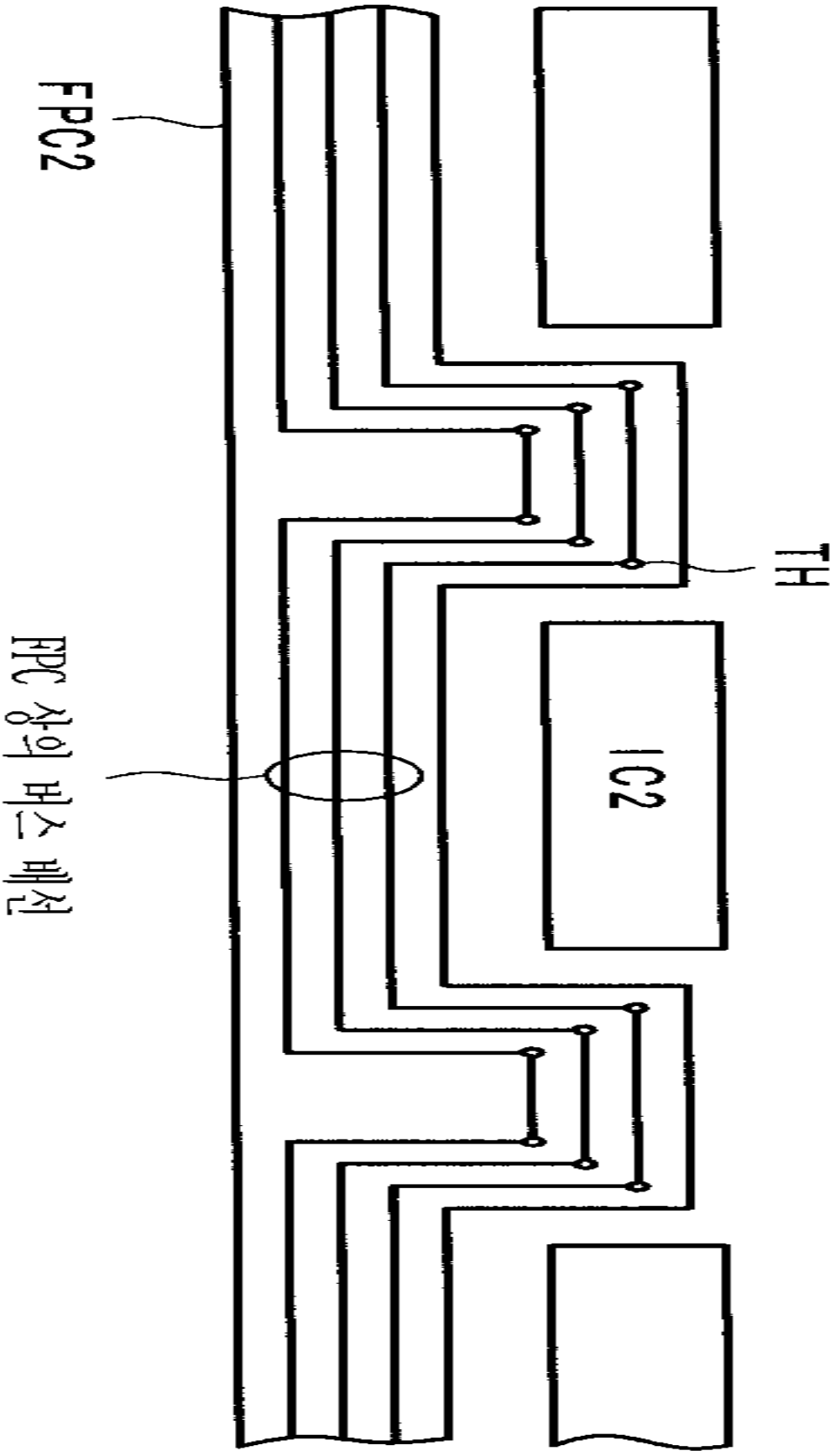
도면 29



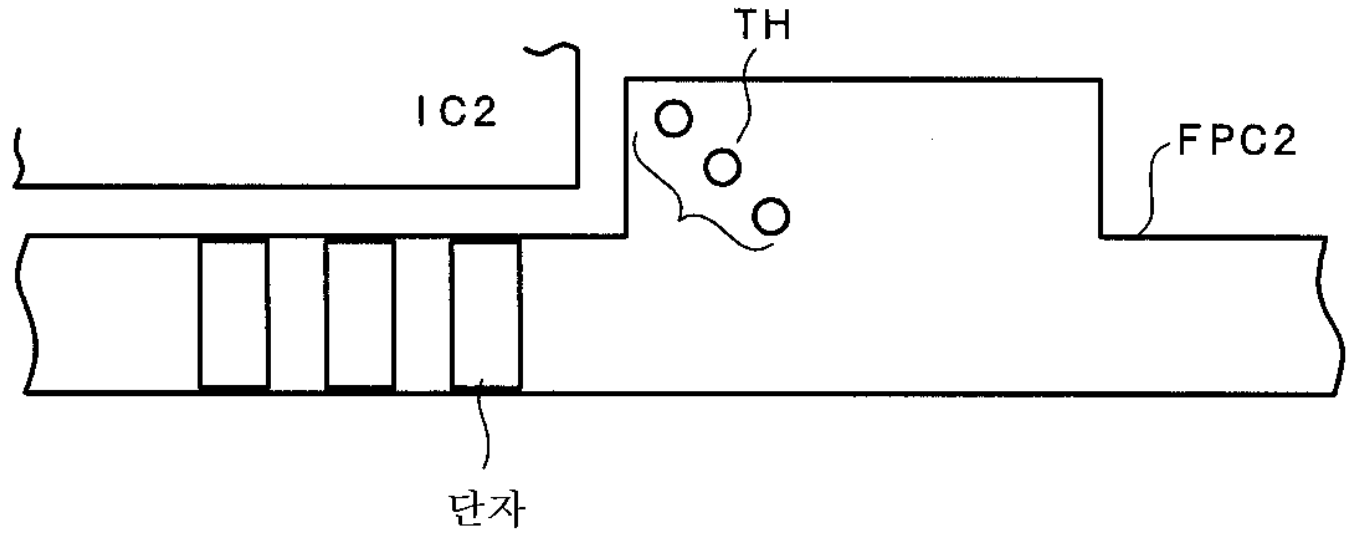
도면 30



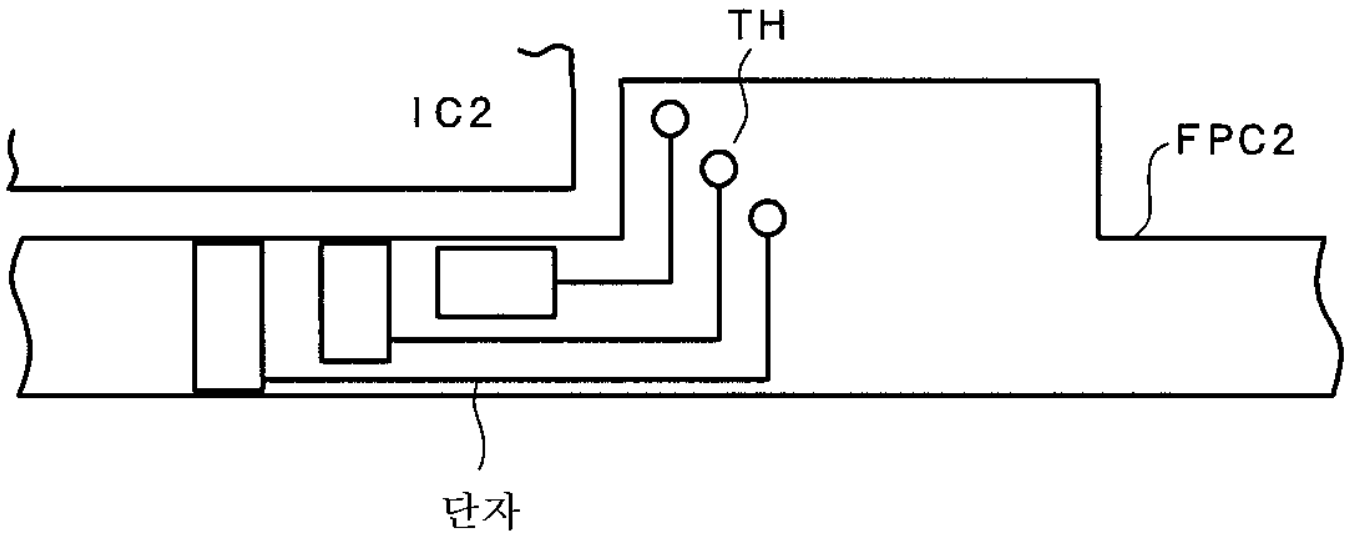
도면 31



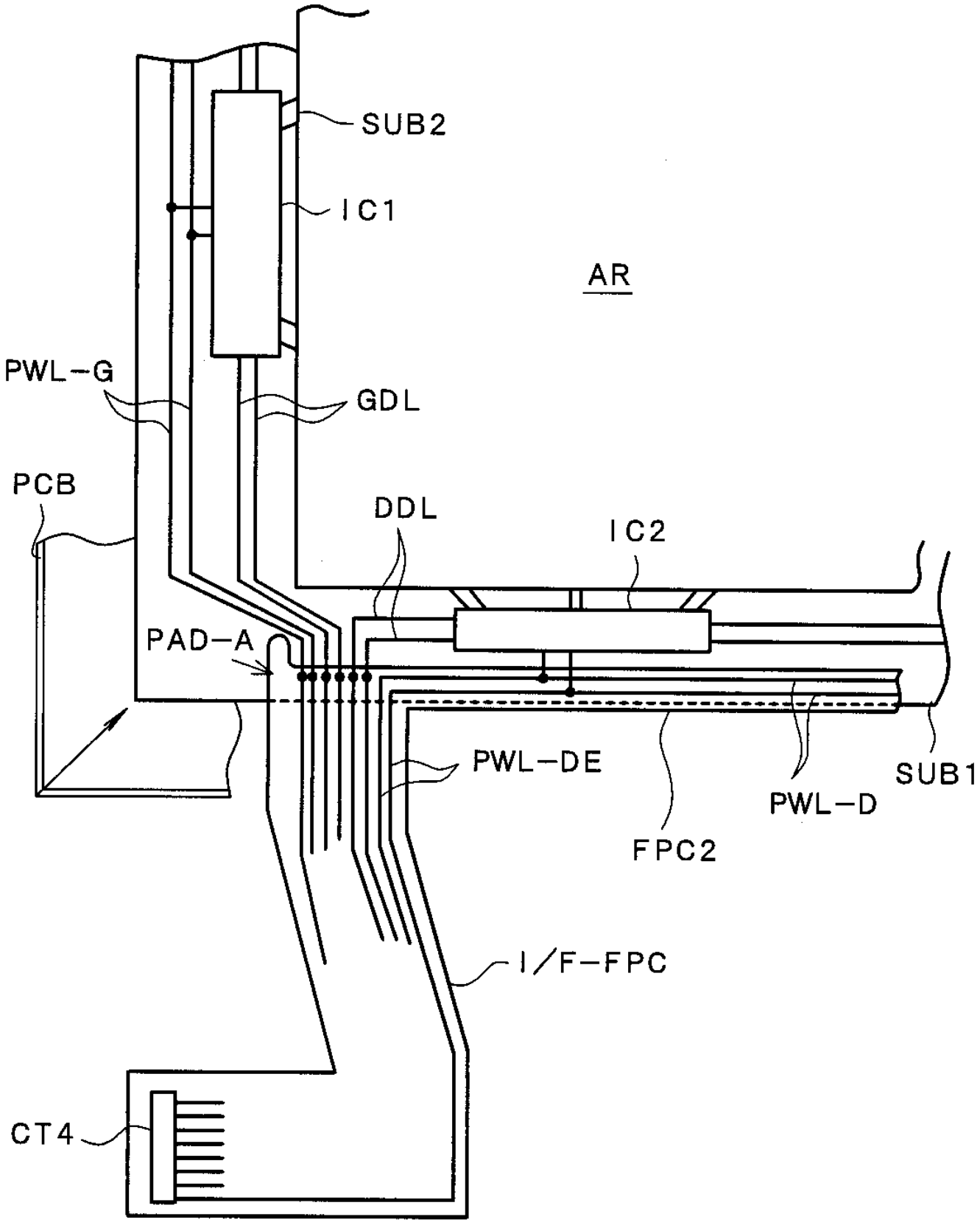
도면 32



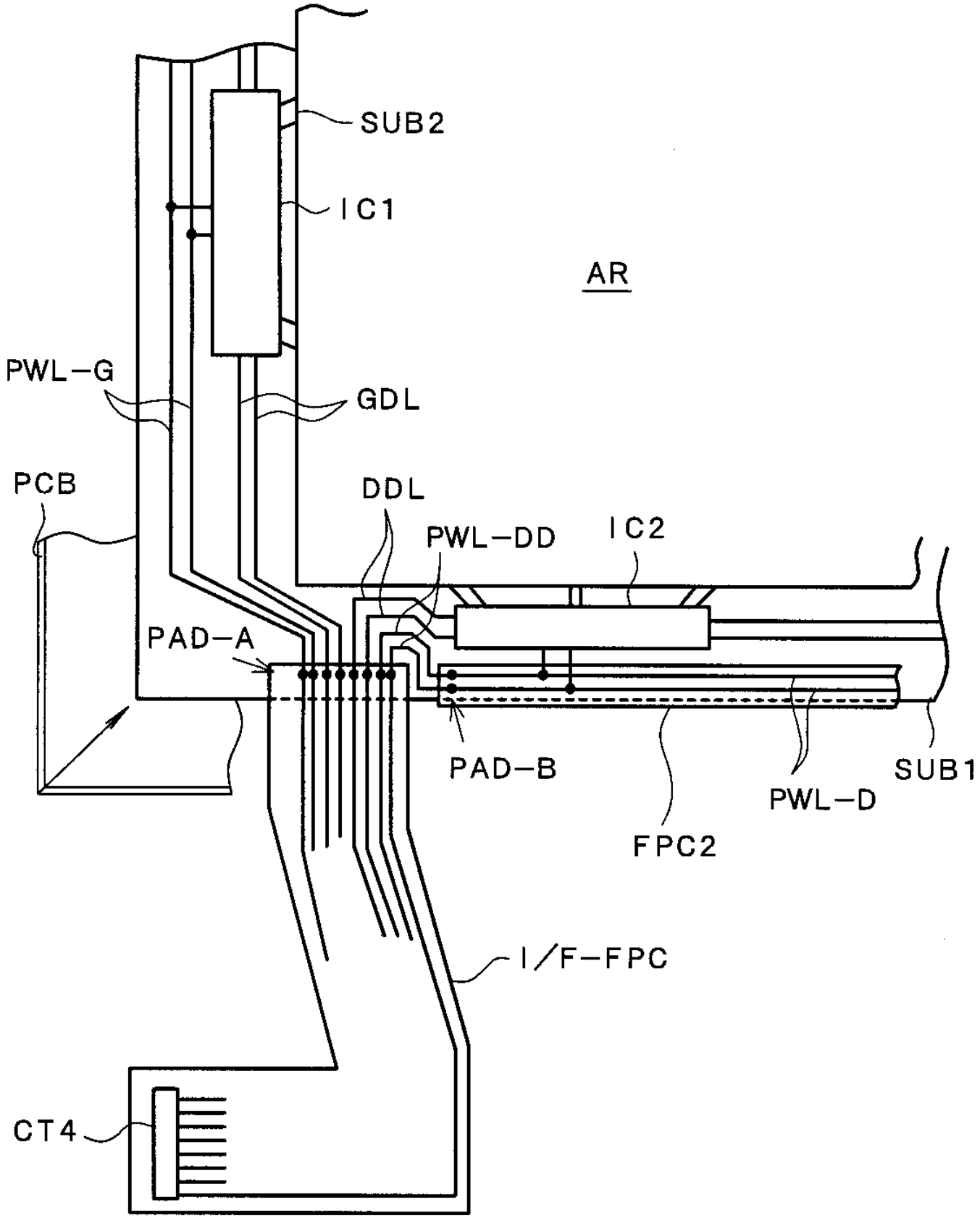
도면 33



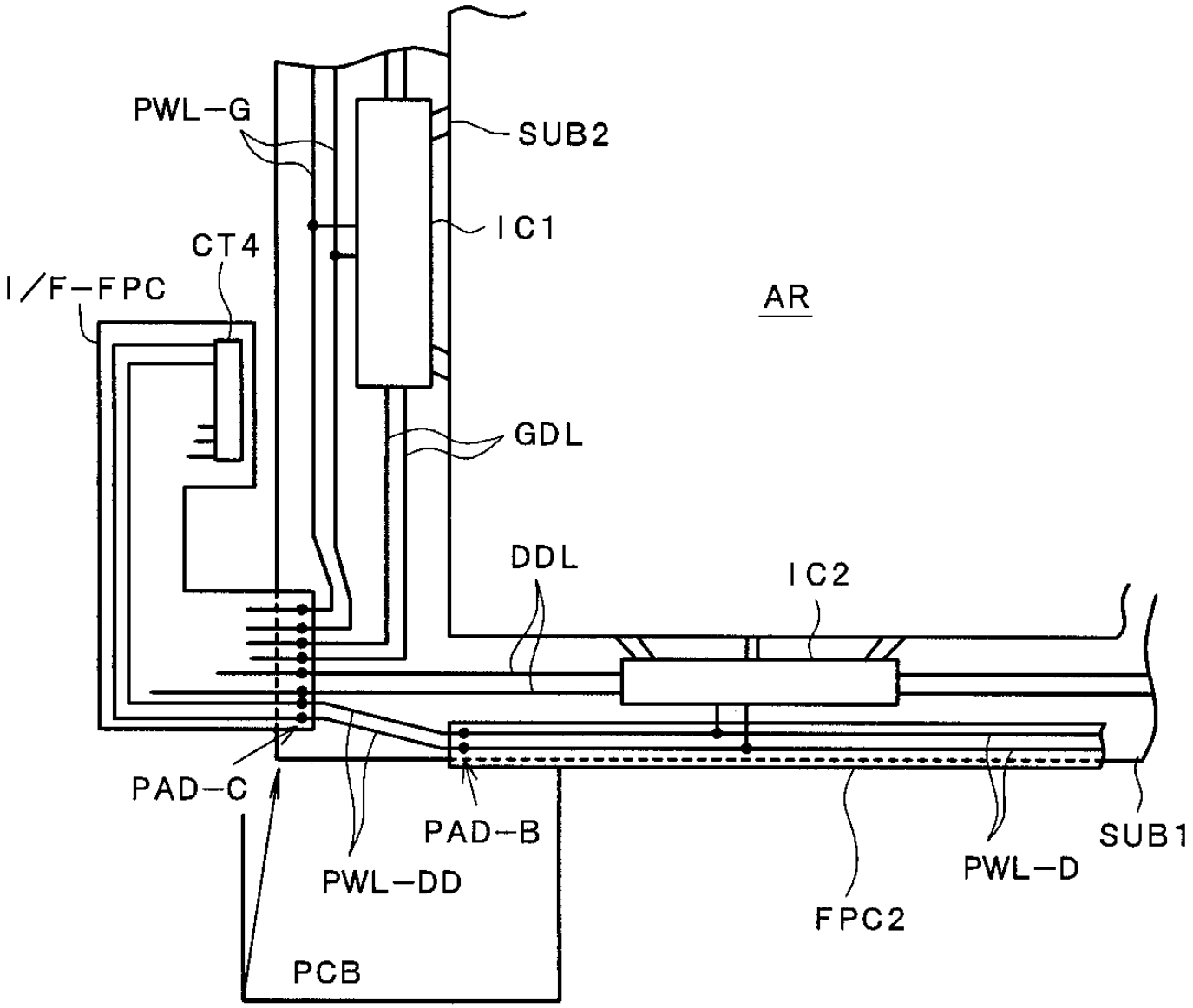
도면 34


SUB2
IC1
AR
PWL-G
GDL
PCB
DDL
IC2
PAD-A
PWL-DE
SUB1
PWL-D
FPC2
I/F-FPC
CT4

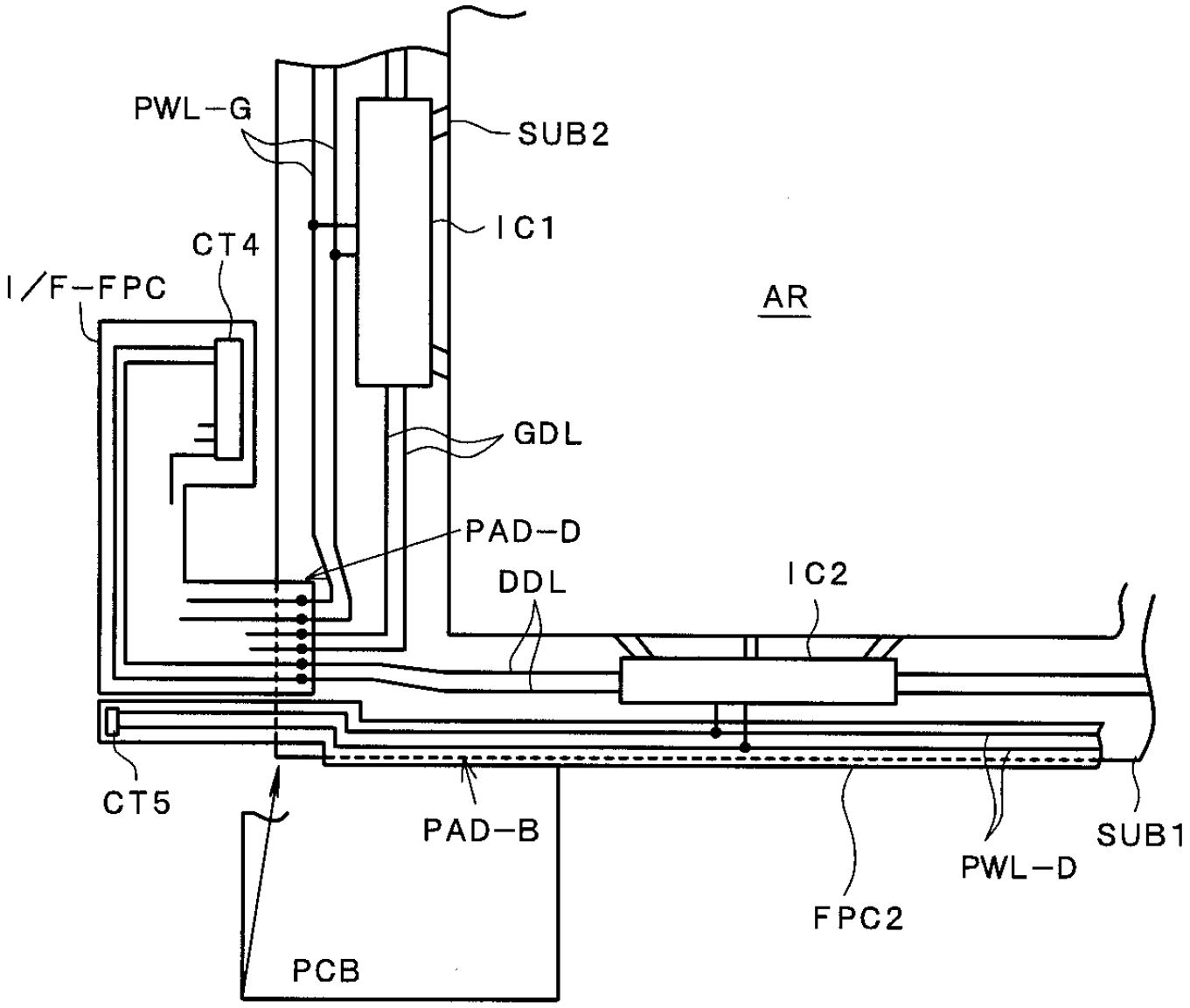
도면 35


SUB2
IC1
AR
PWL-G
GDL
PCB
DDL
PWL-DD
IC2
PAD-A
PAD-B
SUB1
PWL-D
FPC2
I/F-FPC
CT4

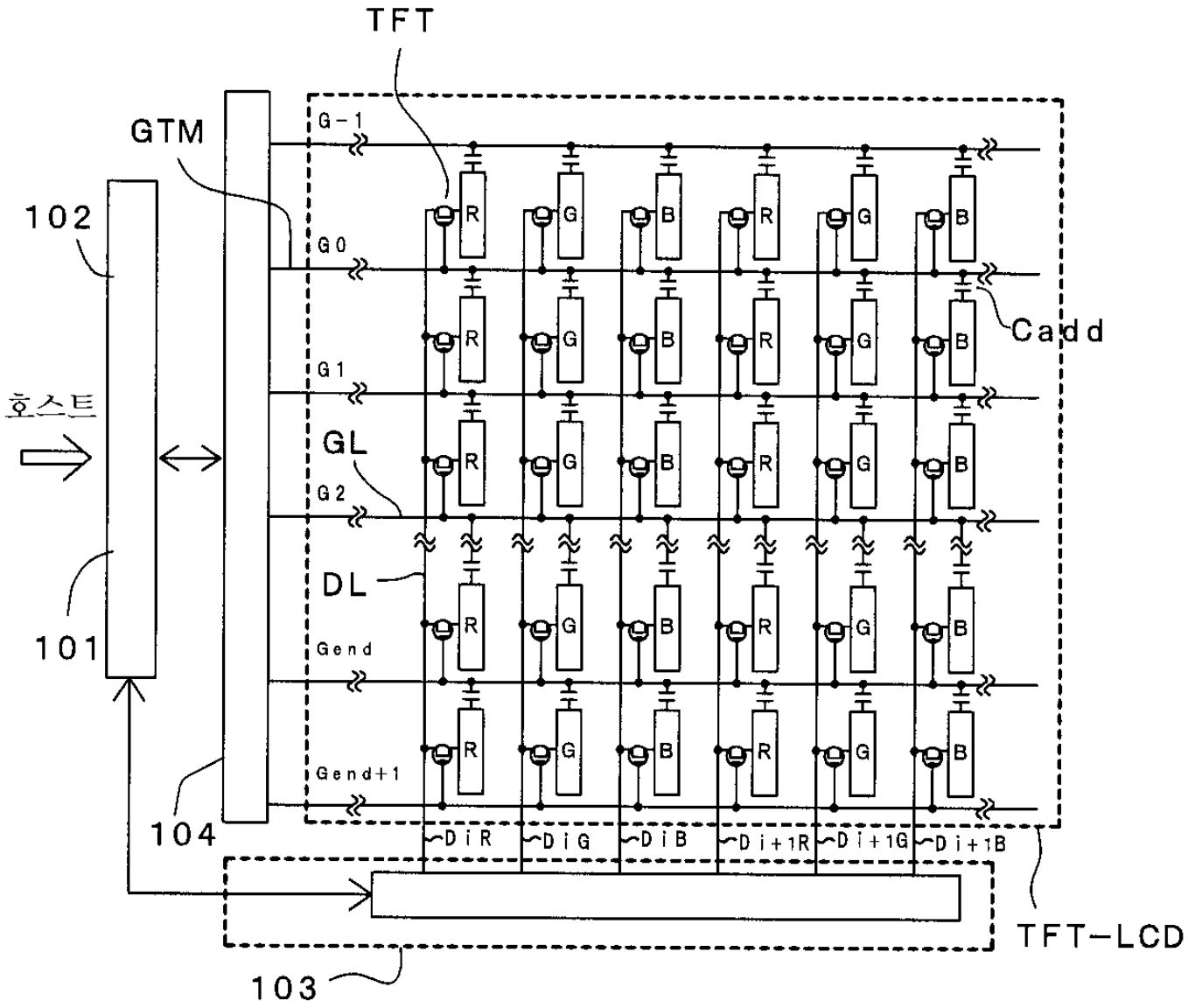
도면 36


PWL-G
SUB2
IC1
CT4
I/F-FPC
AR
GDL
DDL
IC2
PAD-C
PAD-B
PWL-DD
PWL-D
SUB1
FPC2
PCB

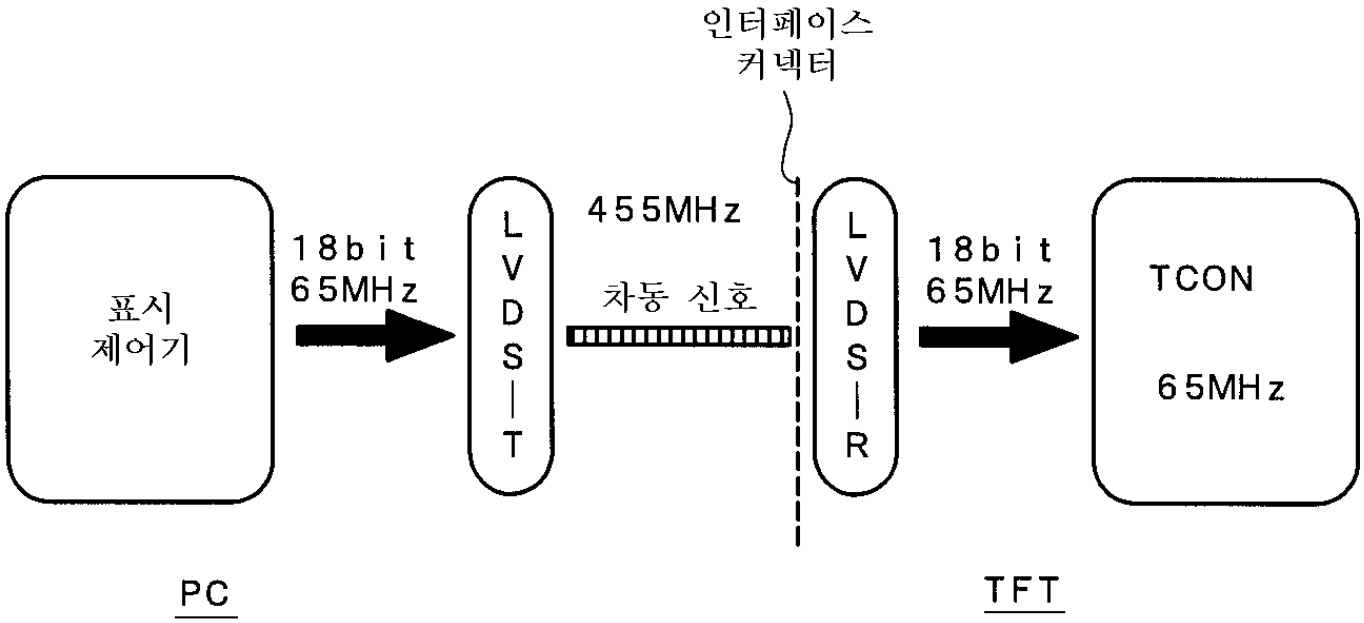
도면 37


PWL-G
SUB2
IC1
CT4
I/F-FPC
AR
GDL
PAD-D
DDL
IC2
CT5
PAD-B
SUB1
PWL-D
FPC2
PCB

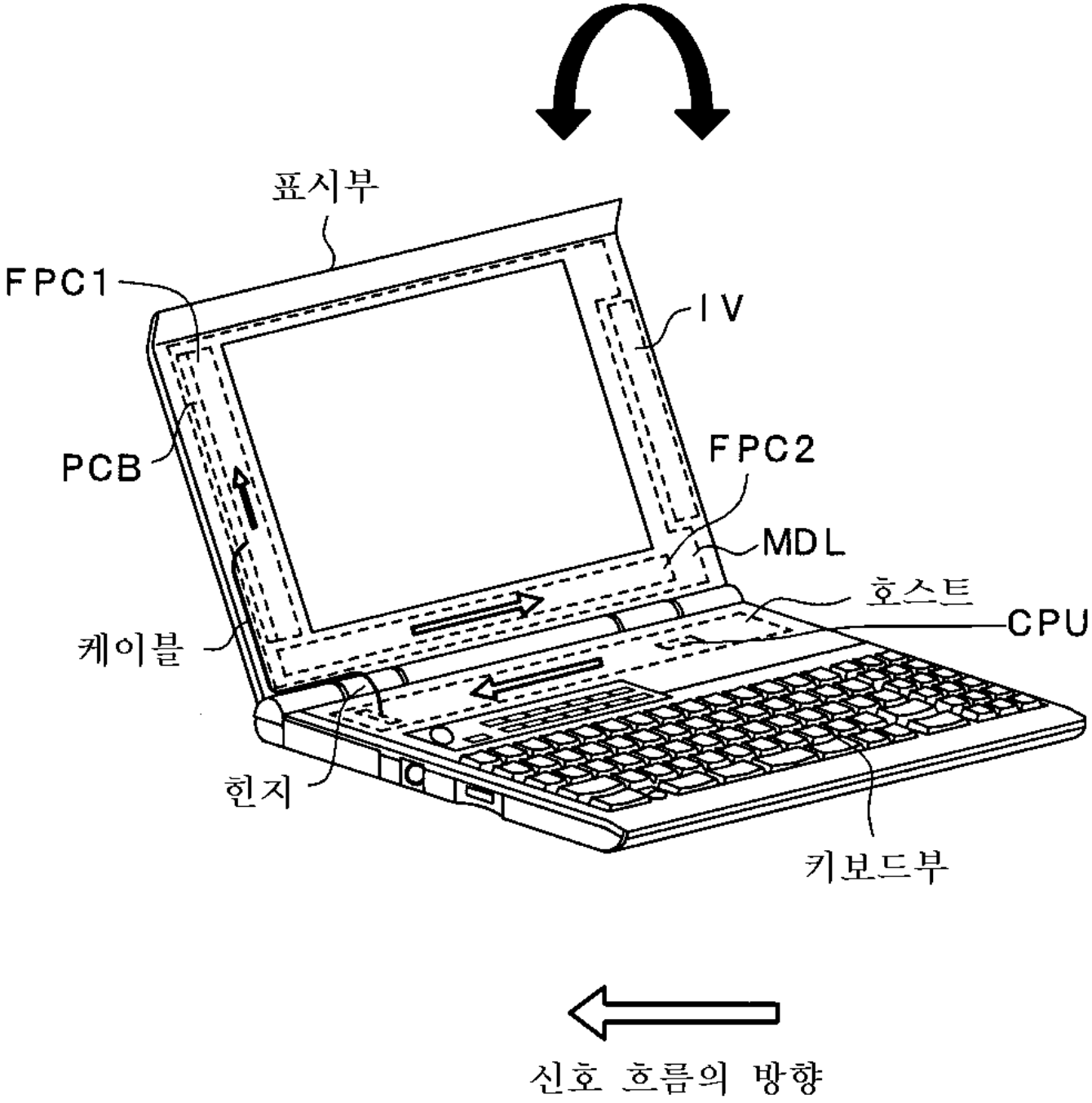
도면 38


TFT
GTM
102
호스트
101
104
103
G-1
G0
G1
G2
Gend
Gend+1
GL
DL
Cadd
R
G
B
DiR
DiG
DiB
Di+1R
Di+1G
Di+1B
TFT-LCD

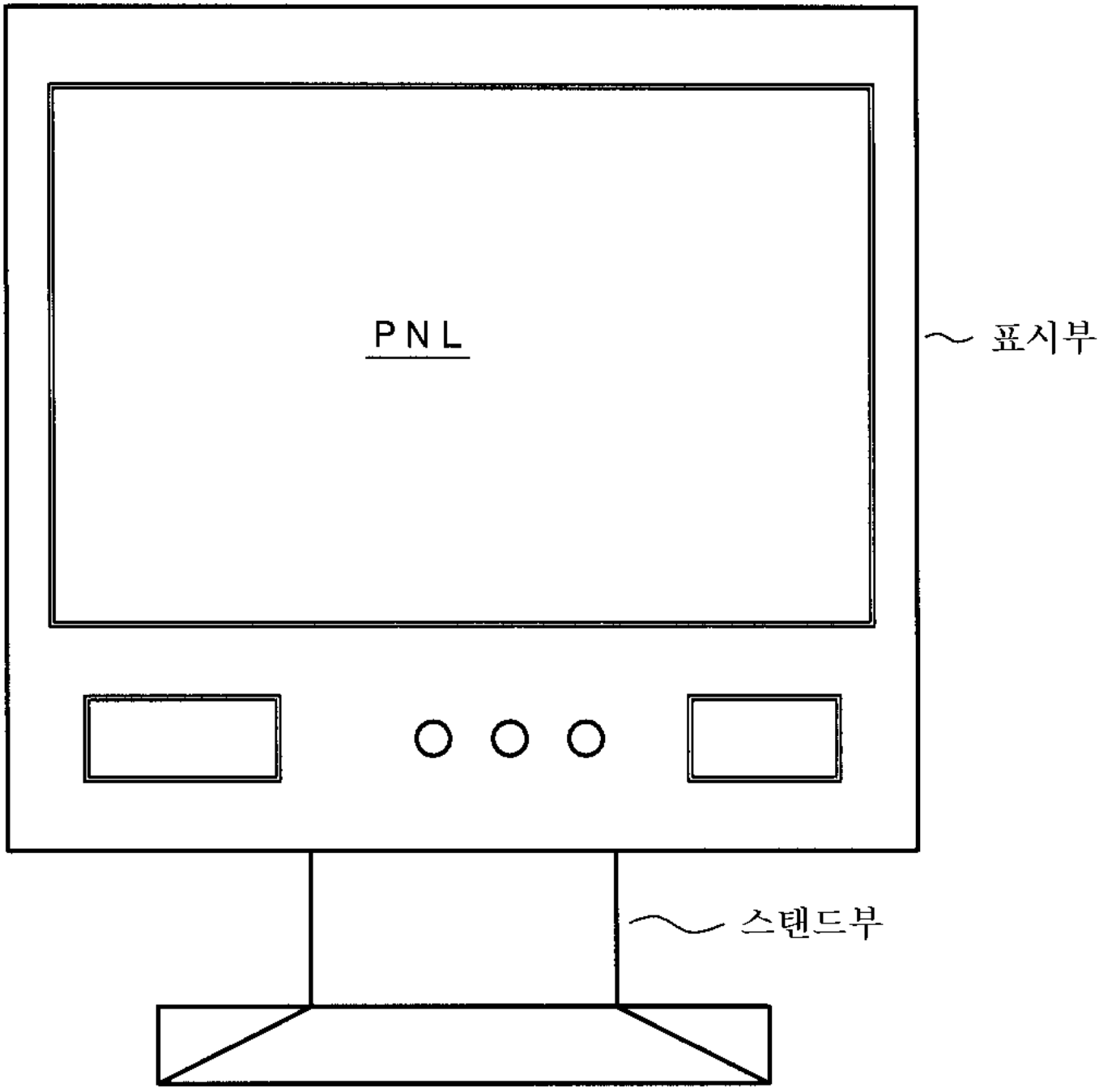
도면 39


인터페이스
커넥터
표시
제어기
18bit
65MHz
LVDS-T
455MHz
차동 신호
LVDS-R
18bit
65MHz
TCON
65MHz
PC
TFT

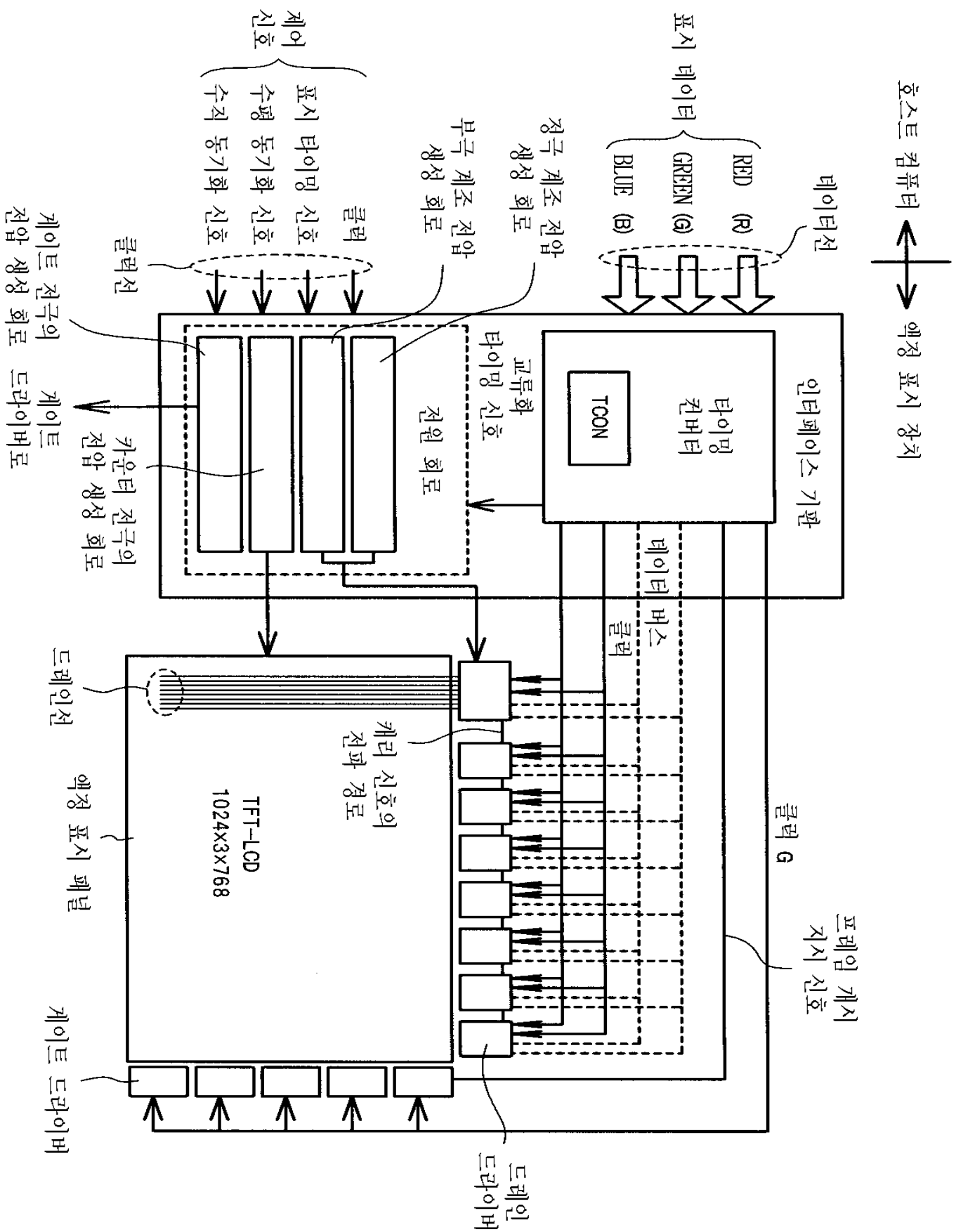
도면 40



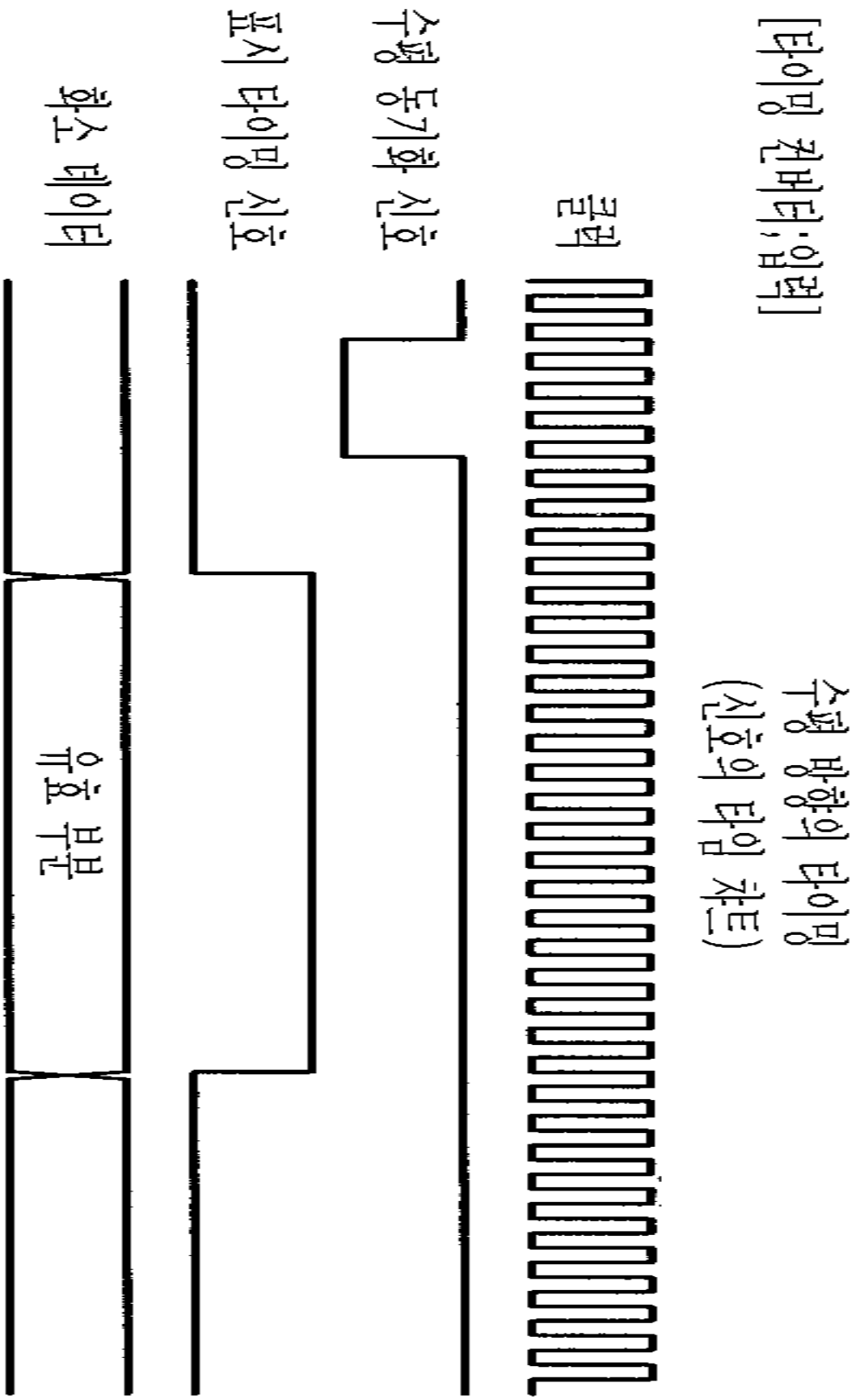
도면 41



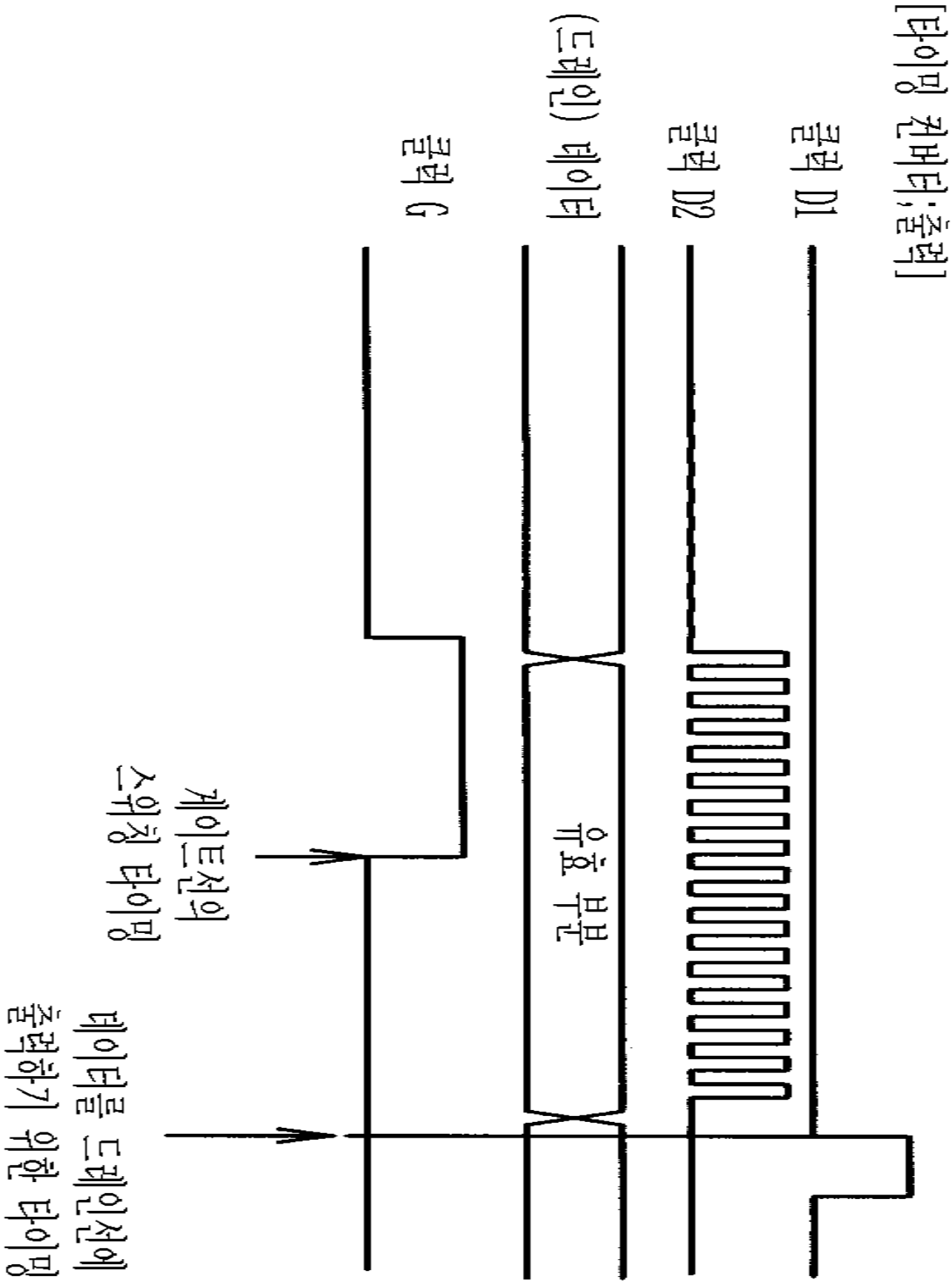
도면 42


호스트 컴퓨터
액정 표시 장치
데이터선
RED (R)
GREEN (G)
BLUE (B)
표시 데이터
제어 신호
표시 타이밍 신호
수평 동기화 신호
수직 동기화 신호
클럭
클럭선
정극 계조 전압 생성 회로
부극 계조 전압 생성 회로
게이트 전극의 전압 생성 회로
게이트 드라이버로
인터페이스 기판
타이밍 컨버터
TCON
교류화 타이밍 신호
전원 회로
카운터 전극의 전압 생성 회로
데이터 버스
클럭
프레임 개시 지시 신호
클럭 G
드레인선
캐리 신호의 전파 경로
액정 표시 패널
TFT-LCD
1024x3x768
게이트 드라이버
드레인 드라이버

도면 43a

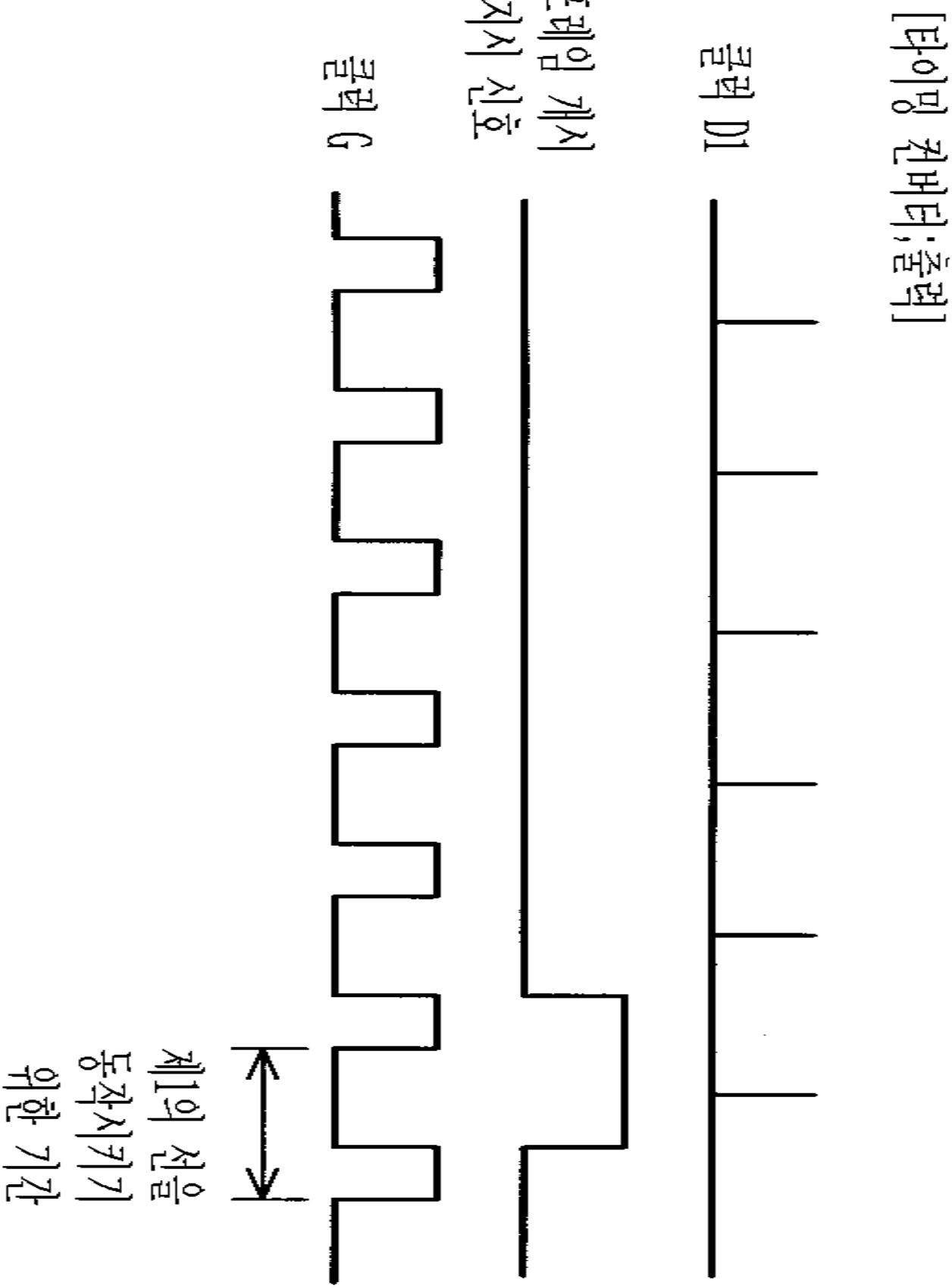

[타이밍 컨버터;업링]
수평 방향의 타이밍
(신호의 타임 차트)
클럭
수평 동기화 신호
표시 타이밍 신호
화소 데이터
유효 범위 구간

도면 43b

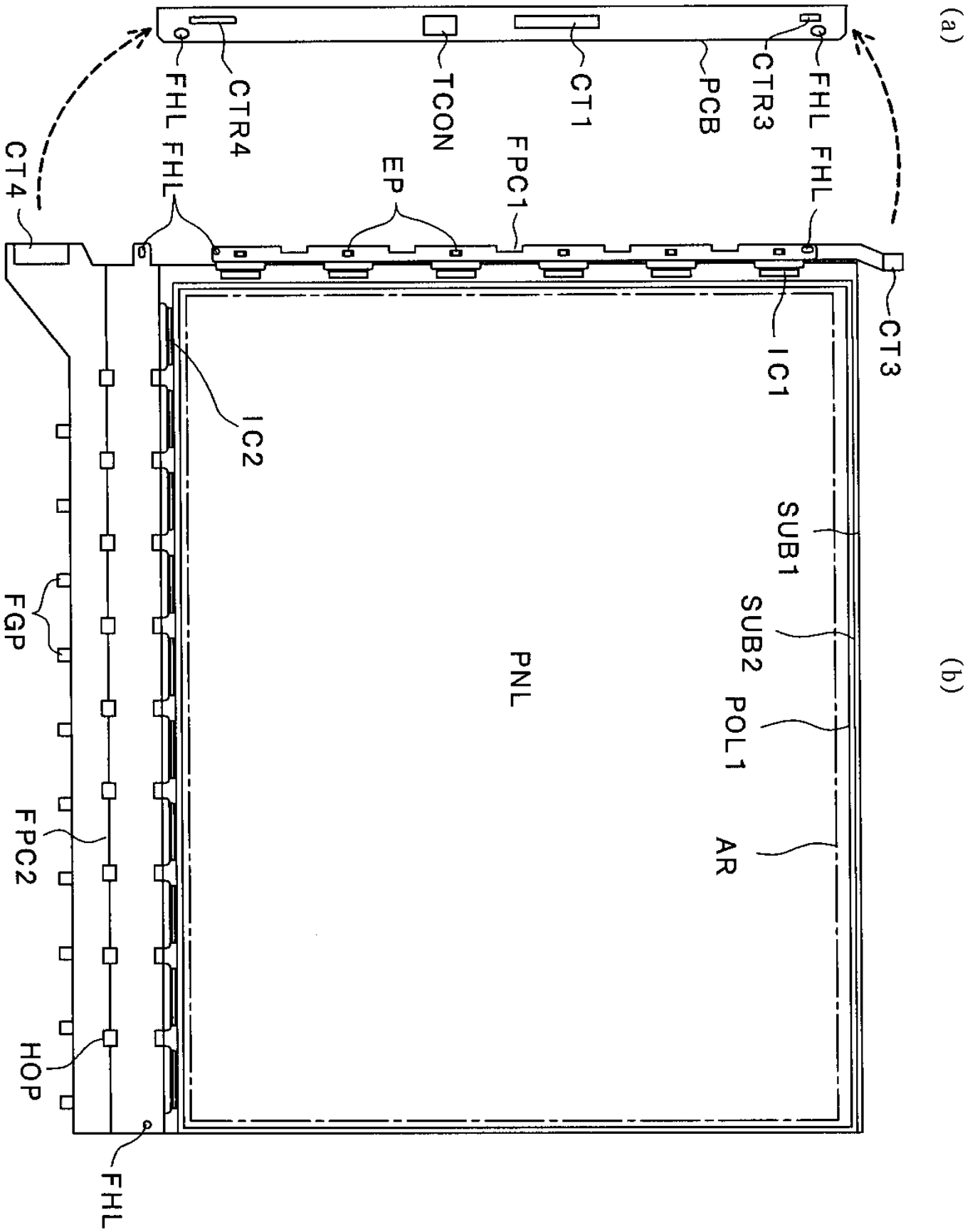

[타이밍 컨버터;클럭]
클럭 D1
클럭 D2
(드레인) 데이터
클럭 G
유효 구간
게이트선의
스위칭 타이밍
데이터를 드레인선에
출력하기 위한 타이밍

도면 44a

도면 44b



도면 45


(a)
FHL
CTR4
TCON
CT1
PCB
CTR3
FHL
FHL
CT4
FHL
EP
FPC1
CT3
IC1
IC2
SUB1
SUB2
POL1
AR
PNL
FGP
FPC2
HOP
FHL
(b)

专利名称(译)	液晶显示器		
公开(公告)号	KR1020010082742A	公开(公告)日	2001-08-30
申请号	KR1020010008026	申请日	2001-02-17
[标]申请(专利权)人(译)	日立HITACHI SEISAKUSHODBA 日立器件工程株式会社		
申请(专利权)人(译)	株式会社日立制作所 地伤装置工程可否让这个夏		
当前申请(专利权)人(译)	株式会社日立制作所 地伤装置工程可否让这个夏		
[标]发明人	IMAJYO YOSHIHIRO 이마죠요시히로 IZAWA TETSURO 이자와데쯔로 OOGIICHI KIMITOSHI 오오기이찌기미또시 OOKAWARA HIROSHI 오오까와라히로시 UEDA SHIRO 우에다시로 ISHIGE NOBUYUKI 이시게노부유끼 KAWAMURA TETSUYA 가와무라데쯔야 ISHINO HISASHI 이시노히사시 YUMORI FUMIAKI 유모리후미아끼		
发明人	이마죠요시히로 이자와데쯔로 오오기이찌기미또시 오오까와라히로시 우에다시로 이시게노부유끼 가와무라데쯔야 이시노히사시 유모리후미아끼		
IPC分类号	G09G3/36 G09G G09G3/20 G02F G02F1/133		
CPC分类号	G02F1/13306 G02F1/13452 H05K1/181 G09G2310/027 G09G3/3688 G09G2300/0408 G09G3/2011 G09G2320/0223 G09G3/3648 H05K1/0216		
代理人(译)	CHANG, SOO KIL		
优先权	2000040992 2000-02-18 JP 2000141263 2000-05-15 JP		
其他公开文献	KR100423693B1		

外部链接 Espacenet

摘要(译)

分别的开关装置的多个像素和切换多个漏极驱动器和用于该装置的栅极驱动器和用于操作所述像素信号从这些漏极驱动器和在一对基板的夹持液晶层的一侧上具有的开关元件的栅极驱动器，本发明提供一种液晶显示装置，包括：多个漏极驱动器，用于提供显示数据信号;以及时钟信号，用于在多个漏极驱动器中的一对相邻漏极驱动器之间传送时钟信号，（1）显示数据信号的多个漏极驱动器中的至少一个，以及（2）时钟信号和显示数据中的至少一个信号发送到多个漏极驱动器中的至少一个，）与其相邻的多个漏极驱动器中的另一个提供至少一个用于在两个门电路之间切换的门电路。的液晶显示装置，根据本发明，例如，抑制在液晶显示装置的附近，或在所述布线的时钟信号的显示数据信号或失真的其它设备的电磁波的干扰（EMI）。<<>> 1 指数方面 液晶显示装置，倒装芯片安装方法，漏极驱动器，栅极驱动器，薄膜晶体管