



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년01월23일
(11) 등록번호 10-1352099
(24) 등록일자 2014년01월08일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2004-0046523

(22) 출원일자 2004년06월22일

심사청구일자 2009년04월27일

(65) 공개번호 10-2005-0121401

(43) 공개일자 2005년12월27일

(56) 선행기술조사문헌

JP11125835 A*

KR1020040003663 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

강원석

서울특별시 동작구 사당로22길 25, 401호 (사당동)

이원호

경기도 성남시 분당구 성남대로 449, B동 1504호 (정자동, 로얄팰리스)

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 9 항

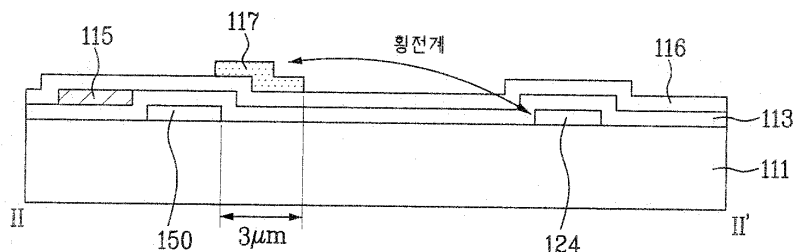
심사관 : 윤성주

(54) 발명의 명칭 **횡전계방식 액정표시소자**

(57) 요약

본 발명은 화소전극과 공통전극이 부분적으로 오버랩되는 횡전계방식 액정표시소자에 있어서, 상기 화소전극에 오버랩되는 공통전극의 선폭을 줄임으로써 화소전극과 공통전극 사이에 발생하는 전계왜곡 현상을 제거하고자 하는 것을 특징으로 하는바, 기판 상에 교차 배열되어 화소영역을 정의하는 게이트 배선 및 데이터 배선과, 상기 게이트 배선 및 데이터 배선의 교차 부위에 형성된 박막트랜지스터와, 상기 게이트 배선에 평행하는 공통배선에 서 분기되어 부분적으로 이중선폭을 가지는 공통전극과, 상기 박막트랜지스터에 연결되고, 상기 공통전극과의 오버랩되는 부분이 이중선폭의 공통전극 중 작은 선폭에 해당되며, 상기 공통전극과의 사이에서 횡전계를 발생시키는 화소전극을 포함하여 구성되는 것을 특징으로 한다.

대표도 - 도4



특허청구의 범위

청구항 1

기관 상에 교차 배열되어 화소영역을 정의하는 게이트 배선 및 데이터 배선;

상기 게이트 배선 및 데이터 배선의 교차 부위에 형성된 박막트랜지스터;

상기 게이트 배선에 평행하는 공통배선에서 분기되어 부분적으로 이중선폭을 가지는 공통전극;

상기 박막트랜지스터에 연결되고, 상기 공통전극과 오버랩되어, 상기 공통전극과의 사이에서 횡전계를 발생시키는 화소전극을 포함하여 구성되고,

상기 화소 전극과 오버랩된 부분의 공통전극의 선폭이 상기 화소 전극과 오버랩되지 않는 부분의 공통전극의 선폭보다 좁게 형성되고,

상기 화소전극에 오버랩되는 공통전극의 선폭을 화소전극 모서리 안측으로 $1\mu\text{m}$ 이상 줄여서 이중선폭으로 구성하며,

상기 화소전극과 오버랩되는 상기 공통 전극의 모든 부분은 동일한 선폭을 갖음을 특징으로 하는 횡전계방식 액정표시소자.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 화소전극에 오버랩되는 공통전극의 선폭을 화소전극 모서리 안측으로 $3\mu\text{m}$ 이상 줄여서 이중선폭으로 구성하는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 5

제 1 항에 있어서,

상기 공통전극은 상기 데이터 배선의 모서리변에 형성되는 최외곽 공통전극을 포함하는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 6

제 5 항에 있어서,

상기 화소전극과 오버랩되는 최외곽 공통전극의 선폭을 상기 화소전극 모서리 안측으로 줄여서 구성하는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 7

제 5 항에 있어서,

상기 화소전극에 오버랩되는 최외곽 공통전극의 선폭을 화소전극 모서리 안측으로 $1\mu\text{m}$ 이상 안측으로 줄여서 구성하는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 8

제 5 항에 있어서,

상기 화소전극에 오버랩되는 최외곽 공통전극의 선폭을 화소전극 모서리 안측으로 $3\mu\text{m}$ 이상 안측으로 줄여서 구

성하는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 9

제 5 항에 있어서,

상기 화소전극에 오버랩되지 않는 최외곽 공통전극의 선폭은 크게 형성되는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 10

제 1 항에 있어서,

상기 공통전극은,

상기 공통배선에서 분기되어 화소영역을 다수개의 블록으로 분할하는 제 1 공통전극부 및 제 2 공통전극부로 구성되고,

상기 화소전극은,

상기 블록을 서브-블록으로 분할하는 제 1 화소전극부 및 제 2 화소전극부로 구성되는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 11

제 10 항에 있어서,

상기 서브-블록의 각 모서리는,

격자구조로 배치된 상기 제 1, 제 2 화소전극부 및 제 1, 제 2 공통전극부인 것을 특징으로 하는 횡전계방식 액정표시소자.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0022] 본 발명은 액정표시소자(LCD ; Liquid Crystal Display Device)에 관한 것으로, 특히 서로 오버랩되는 화소전극과 공통전극에 의해 횡전계가 왜곡되는 것을 방지하기 위한 횡전계방식 액정표시소자에 관한 것이다.
- [0023] 평판표시소자로서 최근 각광받고 있는 액정표시소자는 콘트라스트 비(contrast ratio)가 크고, 계조 표시나 동화상 표시에 적합하며 전력소비가 작다는 장점 때문에 활발한 연구가 이루어지고 있다.
- [0024] 특히, 얇은 두께로 제작될 수 있어 장치 벽걸이 TV와 같은 초박형(超薄形) 표시장치로 사용될 수 있을 뿐만 아니라, 무게가 가볍고, 전력소비도 CRT 브라운관에 비해 상당히 적어 배터리로 동작하는 노트북 컴퓨터의 디스플레이로 사용되는 등, 차세대 표시장치로서 각광을 받고 있다. 또한, 소형 패널로 제작되어 휴대폰 디스플레이로도 사용되고 있어 그 활용이 다양하다.
- [0025] 이러한 액정표시소자는 액정의 성질과 전극의 구조에 따라서 여러 가지 다양한 모드가 있다.
- [0026] 구체적으로, 액정 방향자가 90° 트위스트 되도록 배열한 후 전압을 가하여 액정 방향자를 제어하는 TN 모드(Twisted Nematic Mode)와, 한 화소를 여러 도메인으로 나눠 각각의 도메인의 주시야각 방향을 달리하여 광시야각을 구현하는 멀티도메인 모드(Multi-Domain Mode)와, 보상필름을 기판에 형성하여 빛의 진행방향에 따른 빛의 위상변화를 보상하는 OCB 모드(Optically Compensated Birefringence Mode)와, 한 기판 상에 두개의 전극을 형성하여 액정의 방향자가 배향막의 나란한 평면에서 꼬이게 하는 횡전계방식(In-Plane Switching Mode)과, 네가티브형 액정과 수직배향막을 이용하여 액정 분자의 장축이 배향막 평면에 수직 배열되도록 하는 VA 모드(Vertical Alignment Mode) 등 다양하다.
- [0027] 이중, 상기 횡전계방식 액정표시소자는 통상, 서로 대향 배치되어 그 사이에 액정층을 구비한 컬러필터 어레이

기관과 박막트랜지스터 어레이 기관으로 구성되는데, 상기 컬러필터 어레이 기관에는 빛샘을 방지하기 위한 블랙 매트릭스와, 상기 블랙 매트릭스 상에 색상을 구현하기 위한 R,G,B의 컬러필터층이 형성된다.

[0028] 그리고, 상기 박막트랜지스터 어레이 기관에는 단위 화소를 정의하는 게이트 배선 및 데이터 배선과, 상기 게이트 배선 및 데이터 배선의 교차 지점에 형성된 스위칭소자와, 서로 엇갈리게 교차되어 횡전계를 발생시키는 공통전극 및 화소전극이 형성된다.

[0029] 이하, 도면을 참조하여 종래 기술에 의한 횡전계방식 액정표시소자에 대해 설명하면 다음과 같다.

[0030] 도 1은 종래 기술에 의한 횡전계방식 액정표시소자의 평면도이고, 도 2는 도 1의 I-I'선상에서의 횡전계방식 액정표시소자의 단면도이다.

[0031] 도 1 및 도 2를 참고로 하여 횡전계방식 액정표시소자를 구체적으로 살펴보면, 박막트랜지스터 어레이 기관(11) 상에는 게이트 배선(12) 및 데이터 배선(15)이 게이트 절연막(13)을 사이에 두고 교차 배치되어 화소영역을 정의하고, 상기 게이트 배선(12) 및 데이터 배선(15)의 교차 부위에는 박막트랜지스터(TFT)가 구비된다.

[0032] 이 때, 상기 박막트랜지스터(TFT)는 상기 게이트 배선(12)에서 분기되는 게이트 전극(12a)과, 상기 게이트 전극(12a)을 포함한 전면에 형성된 게이트 절연막(13)과, 상기 게이트 전극(12a) 상부의 게이트 절연막(13) 상에 형성된 반도체층(14)과, 상기 데이터 배선(15)에서 분기되어 상기 반도체층(14) 양 끝에 각각 형성되는 소스 전극(15a) 및 드레인 전극(15b)으로 구성된다.

[0033] 그리고, 각 화소영역 내에는 상기 게이트 배선(12)에 평행하는 공통배선(25)과, 상기 공통배선(25)에서 분기되고 제 1 공통전극부(24a)와 제 2 공통전극부(24b)로 구분되는 공통전극(24)과, 보호막(16)을 관통하여 상기 박막트랜지스터(TFT)의 드레인 전극(15b)에 연결되고 제 1 화소전극부(17a)와 제 2 화소전극부(17b)로 구분되는 화소전극(17)이 구비되어 있다.

[0034] 이 때, 상기 공통전극(24)은 화소영역을 다수개의 블록으로 정의하며, 상기 화소전극(17)은 상기 블록을 다시 서브-블록으로 분할한다.

[0035] 이로써, 서브-블록은 꺾어진 "┐"자형 또는 "└"자형의 화소전극(17)과, 꺾어진 "┐"자형 또는 "└"자형의 공통전극(24)을 모서리로 가지게 된다. 즉, 서브-블록은 제 1, 제 2 화소전극부(17a, 17b)와 제 1, 제 2 공통전극부(24a, 24b)의 모서리를 가지는 마름모꼴이 되는데, 상기 전극들에 의해 각 서브-블록 내에 횡전계가 발생한다.

[0036] 한편, 상기 제 2 화소전극부(17b)는 상기 제 2 공통전극부(25b) 상부에 오버랩되어 스토리지 커패시터를 발생시킴으로써, 박막트랜지스터의 턴오프 구간에서 액정 커패시터에 충전된 전압을 유지시켜 준다.

[0037] 이 때, 상기 제 1 공통전극부(24a) 중, 화소 가장자리에 형성되는 최외곽 공통전극(50)은 데이터 배선(15) 모서리변에 각각 형성되어, 데이터 배선 주변부의 전계왜곡을 방지하여 빛샘을 제거한다.

[0038] 상기과 같이, 화소영역 가장자리에 최외곽 공통전극(50)을 형성하고, 서브-블록을 정의하기 위해 화소전극(17)을 형성하는 경우, 도 1에 도시된 바와 같이, 제 1 화소전극부(17a)가 최외곽 공통전극(50)에 오버랩될 수 있다.

[0039] 그러나, 도 2에 도시된 바와 같이, 최외곽 공통전극(50) 상부에 화소전극(17)이 오버랩되는 경우, 화소영역 내부의 화소전극(17)과 공통전극(24) 사이에 횡전계가 발생할 때 최외곽 공통전극(50)과 공통전극(24) 사이에 등전위가 형성되어 횡전계를 왜곡시키게 된다.

[0040] 따라서, 액정분자가 원하는 방향으로 구동되지 아니하고, 전계왜곡에 의해 원하는 방향으로 구동되는 것이다. 이러한 경우, 화상품질이 크게 떨어지는 문제가 생기게 된다.

발명이 이루고자 하는 기술적 과제

[0041] 본 발명은 상기과 같은 문제점을 해결하기 위하여 안출한 것으로, 화소영역의 양 가장자리에 최외곽 공통배선을 형성하고, 화소영역 크기에 따라 짝수개 또는 홀수개의 서브-블록을 배치하는 경우에 있어서, 상기 최외곽 공통전극 상에 화소전극이 부분적으로 오버랩되는 경우, 최외곽 공통전극에 의해서 화소전극에 형성되는 전계가 왜곡되는 문제가 있었다.

[0042] 이러한 문제점은 최외곽 공통전극과 화소전극 뿐만 아니라, 화소영역 내의 공통전극과 화소전극 사이에서도 일

어날 수 있다.

[0043] 이에, 본 발명은 화소전극에 오버랩되는 공통전극의 선폭을 줄여 화소전극에 형성되는 전계가 왜곡되지 않도록 함으로써 액정을 정상구동시키고자 하는 것을 특징으로 하는 횡전계방식 액정표시소자를 제안한다.

발명의 구성 및 작용

[0044] 상기와 같은 목적을 달성하기 위한 본 발명의 횡전계방식 액정표시소자는 기판 상에 교차 배열되어 화소영역을 정의하는 게이트 배선 및 데이터 배선과, 상기 게이트 배선 및 데이터 배선의 교차 부위에 형성된 박막트랜지스터와, 상기 게이트 배선에 평행하는 공통배선에서 분기되어 부분적으로 이중선폭을 가지는 공통전극과, 상기 박막트랜지스터에 연결되고, 상기 공통전극과의 오버랩되는 부분이 이중선폭의 공통전극 중 작은 선폭에 해당되며, 상기 공통전극과의 사이에서 횡전계를 발생시키는 화소전극을 포함하여 구성되는 것을 특징으로 한다.

[0045] 즉, 본 발명은 화소전극에 오버랩되는 공통전극의 선폭을 화소전극의 모서리변에서 안측으로 줄임으로써, 상기 공통전극에 의하여 화소전극에 형성되는 전계가 왜곡되지 않도록 하는 것을 특징으로 한다.

[0046] 이 때, 상기 화소전극에 오버랩되는 공통전극의 선폭을 화소전극 모서리 안측으로 $1\mu\text{m}$ 이상, 바람직하게는, $3\mu\text{m}$ 이상 줄여서 이중선폭으로 구성한다.

[0047] 특히, 본 발명에 의한 횡전계방식 액정표시소자는 "┐" 및 "└"자형으로 반복 배치된 격자 구조의 공통전극 및 화소전극을 구비하고, 데이터 배선 모서리변에 최외곽 공통전극을 각각 구비하는 경우에 있어서, 화소전극에 오버랩되는 최외곽 공통전극의 선폭을 줄임으로써, 화소전극과 공통전극 사이에 발생하는 횡전계의 왜곡현상을 방지하고자 함에 있다.

[0048] 이하, 도면을 참조하여 본 발명의 실시예에 따른 횡전계방식 액정표시소자를 설명하면 다음과 같다.

[0049] 이하에서는, 횡전계방식 액정표시소자의 박막 어레이 기판에 대해서 주로 서술하는 것으로 한다.

[0050] 제 1 실시예

[0051] 도 3은 본 발명의 제 1 실시예에 의한 횡전계방식 액정표시소자의 평면도이고, 도 4는 도 3의 II-II'선상에서의 횡전계방식 액정표시소자의 단면도이며, 도 5는 본 발명의 제 1 실시예에 의한 공통전극의 평면도이다.

[0052] 본 발명의 제 1 실시예는, 화소전극 및 공통전극으로 정의되는 블록을 게이트 배선 방향으로 홀수개 또는 짝수개 배치가능하게 함으로써 설계자유도를 향상시키고 또한, 화소영역을 최적으로 설계가능하도록 함으로써 개구율을 향상시키고자 제안된 횡전계방식 액정표시소자의 구조로서, 화소전극에 오버랩되는 공통전극의 선폭을 $1\mu\text{m}$ 이상, 바람직하게는, $3\mu\text{m}$ 이상 줄여 전계왜곡 현상을 방지하고자 하는 것을 특징으로 한다.

[0053] 특히, 데이터 배선 모서리변의 화소 가장자리에 최외곽 공통전극을 형성하고 화소영역 내부에 공통전극 및 화소전극을 교대로 배치시키는 경우 상기 화소전극에 오버랩되는 최외곽 공통전극의 선폭을 $1\mu\text{m}$ 이상, 바람직하게는, $3\mu\text{m}$ 이상 줄이는 것을 특징으로 한다.

[0054] 그리고, 본발명의 제 1 실시예는, 도 3에 도시된 바와 같이, 상기 데이터 배선(115), 공통전극(124), 화소전극(117)을 지그재그 형태로 형성하여 액정이 2방향으로 배열되도록 한다.

[0055] 구체적으로, 본 발명에 의한 횡전계방식 액정표시소자는, 도 3에 도시된 바와 같이, 기판(111) 상에 일방향으로 배열되는 게이트 배선(112)과 화소영역을 정의하기 위하여 상기 게이트 배선(112)에 수직한 방향으로 배열되고 꺾어지는 구조로 형성되는 데이터 배선(115)과, 상기 게이트 배선(112) 및 데이터 배선(115)의 교차 부위에 배치된 박막트랜지스터(TFT)와, 상기 게이트 배선(112)과 평행하도록 화소 중간에 배치된 공통배선(125)과, 상기 공통배선(125)에서 분기되어 꺾어지는 구조를 가지는 공통전극(124)과, 상기 박막트랜지스터(TFT)에 연결되고 꺾어지는 구조를 가지는 화소전극(117)이 형성되어 있으며, 상기 화소전극에 오버랩되는 공통전극의 선폭이 줄여져 결국, 공통전극이 이중선폭을 가지게 된다.

[0056] 이 때, 상기 공통전극(124)은 상기 데이터 배선(115)에 평행하며 꺾어지는 구조를 가지는 제 1 공통전극부(124a)와 상기 제 1 공통전극부를 연결하는 제 2 공통전극부(124b)로 구성되고, 상기 화소전극(117)은 상기 제 1 공통전극부(124a) 사이에 평행하도록 배치되어 꺾어지는 구조를 가지는 제 1 화소전극부(117a)와 상기 제 1 화소전극부(117a)를 연결하는 제 2 화소전극부(117b)로 구성된다.

[0057] 상기 제 1, 제 2 공통전극부(124a, 124b) 및 제 1, 제 2 화소전극부(117a, 117b)에 의해 상기 화소영역이 복수개

의 블록으로 정의되며, 상기 블록의 네 모서리는 각각 상기 제 1, 제 2 화소전극부(117a, 117b) 및 제 1, 제 2 공통전극부(124a, 124b)로 이루어져 블록의 모양은 마름모꼴과 같은 사변형이 된다.

[0058] 본 발명은, 전술한 바와 같이, 화소전극(117)에 오버랩되는 공통전극(124)의 선평을 줄이는 것을 특징으로 하는 바, 특히 상기 데이터 배선(115) 모서리변의 화소 가장자리에 형성되는 최외곽 공통전극(150)이 상기 화소전극과 오버랩되는 경우에도 그 선평을 줄임으로써 이중선평을 가지게 한다.

[0059] 즉, 도 5에 도시된 바와 같이, 화소전극(117)이 오버랩되는 부분에 한하여 최외곽 공통전극(150)의 선평을 $1\mu\text{m}$ 이상, 바람직하게는 $3\mu\text{m}$ 이상 줄여서, 최외곽 공통전극(150)의 모서리가 화소전극(117) 모서리보다 안측에 형성되도록 한다.

[0060] 다만, 최외곽 공통전극(150)과 화소전극(117)은 최소한으로 오버랩되어야 하는데, 전혀 오버랩되지 않으면 최외곽 공통전극(150)과 화소전극(117) 사이에 기생전계가 발생하여 원하지 않게 액정이 구동될 수 있기 때문이다.

[0061] 이와 같이, 화소전극(117) 모서리 안측으로 최외곽 공통전극(150)을 배치하면, 도 4에 도시된 바와 같이, 상기 화소전극(117)과 공통전극(124) 사이에 발생하는 횡전계가 상기 최외곽 공통전극(150)에 형성되는 전계에 의해 왜곡될 염려가 없다.

[0062] 그리고, 상기 제 2 화소전극부(117b)는 상기 제 2 공통전극부(124b) 상에 오버랩되어 스토리지 커패시터를 발생시키는데, 이 경우 상기 제 2 화소전극부(117b)가 상기 제 2 공통전극부(124b)보다 그 선평이 크지 않도록 형성한다. 제 2 화소전극부(117b)가 상기 제 2 공통전극부(124b)보다 큰 선평을 가지게 되면 상기 제 2 화소전극부(117b)에 의해 블록 내부의 횡전계가 왜곡되기 때문이다.

[0063] 이때, 상기 공통배선(125), 공통전극(124) 및 최외곽 공통전극(150)은 일체형으로 형성되고, 상기 게이트 배선(112) 및 박막트랜지스터(TFT)의 게이트 전극도 일체로 형성되며, 이러한 공통배선(125), 공통전극(124), 최외곽 공통전극(150), 게이트 배선(112) 및 게이트 전극은 저저항 금속을 사용하여 동일층에서 일괄적으로 형성한다.

[0064] 한편, 상기 게이트 배선(112)을 포함한 전면에는 게이트 절연막(도 4의 113)이 더 구비되고, 상기 데이터 배선(115)을 포함한 전면에는 보호막(도 4의 116)이 더 구비되며, 상기 화소전극(117)은 상기 보호막 상에 형성된다.

[0065] 이와 같이, 본 발명은 화소전극에 오버랩되는 공통전극의 선평을 줄여 전계왜곡을 방지하는 것을 특징으로 하는데, 화소전극(117)에 오버랩되는 공통전극(125) 특히, 최외곽 공통전극(150)의 선평을 최소 $1\mu\text{m}$ 이상 바람직하게는, $3\mu\text{m}$ 이상 줄여주는 것을 특징으로 한다.

[0066] 이하에서는, 도 6 내지 도 10을 참고로 하여, 화소전극(117)과 최외곽 공통전극(150)이 오버랩되는 선평에 따라서 전계와 투과율이 어떻게 바뀌는지를 설명하기로 한다.

[0067] 도 6은 화소전극(117)에 오버랩되는 최외곽 공통전극(150)의 선평을 화소전극(117) 모서리 안측으로 $3\mu\text{m}$ 줄인 경우에 있어서 그 전계와 투과율을 나타낸 것으로, 최외곽 공통전극(150) 주변에 형성되는 전계(실선)에 의해 화소전극(117)과 화소전극(117) 사이에 형성되는 등전위가 왜곡되지 아니함을 볼 수 있다. 이 때, 액정도 구동되지 않으므로 투과율(점선)도 0이 된다.

[0068] 그리고, 도 7은 화소전극(117)에 오버랩되는 최외곽 공통전극(150)의 선평을 상기 화소전극(117) 모서리 안측으로 $2\mu\text{m}$ 줄인 경우에 있어서 그 전계와 투과율을 나타낸 것으로, 최외곽 공통전극(150) 주변에 형성되는 전계(실선)가 액정에 영향을 미치고 있음을 알 수 있다. 이 경우 투과율(점선)은 여전히 0이므로 빛샘이 발생하지는 않는다.

[0069] 계속해서, 도 8은 화소전극(117)에 오버랩되는 최외곽 공통전극(150)의 선평을 상기 화소전극(117) 모서리 안측으로 $1\mu\text{m}$ 줄인 경우에 있어서 그 전계와 투과율을 나타낸 것으로, 최외곽 공통전극(150) 주변에 형성되는 전계(실선)가 액정에 영향을 미치고 있음은 물론, 투과율(점선)도 수치를 조금씩 나타내기 시작하는데, 이와같이 투과율이 일정한 수치를 가지는 경우 그만큼 빛샘이 발생한다는 것을 의미한다.

[0070] 한편, 도 9는 화소전극(117)과 이에 오버랩되는 최외곽 공통전극(150)의 모서리를 동일하게 맞추어 형성한 경우에 있어서 그 전계와 투과율을 나타낸 것으로, 최외곽 공통전극(150) 주변에 형성되는 전계(실선)가 화소전극(117) 사이에 발생하는 등전위를 왜곡시키는 것을 볼 수 있다. 그리고, 최외곽 공통전극(150)에 오버랩되어 있는 화소전극(117) 모서리의 액정이 조금씩 구동되어 투과율(점선)의 곡선이 커지는 것도 도시되어 있다. 이 때,

투과율의 곡선은 빛샘의 정도를 나타내는 것이다.

- [0071] 마지막으로, 도 10은 최외곽 공통전극(150)이 화소전극(117)의 모서리보다 $1\mu\text{m}$ 이상 돌출되도록 형성한 경우의 전계(실선)와 투과율(점선)을 나타낸 것으로, 최외곽 공통전극(150)에서 발생하는 전계에 의해 액정이 직접 구동되는 것을 볼 수 있으며, 투과율 곡선도 더 커져 빛샘이 많이 발생함을 짐작할 수 있다.
- [0072] 결과적으로, 상기의 시뮬레이션 데이터로부터, 화소전극에 오버랩되는 공통전극의 선폭을 $1\mu\text{m}$ 이상 줄일 때, 어느 정도의 빛샘이 방지되고 전계왜곡에 의한 큰 영향이 없다는 사실이 도출되었다.
- [0073] 그러나, 더욱 바람직하게는 화소전극에 오버랩되는 공통전극의 선폭을 $3\mu\text{m}$ 이상 줄일 때, 공통전극에 의한 전계 왜곡이 전혀 일어나지 않고 빛샘도 발생하지 않는다는 것이 확인되었다.
- [0074] 이와같이, 화소전극에 오버랩되는 공통전극의 선폭을 화소전극 모서리 안측으로 $1\mu\text{m}$ 이상, 바람직하게는, $3\mu\text{m}$ 이상 줄일 때, 전계왜곡이 일어나지 않고 빛샘이 발생하지 않는 것이다.
- [0075] 다만, 전술한바와 같이, 공통전극의 선폭을 줄이되, 화소전극과 최소한의 마진으로 오버랩시켜 원하지 않게 액정이 구동되는 일이 없도록 한다.
- [0076] 제 2 실시예
- [0077] 도 11은 본 발명의 제 2 실시예에 의한 횡전계방식 액정표시소자의 평면도이고, 도 12는 본 발명의 제 2 실시예에 의한 공통전극의 평면도이다.
- [0078] 본 발명의 제 2 실시예에 의한 격자구조의 화소전극 및 공통전극을 구비하여 상기 화소전극 및 공통전극으로 정의되는 블록을 게이트 배선 방향으로 홀수개 또는 짝수개 배치가능한 횡전계방식 액정표시소자에 있어서, 상기 공통전극 중에서 화소전극에 오버랩되는 공통전극의 선폭을 $1\mu\text{m}$ 이상, 바람직하게는, $3\mu\text{m}$ 이상 줄여 최외곽 공통전극에 의한 전계왜곡 현상을 방지하는 것을 특징으로 한다.
- [0079] 특히, 본 발명의 제 2 실시예는, 도 11에 도시된 바와 같이, 상기 데이터 배선(215), 공통전극(224), 화소전극(217)을 지그재그 형태로 형성하지 않고 일직선 형태로 형성한 것을 특징으로 한다.
- [0080] 구체적으로, 도 11에 도시된 바와 같이, 일렬로 배치된 복수개의 게이트 배선(212)과 상기 게이트 배선(212)에 수직 교차하는 복수개의 데이터 배선(215)에 의해 화소영역이 정의되는데, 상기 화소영역 내에는 상기 두 배선의 교차 지점에 형성되어 전압을 스위칭하는 박막트랜지스터(TFT)와, "┐" 및 "└"자형으로 반복 배치된 격자 구조를 가지며 상기 화소영역을 매트리스 형태의 블록(230)으로 구분짓는 공통전극(224) 및 화소전극(217)이 구비된다.
- [0081] 구체적으로, 상기 공통전극(224)은 상기 게이트 배선(212)에 평행하는 다수개의 수평부(224b)와 상기 데이터 배선(215)에 평행하는 다수개의 수직부(224a)로 구성되며, 공통배선(225)이 추가 구성되어 인접하는 화소영역의 공통전극(224)을 서로 연결하여 외곽으로부터 액티브 영역으로 공통신호를 전달해준다.
- [0082] 이 때, 상기 화소영역의 최외곽 가장자리에 형성되는 최외곽 공통전극(250)은 데이터 배선(215)의 모서리에서 새어나오는 빛샘을 방지하기 위해 데이터 배선의 양 모서리변에 각각 위치한다.
- [0083] 그리고, 상기 화소전극(217)은 상기 공통전극의 수직부(224a) 사이에 위치하는 일직선 형상의 수직부(217a)와 상기 공통전극의 수평부(224b) 사이에 위치하여 상기 화소전극의 수직부(217a)로부터 분기되는 형상의 수평부(217b)로 구성되며, 상기 박막트랜지스터의 드레인 전극(215b)에 연결되어 화소신호를 인가받는다.
- [0084] 이 때, 상기 화소전극(217)의 수직부(224a)가 최외곽 공통전극(250)에 부분적으로 오버랩되는데, 본 발명은 상기 화소전극(217)에 오버랩되는 최외곽 공통전극(250)의 선폭을 줄이는 것을 특징으로 한다.
- [0085] 즉, 최외곽 공통전극(250)을 화소전극(217)의 모서리로부터 $1\mu\text{m}$ 이상 안측으로, 바람직하게는, $3\mu\text{m}$ 이상 안측으로 형성하는 것으로 한다. 다만, 최외곽 공통전극(250)과 화소전극(217)이 오버랩되지 않으면 두 전극 사이에 기생전계가 발생할 수 있으므로 최소한의 선폭으로 오버랩시키는 것으로 한다.
- [0086] 따라서, 최외곽 공통전극(250)은, 도 12에 도시된 바와 같이, 이중선폭을 가지게 된다. 여기서, 공통전극의 수직부 및 수평부(224a, 224b) 또한 화소전극과 오버랩되면 그 선폭을 줄일 수 있을 것이다.
- [0087] 이와같이 형성된 액정표시소자는 전압인가시, 각 블록(230)의 "┐", "└"자형의 화소전극(217) 및 공통전극(224)에 의해 45° 또는 135° 의 전계가 형성되어 투과율이 최대인 45° 또는 135° 상태로 액정분자가 유지되므로,

투과율이 최대치에서 안정한 상태를 유지할 수 있게 된다.

- [0088] 화소영역의 양 가장자리에 최외곽 공통전극을 형성하고, 공통전극(224)의 수직부 사이에 화소전극(217)의 수직부가 직선으로 삽입되는 구조에 있어서, 화소영역 크기에 따라, 짝수개의 블록배치 뿐만 아니라 홀수개의 블록배치도 가능하게 하므로 소자의 개구율을 최적화시킬 수 있다.
- [0089] 제 3 실시예
- [0090] 도 13은 본 발명의 제 3 실시예에 의한 횡전계방식 액정표시소자의 평면도이고, 도 14는 본 발명의 제 3 실시예에 의한 공통전극의 평면도이다.
- [0091] 본 발명의 제 3 실시예에 의한 횡전계방식 액정표시소자는, 제 2 실시예에 의한 횡전계방식 액정표시소자의 단점을 최소화하여 모드 효율을 향상시키기 위한 구조를 제안한 것인데, 제 2 실시예에서는, 도 11에 도시된 바와 같이, 공통전극(224)과 화소전극(217)이 꺾어지는 코너부에서 등전위가 형성될 뿐만 아니라, 코너부에서의 공통전극(224)과 화소전극(217) 사이의 먼 거리 때문에 전계가 약하게 형성됨으로 인해서, 액정방향자의 동작이 잘 이루어지지 못하여 소자의 투과율이 떨어지는 단점이 있었다.
- [0092] 따라서, 제 3 실시예에서는 전극이 꺾어지는 코너부에서의 전계효과를 높이기 위해서, 도 13에 도시된 바와 같이, 화소전극(517)의 일 모서리를 경사지도록 형성하여 코너부에서의 공통전극(524)과 화소전극(517)의 거리를 가깝게 하는 것을 특징으로 한다.
- [0093] 이 경우에도 화소전극에 오버랩되는 공통전극의 선폭을 $1\mu\text{m}$ 이상, 바람직하게는, $3\mu\text{m}$ 이상 줄임으로써 공통전극에 형성되는 전계에 의해서 화소전극에 형성되는 전계가 왜곡되지 않도록 하는 것을 특징으로 한다.
- [0094] 즉, 제 3 실시예에 의한 횡전계방식 액정표시소자는 서로 수직 교차하는 복수개의 게이트 배선(512) 및 데이터 배선(515)에 의해 정의된 화소영역 내에는 상기 두 배선의 교차 지점에 형성되어 전압을 스위칭하고, 게이트 전극, 반도체층(514), 소스/드레인 전극(515a, 515b)으로 이루어진 박막트랜지스터(TFT)와, 상기 화소영역을 매트릭스 형태의 블록으로 분할하는 공통전극(524)과, 상기 공통전극(524)을 일체형으로 연결해주는 공통배선(525)과, 상기 블록을 등분할하여 서브-블록(530)을 정의하기 위한 경사부를 포함하는 화소전극(517)으로 구성된다.
- [0095] 따라서, 상기 각 서브-블록은 90° 이상으로 꺾어진 "┐"자형 또는 "┌"자형의 화소전극(517)과, 90° 로 꺾어진 "┐"자형 또는 "┌"자형의 공통전극(524)을 모서리로 가지게 한다.
- [0096] 구체적으로, 상기 공통전극(524)은 상기 게이트 배선(512)에 평행하는 수평부(524b)와 데이터 배선(515)에 평행하는 수직부(524a)가 서로 교차되어 사각형 형태의 블록을 정의하는 형태로 구성되며, 그 중에서 화소영역의 양 가장자리에 최외곽 공통전극(550)이 위치하도록 하여 데이터 배선(515) 모서리에서 새어나오는 빛샘을 차광한다.
- [0097] 여기서, 화소영역 양가장자리 형성되는 최외곽 공통전극(550)은 상기 화소전극(517)과 오버랩되는 부분에서 최소의 합착마진의 폭을 가지도록 그 폭을 작게 형성하는데, 화소전극(517) 모서리로부터 $1\mu\text{m}$ 이상 바람직하게는 $3\mu\text{m}$ 이상 안측으로 형성한다.
- [0098] 따라서, 최외곽 공통전극(550)은, 도 14에 도시된 바와 같이, 이중선폭을 가지게 된다. 여기서, 공통전극의 수직부 및 수평부(524a, 524b) 또한 화소전극과 오버랩되면 그 선폭을 줄일 수 있을 것이다.
- [0099] 한편, 상기 화소전극(517)은 상기 블록이 사다리꼴 형태의 서브-블록(530)으로 분할되도록 사선방향으로 형성되는 경사부를 포함하는 제 1 화소전극부(517a)와 상기 제 1 화소전극부(517a)를 연결하는 제 2 화소전극부(517b)로 구성된다.
- [0100] 따라서, 공통전극의 수평부(524b)와 수직부(524a) 및 화소전극의 제 1, 제 2 화소전극부(517a, 517b)에 의해 정의되는 서브-블록(530)은 사다리꼴 형상으로 형성되며, 각 서브-블록(530)은 "┐" 또는 "┌"자형의 공통전극(524)과 90° 이상의 각도로 꺾어진 화소전극(517)으로 그 모서리가 이루어진다.
- [0101] 상기와 같은 구조로 형성된 공통전극(524) 및 화소전극(517)에 특정전압을 가하면, 화소전극(517)의 수평부를 경사지게 형성하는 것에 의해서, 공통전극(524)과 화소전극(517)의 간격이 짧아져 전계효과가 극대화되고, 코너부의 등전위 영역을 작게 만듦으로써 액정방향자의 평균 회전 반경을 증가시킨다. 따라서, 액정패널의 투과율이 상승하게 된다.
- [0102] 한편, 상기 실시예에서 공통전극의 선폭을 줄이는 경우, 화소전극과 오버랩되지 않는 부분의 공통전극의 선폭을

크게 하여 공통전극 신호의 흐름을 원활하게 할 수 있다.

[0103] 이 상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

[0104] 상기와 같은 본 발명의 횡전계방식 액정표시소자는 다음과 같은 효과가 있다.

[0105] 본 발명은 화소전극에 오버랩되는 공통전극의 선폴을 화소전극의 모서리변에서 안측으로 줄임으로써, 상기 공통전극에 의하여 화소전극에 형성되는 전계가 왜곡되지 않도록 한다.

[0106] 이 때, 상기 화소전극에 오버랩되는 공통전극의 선폴을 화소전극 모서리 안측으로 $1\mu\text{m}$ 이상, 바람직하게는, $3\mu\text{m}$ 이상 줄임으로써, 전계왜곡 방지와 동시에 빛샘현상도 방지한다.

도면의 간단한 설명

[0001] 도 1은 종래 기술에 의한 횡전계방식 액정표시소자의 평면도.

[0002] 도 2는 도 1의 I-I'선상에서의 횡전계방식 액정표시소자의 단면도.

[0003] 도 3은 본 발명의 제 1 실시예에 의한 횡전계방식 액정표시소자의 평면도.

[0004] 도 4는 도 3의 II-II'선상에서의 횡전계방식 액정표시소자의 단면도.

[0005] 도 5는 본 발명의 제 1 실시예에 의한 공통전극의 평면도.

[0006] 도 6은 화소전극에 오버랩되는 공통전극의 선폴을 3 μm 줄인 경우의 전계와 투과율을 도시한 그래프.

[0007] 도 7은 화소전극에 오버랩되는 공통전극의 선폴을 2 μ m 줄인 경우의 전계와 투과율을 도시한 그래프.

[0008] 도 8은 화소전극에 오버랩되는 공통전극의 선폴을 $1\mu\text{m}$ 줄인 경우의 전계와 투과율을 도시한 그래프.

[0009] 도 9는 화소전극과 공통전극의 모서리를 동일선상에 형성한 경우의 전계와 투과율을 도시한 그래프.

[0010] 도 10은 공통전극을 화소전극 외부로 $1\mu\text{m}$ 노출되게 형성한 경우의 전계와 투과율을 도시한 그래프.

[0011] 도 11은 본 발명의 제 2 실시예에 의한 횡전계방식 액정표시소자의 평면도.

[0012] 도 12는 본 발명의 제 2 실시예에 의한 공통전극의 평면도.

[0013] 도 13은 본 발명의 제 3 실시예에 의한 횡전계방식 액정표시소자의 평면도.

[0014] 도 14는 본 발명의 제 3 실시예에 의한 공통전극의 평면도.

[0015] *도면의 주요 부분에 대한 부호설명

[0016] 112 : 게이트 배선 112a : 게이트 전극

[0017] 114 : 반도체층 115 : 데이터 배선

[0018] 115a : 소스 전극 115b : 드레인 전극

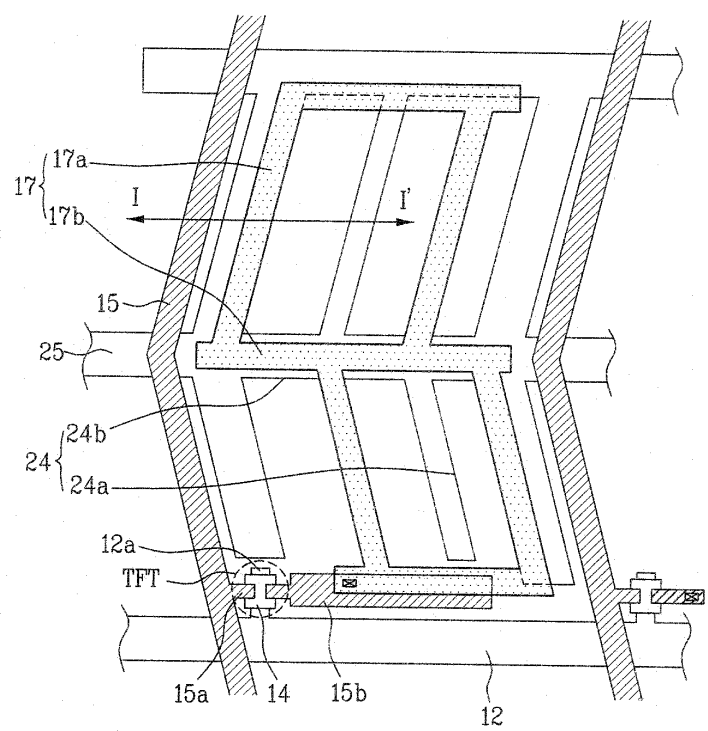
[0019] 117 : 화소전극 124 : 공통전극

[0020] 125 : 공통배선 130 : 블록

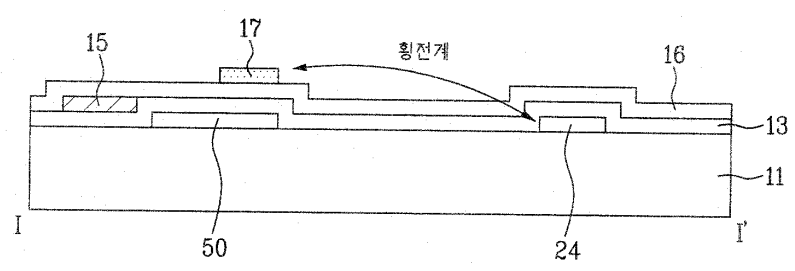
[0021] 150 : 최외곽 공통전극

도면

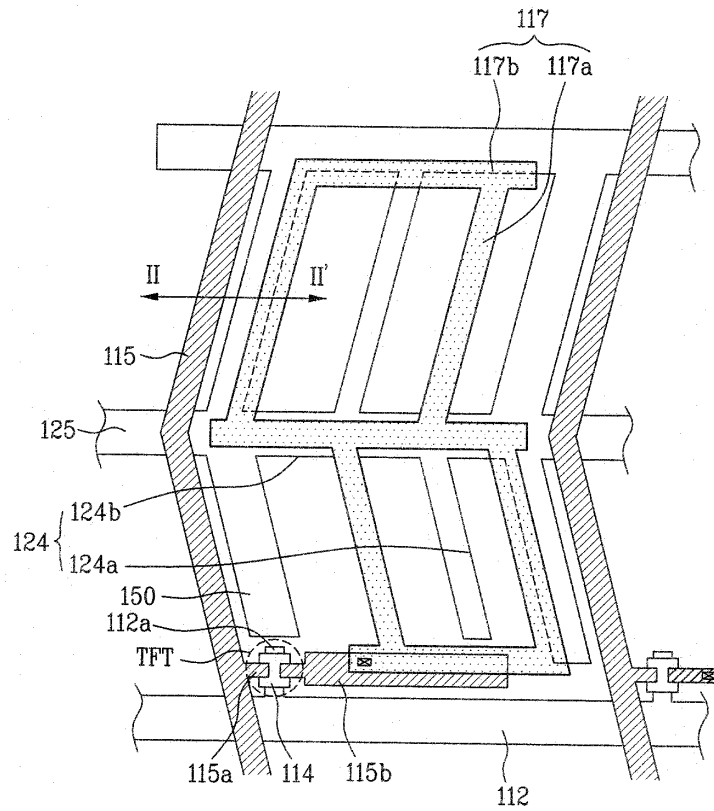
도면1



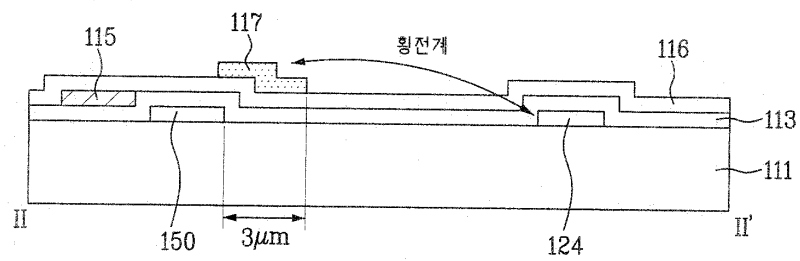
도면2



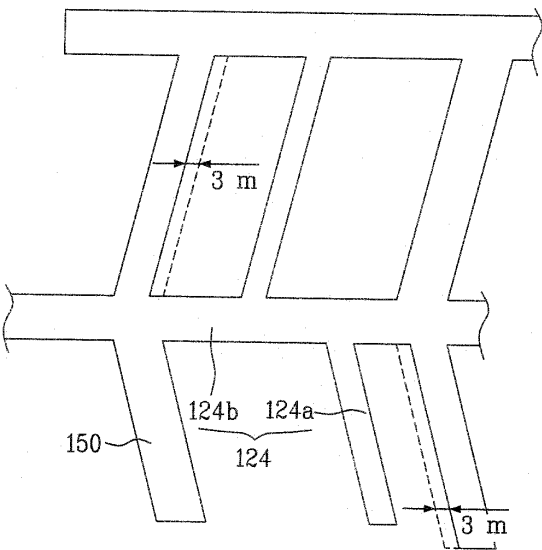
도면3



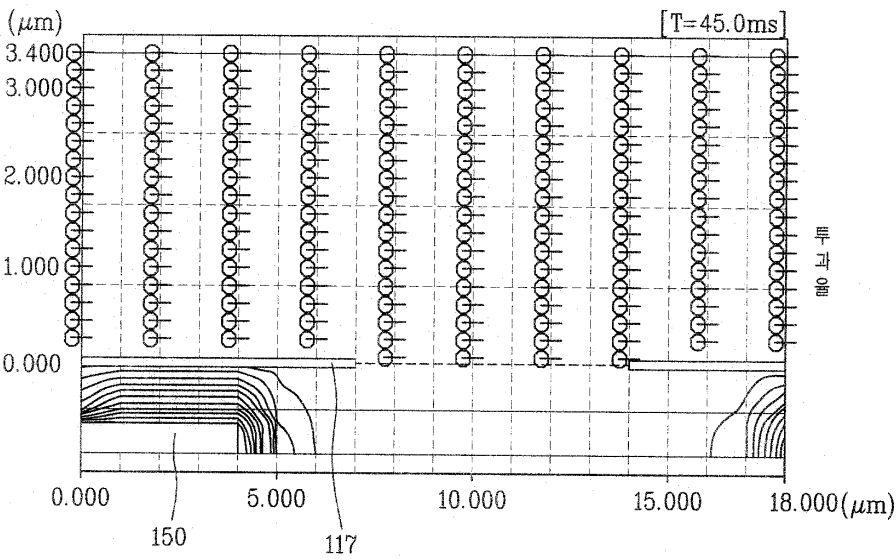
도면4



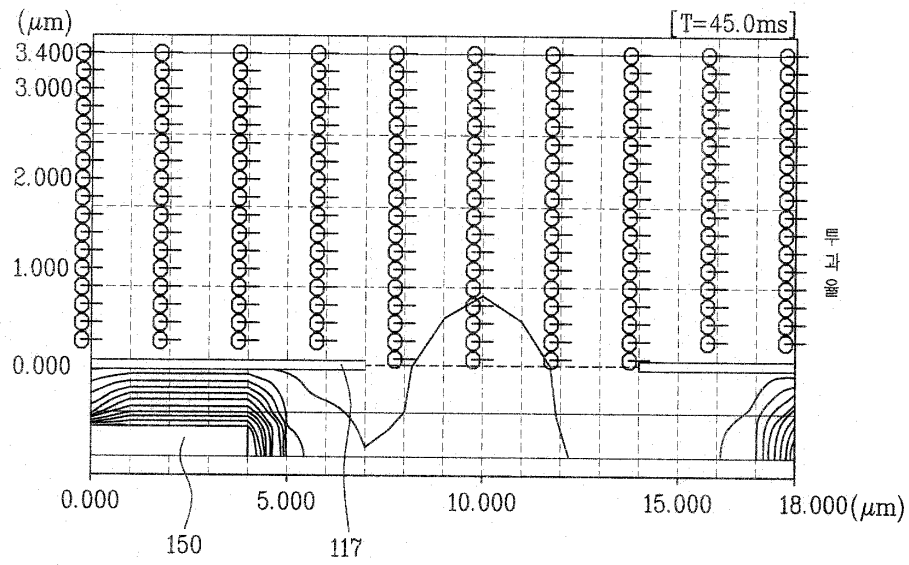
도면5



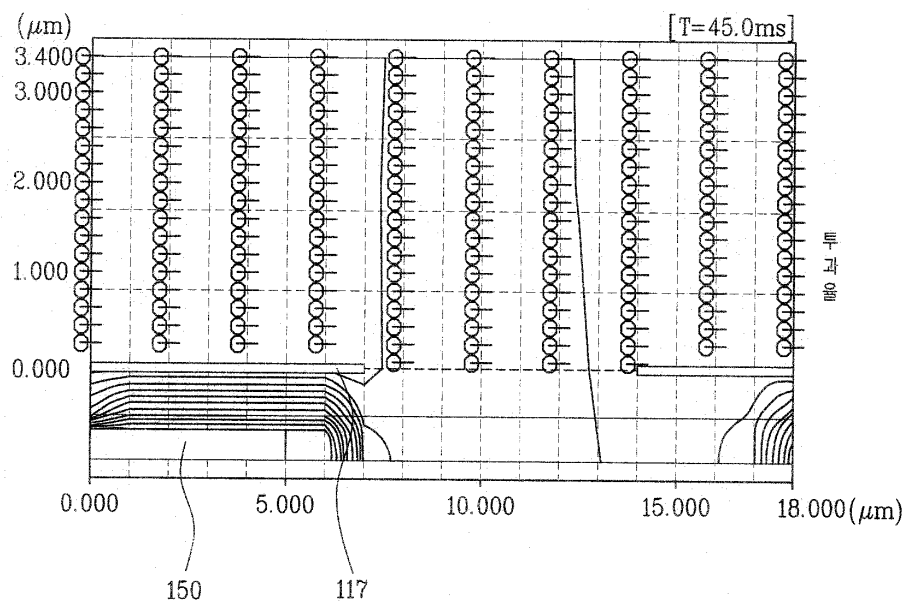
도면6



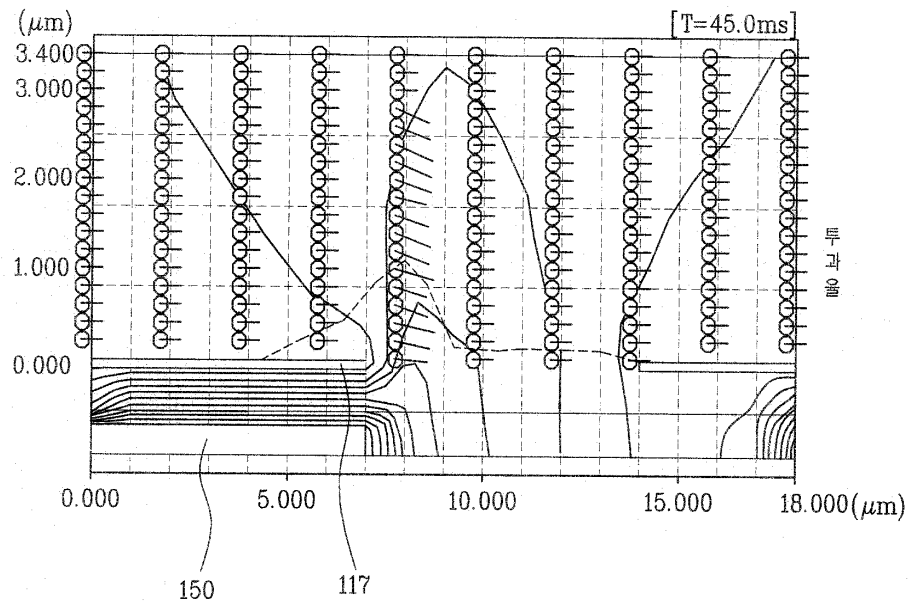
도면7



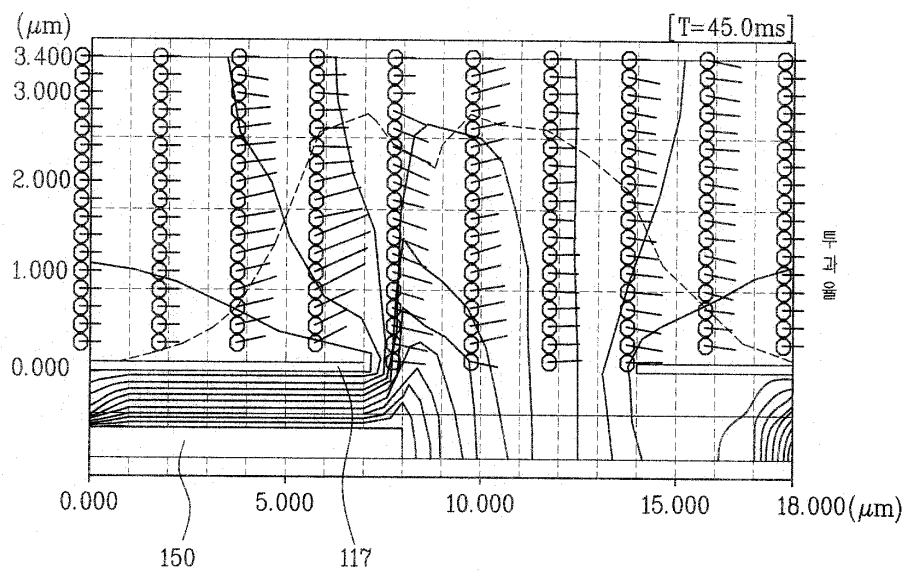
도면8



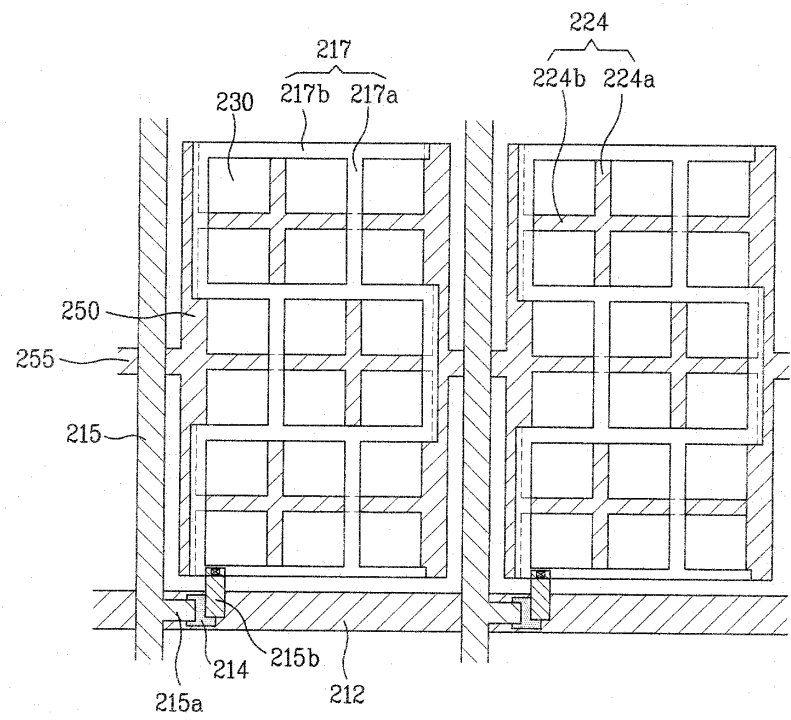
도면9



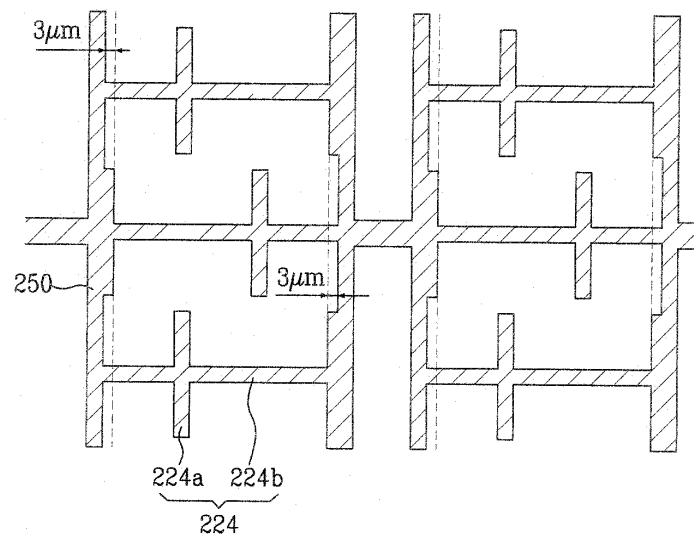
도면10



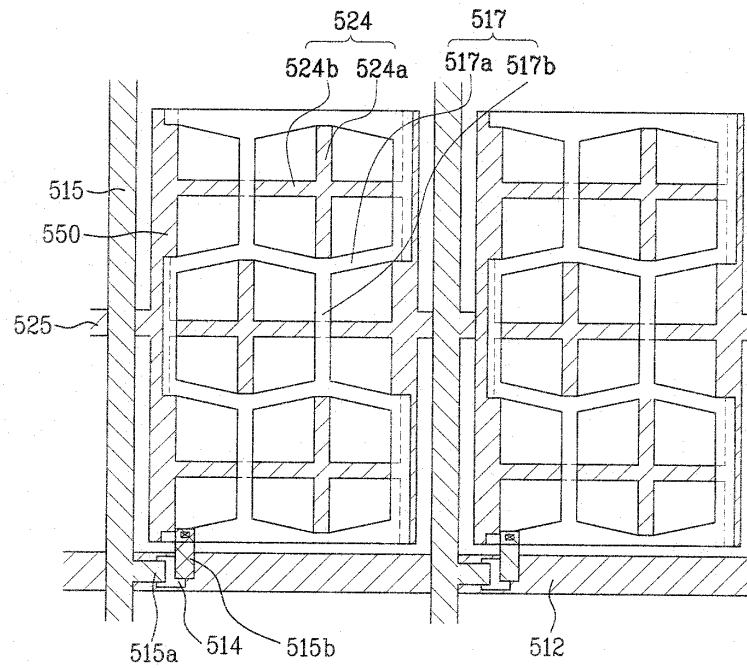
도면11



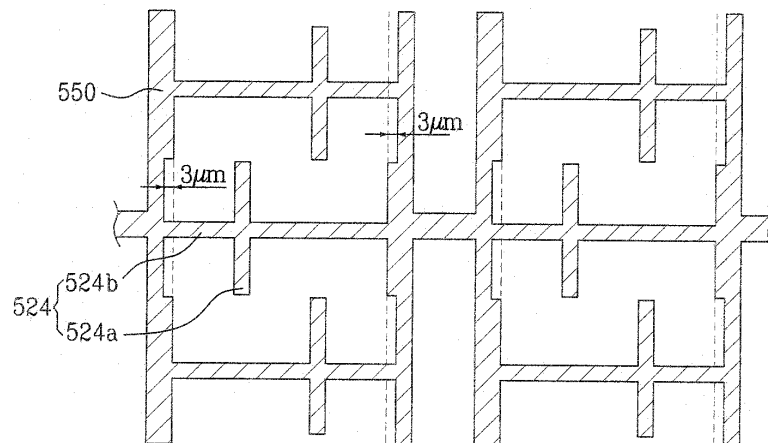
도면12



도면13



도면14



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제7항, 2째줄

【변경전】

최외각 공통전극

【변경후】

최외곽 공통전극

专利名称(译)	液晶显示装置技术领域本发明涉及液晶显示装置		
公开(公告)号	KR101352099B1	公开(公告)日	2014-01-23
申请号	KR1020040046523	申请日	2004-06-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KANG WONSEOK 강원석 LEE WONHO 이원호		
发明人	강원석 이원호		
IPC分类号	G02F1/1343 G02F		
CPC分类号	G02F1/134363		
代理人(译)	金勇 青岛公园		
其他公开文献	KR1020050121401A		
外部链接	Espacenet		

摘要(译)

公开了一种面内切换 (IPS) 模式LCD装置，用于在减小与像素电极重叠的公共电极的线宽的方法中防止横向电场的失真，所述像素电极包括交叉的栅极和限定a的数据线。像素区域;在栅极线和数据线的交叉点处的薄膜晶体管;像素电极形成在像素区域中并与薄膜晶体管连接;公共电极设置在像素区域的像素电极之间;其中，与数据线相邻形成的最外面的公共电极与像素电极部分重叠，并且与像素电极重叠的最外面的公共电极的预定部分的线宽小于最外面的公共电极的其余部分。电极。

