

특허청구의 범위

청구항 1

복수의 게이트 라인들;

복수의 메인 데이터 라인들;

상기 메인 데이터 라인 및 상기 게이트 라인에 전기적으로 연결된 메인 스위칭소자;

상기 메인 스위칭소자에 전기적으로 연결된 액정 캐패시터;

외부로부터 제공되는 부분 구동 신호를 전달하는 부분 게이트 라인;

데이터 신호를 전달하는 부분 데이터 라인; 및

상기 부분 구동 신호에 응답하여 턴-온되고,

(i) 상기 메인 스위칭소자의 턴-온에 따라, 상기 데이터 신호를 상기 부분 데이터 라인을 경유하여 메모리에 제공하고,

(ii) 상기 메모리에 저장된 상기 데이터 신호를 상기 액정 캐패시터에 공급하는 부분 스위칭소자를 포함하고,

상기 부분 스위칭 소자는 상기 부분 게이트 라인 및 상기 부분 데이터 라인에 전기적으로 연결되어 상기 부분 구동 신호에 따라 작동되는 것을 특징으로 하는 액정표시패널.

청구항 2

제1항에 있어서, 상기 게이트 라인들 및 상기 메인 데이터 라인들은 표시부를 정의하고,

상기 표시부는 메인 화면과, 상기 메인 화면의 일부에 중첩된 부분 화면을 포함하는 것을 특징으로 하는 액정표시패널.

청구항 3

제2항에 있어서, 상기 부분 게이트 라인은 상기 부분 화면에 대응하여 형성된 것을 특징으로 하는 액정표시패널.

청구항 4

제3항에 있어서, 상기 부분 게이트 라인은 상기 부분 화면에 대응하여 형성된 부분 스위칭소자 모두와 전기적으로 연결된 것을 특징으로 하는 액정표시패널.

청구항 5

제2항에 있어서, 상기 부분 화면에 대응하여 형성된 부분 데이터 라인은 인접하는 부분 데이터 라인과 공통 연결된 것을 특징으로 하는 액정표시패널.

청구항 6

표시 영역의 주변 영역에 배치된 메모리; 및

상기 표시 영역에 형성된 메인 화면과, 상기 메인 화면의 일부에 중첩된 부분 화면을 포함하는 표시부를 포함하고,

전체 화면 모드시, 상기 메인 화면 및 상기 부분 화면은 활성화되고,

부분 화면 모드시, 상기 메인 화면의 일부분은 비활성화되고, 상기 부분 화면은 상기 메모리의 제어에 응답하여 활성화되는 것을 특징으로 하고,

상기 표시부는

복수의 게이트 라인들;

상기 게이트 라인들과 교차하여, 복수의 화소영역들을 정의하는 복수의 데이터 라인들;

상기 부분 화면에 대응하는 상기 화소영역에 형성되어 상기 부분 화면을 정의하는 복수의 부분 게이트 라인들;
 상기 부분 게이트 라인들과 교차하는 복수의 부분 데이터 라인들; 및
 서로 인접하고, 전기적으로 연결된 부분 데이터 라인들을 전기적으로 연결하는 브리지 라인을 포함하는 액정표시패널.

청구항 7

삭제

청구항 8

제6항에 있어서, 상기 부분 게이트 라인들은 공통 연결된 것을 특징으로 하는 액정표시패널.

청구항 9

삭제

청구항 10

제6항에 있어서, 상기 메모리는 복수의 메모리 셀들을 포함하고,
 상기 메모리 셀들 각각은 2개 이상의 부분 데이터 라인들과 전기적으로 연결된 것을 특징으로 하는 액정표시패널.

청구항 11

삭제

청구항 12

제10항에 있어서, 상기 메모리 셀들 각각은,
 SRAM 셀;
 상기 부분 소스 라인과 상기 SRAM 셀간에 전기적으로 연결된 제1 스위치; 및
 상기 제1 스위치에 전기적으로 연결된 부분 소스 라인과 상기 SRAM 셀간에 전기적으로 연결된 제2 스위치를 포함하는 것을 특징으로 하는 액정표시패널.

청구항 13

제12항에 있어서, 상기 제1 및 제2 스위치들 각각은 트랜스미션 게이트를 포함하는 것을 특징으로 하는 액정표시패널.

청구항 14

제12항에 있어서, 상기 제1 및 제2 스위치들 각각은 외부에서 공급되는 제1 반전 신호와, 상기 제1 반전 신호와 위상이 반대인 제2 반전 신호에 응답하여 교호로 턴-온되어 상기 SRAM 셀에 데이터 신호가 기입 되도록 제어하는 것을 특징으로 하는 액정표시패널.

청구항 15

제12항에 있어서, 상기 제1 및 제2 스위치들 각각은 외부에서 공급되는 제1 반전 신호와, 상기 제1 반전 신호와 위상이 반대인 제2 반전 신호에 응답하여 교호로 턴-온되어 상기 SRAM 셀로부터 데이터 신호가 추출되도록 제어하는 것을 특징으로 하는 액정표시패널.

청구항 16

제10항에 있어서, 상기 부분 화면은
 일정 수의 부분 게이트 라인들과 제1 메모리 셀에 전기적으로 연결된 제1 그룹화소;

상기 제1 그룹화소에 인접 배치되고, 상기 제1 그룹화소에 연결된 부분 게이트 라인들과 제2 메모리 셀에 전기적으로 연결된 제2 그룹화소;

상기 제1 그룹 화소에 인접 배치되고, 상기 제1 그룹화소에 연결된 부분 게이트 라인들과는 다른 부분 게이트 라인들과 제3 메모리 셀에 전기적으로 연결된 제3 그룹화소; 및

상기 제3 그룹화소에 인접 배치되고, 상기 제3 그룹화소에 연결된 부분 게이트 라인들과 제4 메모리 셀에 전기적으로 연결된 제4 그룹화소를 포함하며,

상기 제1 및 제3 그룹화소들은 공통전압 대비 서로 다른 극성의 데이터 신호를 충전하는 것을 특징으로 하는 액정표시패널.

청구항 17

제16항에 있어서, 상기 제2 그룹화소는 상기 제1 그룹화소와 동일한 극성의 데이터 신호를 충전하고, 상기 제4 그룹화소는 상기 제3 그룹화소와 동일한 극성의 데이터 신호를 충전하는 것을 특징으로 하는 액정표시패널.

청구항 18

제16항에 있어서, 상대적으로 낮은 레벨을 갖는 공통전압이 인가될 때, 상기 제1 그룹화소는 공통전압 대비 정극성의 데이터 신호를 충전하고,

상기 상대적으로 낮은 레벨을 갖는 공통전압보다 상대적으로 높은 레벨을 갖는 공통전압이 인가될 때, 상기 제3 그룹화소는 공통전압 대비 부극성의 데이터 신호를 충전하는 것을 특징으로 하는 액정표시패널.

청구항 19

제18항에 있어서, 상기 제2 그룹화소는 공통전압 대비 정극성의 데이터 신호를 충전하고,

상기 제4 그룹화소는 공통전압 대비 부극성의 데이터 신호를 충전하는 것을 특징으로 하는 액정표시패널.

청구항 20

복수의 게이트 신호들을 출력하는 게이트 구동부;

복수의 데이터 신호들을 출력하는 소스 구동부;

메인 화면과, 상기 메인 화면의 일부에 중첩된 부분 화면을 정의하는 표시부를 포함하는 액정표시패널; 및

상기 표시부를 둘러싸는 주변 영역에 배치되고, 전체 화면 모드시 비활성화되고, 부분 화면 모드시 상기 데이터 신호들을 저장하고, 저장된 데이터 신호들을 상기 부분 화면에 제공하여 상기 부분 화면을 활성화시키는 메모리를 포함하는 것을 특징으로 하고,

상기 표시부는

액정 캐패시터;

상기 게이트 신호에 응답하여 상기 데이터 신호를 상기 액정 캐패시터에 제공하는 메인 스위칭소자;

외부로부터 제공되는 부분 구동 신호에 응답하여 상기 메인 스위칭소자를 경유하는 상기 데이터 신호를 상기 메모리에 저장하고, 상기 저장된 데이터 신호를 상기 액정 캐패시터에 제공하는 부분 스위칭소자;

상기 소스 구동부와 상기 메인 스위칭소자를 전기적으로 연결시키는 메인 데이터 라인;

상기 게이트 구동부와 상기 메인 스위칭소자를 전기적으로 연결시키는 메인 게이트 라인;

상기 메모리와 상기 부분 스위칭소자를 전기적으로 연결시키는 부분 데이터 라인; 및

상기 부분 게이트 신호를 상기 부분 스위칭소자에 전달하는 부분 게이트 라인을 포함하고,

상기 부분 스위칭 소자는 상기 부분 게이트 라인 및 상기 부분 데이터 라인에 전기적으로 연결되어 상기 부분 구동 신호에 따라 작동되는 액정표시장치.

청구항 21

제20항에 있어서, 상기 메모리는 SRAM(static random access memory)을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 22

삭제

청구항 23

삭제

청구항 24

제20항에 있어서, 상기 메모리는 복수의 메모리 셀들을 포함하고,
상기 메모리 셀들 각각은 상기 부분 데이터 라인과 전기적으로 연결된 것을 특징으로 하는 액정표시장치.

청구항 25

제24항에 있어서, 상기 메모리 셀들 각각은 2개 이상의 부분 데이터 라인들과 전기적으로 연결된 것을 특징으로 하는 액정표시장치.

청구항 26

제25항에 있어서,
상기 메모리 셀과 상기 부분 데이터 라인은 상기 부분 화면에서 전기적으로 연결된 것을 특징으로 하는 액정표시장치.

청구항 27

제25항에 있어서, 상기 부분 데이터 라인은
상기 메인 스위칭소자와 상기 부분 스위칭소자를 경유하는 상기 데이터 신호를 상기 메모리 셀에 제공하고,
상기 메모리 셀에 저장된 상기 데이터 신호를 상기 부분 스위칭소자를 경유하여 상기 액정 캐패시터에 제공하는 것을 특징으로 하는 액정표시장치.

청구항 28

제20항에 있어서, 상기 부분 게이트 라인은 상기 부분 화면에 대응하여 형성된 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0018] 본 발명은 액정표시패널 및 이를 갖는 액정표시장치에 관한 것으로, 보다 상세하게는 실질적으로 증가된 메인 표시영역을 갖는 액정표시패널 및 이를 갖는 액정표시장치에 관한 것이다.
- [0019] 근래들어, 이동통신단말기와 같은 휴대폰의 작은 화면에서도 중간 계조 표시나 동화상 표시(이하, 통상 표시라 함)가 행해지도록 되어 있다. 이러한 사용 형태에서, 대기 시에 저소비 전력으로 정지 화상을 표시하고, 통화 시에는 풀 컬러에 의한 일반적인 표시 동작을 행하는 것이 요구되고 있다.
- [0020] 상기 통상 표시와 상기 정지 화상 표시의 전환이 가능하도록 구성한 경우에는, 소스 구동부 외에 SRAM(static random access memory) 드라이버가 필요해지기 때문에, 액정표시장치의 제조 비용 및 소비 전력이 증가된다.
- [0021] 한편, 이동통신단말기에 채용되는 액정표시패널은 메인 표시영역과, 상기 메인 표시영역과는 구별되는 부분 표

시영역으로 구획된다. 상기 부분 표시영역에는 각종 아이콘 모양의 영상이 표시된다. 상기 아이콘은 안테나의 수신감도를 나타내는 아이콘, 진동모드의 설정 여부를 나타내는 아이콘 등, 배터리의 잔량을 나타내는 아이콘 등을 포함한다.

[0022] 하지만, 상기 메인 표시영역의 일부가 부분 표시영역으로 사용되기 때문에 실질적으로 메인 표시영역이 감소하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

[0023] 이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 실질적으로 증가된 메인 표시영역을 갖고서 소비 전력을 줄이기 위한 액정표시패널을 제공하는 것이다.

[0024] 본 발명의 다른 목적은 상기한 액정표시패널을 갖는 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

[0025] 상기한 본 발명의 목적을 실현하기 위하여 일실시예에 따른 액정표시패널은 복수의 게이트 라인들, 복수의 메인 데이터 라인들, 메인 스위칭소자, 액정 캐패시터, 부분 게이트 라인, 부분 데이터 라인 및 부분 스위칭소자를 포함한다. 상기 메인 스위칭소자는 상기 메인 데이터 라인 및 상기 게이트 라인에 전기적으로 연결된다. 상기 액정 캐패시터는 상기 메인 스위칭소자에 전기적으로 연결된다. 상기 부분 게이트 라인은 외부로부터 제공되는 부분 구동 신호를 전달한다. 상기 부분 데이터 라인에 상기 데이터 신호를 전달한다. 상기 부분 스위칭소자는 상기 부분 구동 신호에 응답하여 턴-온되고, (i) 상기 메인 스위칭소자의 턴-온에 따라, 상기 데이터 신호를 상기 부분 데이터 라인을 경유하여 메모리에 제공하고, (ii) 상기 메모리에 저장된 데이터 신호를 상기 액정 캐패시터에 공급한다.

[0026] 본 실시예에서, 상기 게이트 라인들 및 상기 메인 데이터 라인들은 표시부를 정의한다. 상기 표시부는 메인 화면과, 상기 메인 화면의 일부에 중첩된 부분 화면을 포함한다. 여기서, 상기 부분 게이트 라인에 상기 부분 화면에 대응하여 형성된다. 상기 부분 게이트 라인에 상기 부분 화면에 대응하여 형성된 부분 스위칭소자 모두와 전기적으로 연결된다. 상기 부분 화면에 대응하여 형성된 부분 데이터 라인은 인접하는 부분 데이터 라인과 공통 연결된다.

[0027] 상기한 본 발명의 목적을 실현하기 위하여 다른 실시예에 따른 액정표시패널은 메모리 및 표시부를 포함한다. 상기 메모리는 표시 영역의 주변 영역에 배치된다. 상기 표시부는 상기 표시 영역에 형성된 메인 화면과, 상기 메인 화면의 일부에 중첩된 부분 화면을 포함한다. 전체 화면 모드시, 상기 메인 화면 및 상기 부분 화면은 활성화되고, 부분 화면 모드시, 상기 메인 화면의 일부 영역의 화면은 비활성화되고, 상기 부분 화면은 상기 메모리의 제어에 응답하여 활성화된다.

[0028] 본 실시예에서, 상기 표시부는 복수의 게이트 라인들, 복수의 데이터 라인들, 복수의 부분 게이트 라인들 및 복수의 부분 데이터 라인들을 포함한다. 상기 데이터 라인들은 상기 게이트 라인들과 교차하여, 복수의 화소영역들을 정의한다. 상기 부분 게이트 라인들은 상기 부분 화면에 대응하는 상기 화소영역에 형성되어 상기 부분 화면을 정의한다. 여기서, 상기 부분 게이트 라인들은 공통 연결된다.

[0029] 상기한 본 발명의 다른 목적을 실현하기 위하여 일실시예에 따른 액정표시장치는 게이트 구동부, 소스 구동부, 액정표시패널 및 메모리를 포함한다. 상기 게이트 구동부는 복수의 게이트 신호들을 출력한다. 상기 소스 구동부는 복수의 데이터 신호들을 출력한다. 상기 메모리는 SRAM을 포함한다.

[0030] 본 실시예에서, 상기 표시부는 액정 캐패시터, 메인 스위칭소자 및 부분 스위칭소자를 포함한다. 상기 메인 스위칭소자는 상기 게이트 신호에 응답하여 상기 데이터 신호를 상기 액정 캐패시터에 제공한다. 상기 부분 스위칭소자는 외부로부터 제공되는 부분 구동 신호에 응답하여 상기 메인 스위칭소자를 경유하는 상기 데이터 신호를 상기 메모리에 저장하고, 상기 저장된 데이터 신호를 상기 액정 캐패시터에 제공한다.

[0031] 상기 메모리는 복수의 메모리 셀들을 포함하고, 상기 메모리 셀들 각각은 상기 부분 데이터 라인에 전기적으로 연결된다. 상기 메모리 셀들 각각은 2개 이상의 부분 데이터 라인들과 전기적으로 연결된다. 상기 부분 데이터 라인은 상기 메인 스위칭소자와 상기 부분 스위칭소자를 경유하는 상기 데이터 신호를 상기 메모리 셀에 제공한다. 상기 메모리 셀에 저장된 상기 데이터 신호를 상기 부분 스위칭소자를 경유하여 상기 액정 캐패시터에 제공한다.

[0032] 이러한 액정표시패널 및 이를 갖는 액정표시장치에 의하면, 액정표시패널의 표시영역에는 메인 화면과 상기 메

인 화면에 중첩된 부분 화면이 정의되므로, 실질적으로 메인 표시영역을 증가시킬 수 있다. 또한, 상기 표시영역을 둘러싸는 주변 영역에 배치된 메모리가 부분 화면 모드를 구현하므로 소비 전력을 줄일 수 있다.

- [0033] 이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.
- [0034] 도 1은 본 발명의 일실시예에 따른 액정표시장치를 설명하는 블록도이다.
- [0035] 도 1을 참조하면, 본 발명의 일실시예에 따른 액정표시장치(100)는 게이트 구동부(110), 소스 구동부(120), 액정표시패널(130), 메모리(140) 및 연성인쇄회로기판(150)을 포함한다.
- [0036] 게이트 구동부(110)는 복수의 게이트 신호들을 액정표시패널(130)에 출력한다.
- [0037] 소스 구동부(120)는 복수의 데이터 신호들을 액정표시패널(130)에 출력한다.
- [0038] 액정표시패널(130)은 제1 기판(132)과 제1 기판(132)과 마주하는 제2 기판(134)과, 제1 및 제2 기판(132, 134) 사이에 개재된 액정층(미도시)을 포함한다.
- [0039] 제1 기판(132)은 표시부에 대응하는 표시영역(DA)과, 표시영역(DA)을 둘러싸는 제1, 제2 및 제3 주변영역들(PA1, PA2, PA3)을 포함한다.
- [0040] 표시영역(DA)에는 복수의 게이트 라인들(GL1, ..., GLn)과 게이트 라인들(GL1, ..., GLn)과 교차하는 복수의 데이터 라인들(DL1, ..., DLm)이 형성된다.
- [0041] 서로 인접하는 게이트 라인들(GL1, ..., GLn)과 서로 인접하는 데이터 라인들(DL1, ..., DLm)은 복수의 화소부(P)들을 정의한다. 각 화소부(P)는 다결정 실리콘 박막트랜지스터(a-Si TFT)와, 다결정 실리콘 박막트랜지스터(a-Si TFT)에 전기적으로 연결된 액정 캐패시터(CLC)와, 액정 캐패시터(CLC)와 전기적으로 연결된 스토리지 캐패시터(CST)를 포함한다.
- [0042] 표시영역(DA)은 메인 화면(MS)과, 메인 화면(MS)의 일부에 중첩된 부분 화면(PS)을 포함한다. 전체 화면 모드시, 메인 화면(MS)은 활성화(active)되어, 표시영역(DA) 전체를 커버한다. 부분 화면 모드시, 부분 화면(PS)은 활성화되고, 부분 화면(PS)을 제외한 나머지 영역은 비활성화(inactive)된다.
- [0043] 제1 주변영역(PA1)에는 게이트 구동부(110)가 형성되어, 게이트 라인들(GL1, ..., GLn)에 게이트 신호들을 출력한다. 예를들어, 게이트 구동부(110)는 다결정 실리콘 박막트랜지스터(a-Si TFT)들을 포함한다.
- [0044] 제2 주변영역(PA2)에는 소스 구동부(120)가 배치된다. 소스 구동부(120)는 상기 데이터 라인들(DL1, ..., DLm)에 소스 신호들을 출력한다. 소스 구동부(120)는 제1 기판(132)에 집적되거나 칩 형태로 실장된다. 소스 구동부(120)는 n형 다결정 실리콘 박막트랜지스터(n TFT)들과 p형 다결정 실리콘 박막트랜지스터(p TFT)들을 포함한다.
- [0045] 제3 주변영역(PA3)에는 메모리(140)가 배치된다. 메모리(140)는, 부분 화면 모드시, 소스 구동부(120)로부터 제공되는 데이터 신호들을 저장하고, 저장된 데이터 신호들을 부분 화면(PS)에 제공하여 부분 화면을 활성화시킨다. 메모리(140)는, 전체 화면 모드시, 비활성화된다.
- [0046] 연성인쇄회로기판(150)은 액정표시패널(130)과 전기적으로 연결되어, 외부로부터 제공된 영상 신호 및 각종 구동 신호들을 소스 구동부(120)에 전달한다.
- [0047] 도 2는 도 1에 도시된 표시부를 설명하는 등가 회로도이다.
- [0048] 도 1 및 도 2를 참조하면, 표시영역(DA)에 대응하는 표시부는 복수의 메인 게이트 라인들(GLM1, GLM2, ..., GLMn-2, GLMn-1, GLMn), 복수의 메인 데이터 라인들(DLM1, DLM2), 복수의 메인 스위칭소자들(QM), 복수의 액정 캐패시터들(CLC), 복수의 부분 게이트 라인들(GLP1, GLP2), 복수의 부분 데이터 라인들(DLP1, DLP2), 복수의 부분 스위칭소자들(QP) 및 브리지 라인들(BL1, BL2)을 포함한다. 표시부는 액정 캐패시터(CLC)에 전기적으로 연결된 스토리지 캐패시터(CST)(미도시)를 더 포함한다.
- [0049] 메인 게이트 라인들(GLM1, GLM2, ..., GLMn-2, GLMn-1, GLMn)은 가로 방향으로 형성되고, 게이트 구동부(110)로부터 제공되는 게이트 신호를 메인 스위칭소자(QM)에 전달한다.
- [0050] 메인 데이터 라인들(DLM1, DLM2)은 세로 방향으로 형성되고, 소스 구동부(120)로부터 제공되는 데이터 신호를 메인 스위칭소자(QM)를 경유하여 액정 캐패시터(CLC)에 전달한다.
- [0051] 메인 스위칭소자(QM)는 서로 인접하는 메인 데이터 라인들(DLM1, DLM2)과 서로 인접하는 메인 게이트 라인들

(GLM1, GLM2, ..., GLMn-2, GLMn-1, GLMn)에 전기적으로 연결되며, 이에 의해 정의되는 영역에 형성된다. 액정 캐패시터(CLC)는 일단이 메인 스위칭소자(QM)에 전기적으로 연결되고, 타단이 공통전극전압(VCOM)을 공급받는다. 전체 화면 모드시, 액정 캐패시터(CLC)는 메인 데이터 라인(DLM1, DLM2)과 메인 스위칭소자(QM)를 경유하는 데이터 신호를 충전한다. 부분 화면 모드시, 액정 캐패시터(CLC)는 부분 데이터 라인을 통해 전달되는 데이터 신호를 충전한다.

- [0052] 부분 게이트 라인들(GLP1, GLP2)은 외부로부터 제공되는 부분 구동 신호를 부분 스위칭소자(QP)들에 전달한다. 부분 구동 신호는 부분 구동 온 신호(PARTIAL ON) 및 부분 구동 오프 신호(PARTIAL OFF)를 포함한다. 부분 데이터 라인들(DLP1, DLP2)은 메인 스위칭소자(QM)를 통해 전달되는 데이터 신호를 메모리(140)에 구비되는 SRAM 셀(142)에 전달하고, SRAM 셀(142)에 저장된 데이터 신호를 액정 캐패시터(CLC)에 제공한다.
- [0053] 부분 스위칭소자(QP)는 서로 인접하는 부분 데이터 라인들과 서로 인접하는 부분 게이트 라인들에 의해 정의되는 영역에 형성된다.
- [0054] 부분 스위칭소자(QP)는 부분 구동 온 신호(PARTIAL ON)에 의해 턴-온되고, 메인 스위칭소자(QM)의 턴-온에 따라, 데이터 신호를 부분 데이터 라인을 경유하여 SRAM 셀(142)에 제공한다. 메인 스위칭소자(QM)가 턴-오프되면, 부분 스위칭소자(QP)는 SRAM 셀(142)에 저장된 데이터 신호를 액정 캐패시터(CLC)에 공급한다.
- [0055] 브리지 라인들(BL1, BL2)은 서로 인접하는 부분 데이터 라인들(DLP1, DLP2)을 전기적으로 연결한다. 이에 따라, 적어도 2개 이상의 화소부들(도 2에서는 (2*2)개의 화소부들)은 그룹핑되어, 하나의 단위 메모리 셀(142)에 전기적으로 연결된다.
- [0056] 이상에서 설명된 바와 같이, 메모리(140)가 액정표시패널(130)의 표시영역(DA)을 둘러싸는 제3 주변 영역(PA3)에 배치된다. 표시영역(DA)에는 메인 화면(MS)과 메인 화면(MS)의 일부에 중첩된 부분 화면(PS)이 정의된다.
- [0057] 도 3은 부분 화면 모드를 설명하는 개념도이다.
- [0058] 도 2 및 도 3을 참조하면, 부분 화면 모드시, 메인 화면(MS)에 형성된 메인 스위칭소자들(QM)은 부분화면에 대응하는 데이터를 메모리에 기입하기 위해 주기적으로 활성화되고, 부분 화면(PS)에 형성된 부분 스위칭소자들(QP)은 활성화된다. 따라서, 메모리(140)에 기입된 데이터 신호들은 부분 스위칭소자(QP)에 전기적으로 연결된 액정 캐패시터(CLC)에 홀드되므로, 아이콘 표시와 같은 부분 표시동작이 수행된다.
- [0059] 도 4는 전체 화면 모드를 설명하는 개념도이다.
- [0060] 도 2 및 도 4를 참조하면, 전체 화면 모드에서, 메모리(140)는 비활성화된다. 하지만, 게이트 구동부(110)와 소스 구동부(120)는 활성화되므로, 소스 구동부(120)에서 출력되는 데이터 신호는 메인 화면(MS)에 대응하는 액정 캐패시터(CLC)들과 부분 화면(PS)에 대응하는 액정 캐패시터(CLC)들에 제공되어 영상이 표시된다.
- [0061] 도 5는 본 발명의 실시예에 따른 데이터 신호의 기입 동작을 설명하는 개념도이다. 도 6은 본 발명의 실시예에 따른 데이터 신호의 홀드 동작을 설명하는 개념도이다.
- [0062] 도 2 및 도 5를 참조하면, 부분 화면 모드시, 소스 구동부(120)에서 출력되는 데이터 신호는 게이트 구동부(110)에서 출력되는 게이트 신호에 응답하여 화소 영역에 대응하는 액정 캐패시터(CLC)에 충전된다.
- [0063] 이때, 외부에서 부분 구동 온 신호(PARTIAL ON)가 인가됨에 따라, 부분 스위칭소자(QP)는 턴-온되어, 소스 구동부(120)에서 출력되는 데이터 신호는 단위 메모리 셀(142)에 기입된다.
- [0064] 도 2 및 도 6을 참조하면, 단위 메모리 셀(142)에 데이터 신호가 기입되면, 영상 신호가 바뀌지 않는 동안, 게이트 구동부(110)와 소스 구동부(120)가 동작하지 않고, 단위 메모리 셀(142)이 직접 액정표시패널(130)을 구동한다.
- [0065] 한편, 전체 화면 모드시, 정상 구동과 같이 게이트 구동부(110)와 소스 구동부(120)가 액정표시패널(130)을 구동하고, 메인 화면(MS)과 부분 화면(PS) 모두를 표시 영역으로 활용한다. 이때, 부분 화면에 대응하여 형성된 부분 게이트 라인들에 부분 구동 오프 신호(PARTIAL OFF)가 인가되면, 정상적인 액정표시패널(130)과 동일한 화소 구조를 갖는다. 따라서, 전체 화면 모드가 가능하다.
- [0066] 도 7은 하나의 단위 메모리 셀(142)과 복수의 화소부들이 전기적으로 연결되어 있다.
- [0067] 또한 도 7은 소스 구동부의 복수의 출력채널들과 단위 메모리 셀에 대응하여 데이터 신호의 기입 동작을 설명하는 개념도이다.

- [0068] 소스 구동부(120)는 복수의 출력채널들(121, 122, 123, ..., 129)을 포함한다. 부분 화면 모드시, 출력채널들(121~129)에서 출력되는 데이터 신호들은 게이트 구동부(110)에서 출력되는 게이트 신호에 응답하여 화소 영역들 각각에 대응하는 액정 캐패시터(CLC)에 충전된다.
- [0069] 이때, 외부에서 부분 구동 온 신호(PARTIAL ON)가 인가됨에 따라, 화소 영역들 각각에 대응하는 부분 스위칭소자들(QP)은 턴-온되어, 소스 구동부(120)에서 출력되는 데이터 신호는 단위 메모리 셀(142)에 기입된다.
- [0070] 도 8은 단위 메모리 셀을 설명하는 등가회로도이다. 도 9는 단위 메모리 셀의 동작을 설명하는 파형도이다.
- [0071] 도 8을 참조하면, 단위 메모리 셀(142)은 제1 스위치(143), 제2 스위치(144), 및 제1 및 제2 스위치들(143, 144)에 전기적으로 연결된 SRAM 셀(145)을 포함한다. 또한, 제1 및 제2 스위치들(143, 144) 각각은 트랜스미션 게이트를 포함한다.
- [0072] 제1 스위치(143)의 일단은 부분 데이터 라인에 전기적으로 연결되고, 타단은 SRAM 셀(145)의 일단에 전기적으로 연결되며, 외부에서 공급되는 제1 반전 신호(INV) 및 제2 반전 신호(INV_B)에 응답하여 하기와 같은 데이터 신호의 기입 또는 데이터 신호의 출력을 위한 스위칭 동작을 수행한다.
- [0073] 제2 스위치(144)의 일단은 제1 스위치(143)의 일단과 공통되어 부분 데이터 라인에 전기적으로 연결되고, 타단은 SRAM 셀(145)의 타단에 전기적으로 연결되며, 외부에서 공급되는 제1 반전 신호(INV) 및 제2 반전 신호(INV_B)에 응답하여 하기와 같은 데이터 신호의 기입 또는 데이터 신호의 출력을 위한 스위칭 동작을 수행한다.
- [0074] 데이터 신호의 기입을 위해, 제1 및 제2 스위치들(143, 144)은 SRAM 셀(145)에 데이터 신호를 기입하기 위한 스위칭 동작을 교호로 수행한다.
- [0075] 구체적으로, 하이레벨의 제1 반전 신호(INV)와 로우 레벨의 제2 반전 신호(INV_B)가 제1 스위치(143)에 입력되면, 제1 스위치(143)는 턴-온되어 소스 구동부(120)로부터 제공되는 데이터 신호는 SRAM 셀(145)에 기입된다. 한편, 제2 스위치(144)에 하이레벨의 제2 반전 신호(INV_B)와 로우 레벨의 제1 반전 신호(INV)가 입력되면, 제2 스위치(144)는 턴-온되어 소스 구동부(120)로부터 제공되는 데이터 신호는 SRAM 셀(145)에 기입된다.
- [0076] 데이터 신호의 출력을 위해, 제1 및 제2 스위치들(143, 144)은 SRAM 셀(145)에 저장된 데이터 신호를 출력하기 위한 스위칭 동작을 교호로 수행한다.
- [0077] 구체적으로, 제1 스위치(143)에 하이레벨의 제1 반전 신호(INV)와 로우 레벨의 제2 반전 신호(INV_B)가 입력되면, 제1 스위치(143)는 턴-온되어 SRAM 셀(145)에 기입된 데이터 신호는 소스 구동부(120)에 출력된다. 한편, 제2 스위치(144)에 하이레벨의 제2 반전 신호(INV_B)와 로우 레벨의 제1 반전 신호(INV)가 입력되면, 제2 스위치(144)는 턴-온되어 SRAM 셀(145)에 기입된 데이터 신호는 소스 구동부에 출력된다.
- [0078] 이에 따라, 액정표시패널(130)의 부분 화면에 대해서도 라인 반전이 달성된다.
- [0079] SRAM 셀(145)은 제1 인버터(146) 및 제2 인버터(147)에 루프 접속된 제2 인버터(147)를 포함한다. 제1 인버터(146)의 입력단은 제1 스위치(143)에 연결되고, 출력단은 제2 스위치(144)에 연결된다. 제2 인버터(147)의 입력단은 제2 스위치(144)에 연결되고, 출력단은 제1 스위치(143)에 연결된다.
- [0080] SRAM 셀(145)은 제1 및 제2 스위치들(143, 144)의 스위칭 동작에 따라 설정된 경로를 통해 부분 데이터 라인을 경유하여 소스 구동부(120)로부터 출력되는 데이터 신호들을 저장한다. 또한, SRAM 셀(145)은 제1 및 제2 스위치들(143, 144)의 스위칭 동작에 따라 설정된 경로를 통해 부분 데이터 라인 및 부분 스위칭소자(QP)를 경유하여 액정 캐패시터(CLC)에 데이터 신호를 제공한다.
- [0081] 도 9를 참조하면, 수평동기신호(HSYNC)가 활성화되어, 제1 반전 신호(INV)가 로우레벨에서 하이레벨로 천이됨에 따라, 공통전압(VCOM) 대비 부극성을 갖는 데이터 신호가 단위 메모리 셀(142)로부터 출력된다.
- [0082] 구체적으로, 제1 스위치(143)의 비반전 제어단자에 하이레벨의 제1 반전 신호(INV)가 인가되고, 반전 제어단자에 로우레벨의 제2 반전 신호(INV_B)가 인가되면, 제1 스위치(143)는 턴-온된다. 따라서, 제2 인버터(147)과 제1 인버터(146)간에 저장된 신호는 제1 스위치(143)를 경유하여 화소 그룹에 형성된 액정 캐패시터들에 출력된다. 여기서, 제2 스위치(144)의 비반전 제어단자에 로우레벨의 제2 반전 신호(INV_B)가 인가되고, 반전 제어단자에 하이레벨의 제1 반전 신호(INV)가 인가되므로 제2 스위치(144)는 턴-오프된다.
- [0083] 제1 스위치(143)를 경유하여 부극성의 데이터 신호가 액정 캐패시터에 출력되는 홀드 구간 중, 액정 캐패시터에 전기적으로 연결된 데이터 라인을 통해 새로운 데이터 신호가 인가되면, 새로운 데이터 신호는 제1 스위치(14

3)을 경유하여 SRAM 셀(145)에 기입된다. 왜냐하면, 새로운 데이터 신호에 대응하는 전류는 SRAM 셀(145)에서 출력되는 데이터 신호에 대응하는 전류보다 크므로 새로운 데이터 신호는 SRAM 셀(145)에 기입될 수 있다.

- [0084] 한편, 수평동기신호(HSYNC)가 다시 한번 활성화되어, 제1 반전 신호(INV)는 하이레벨에서 로우레벨로 천이됨에 따라, 공통전압(VCOM) 대비 정극성을 갖는 데이터 신호가 단위 메모리 셀(142)로부터 출력된다.
- [0085] 구체적으로, 제2 스위치(144)의 비반전 제어단자에 하이레벨의 제2 반전 신호(INV_B)가 인가되고, 반전 제어단자에 로우레벨의 제1 반전 신호(INV)가 인가되면, 제2 스위치(144)는 턴-온된다. 따라서, 제1 인버터(146)과 제2 인버터(147)간에 저장된 신호는 제2 스위치(144)를 경유하여 화소 그룹에 형성된 액정 캐패시터들에 출력된다. 여기서, 제1 스위치(143)의 비반전 제어단자에 로우레벨의 제1 반전 신호(INV)가 인가되고, 반전 제어단자에 하이레벨의 제2 반전 신호(INV_B)가 인가되므로 제1 스위치(143)는 턴-오프된다.
- [0086] 제2 스위치(144)를 경유하여 정극성의 데이터 신호가 액정 캐패시터에 출력되는 홀드 구간 중, 액정 캐패시터에 전기적으로 연결된 데이터 라인을 통해 새로운 데이터 신호가 인가되면, 새로운 데이터 신호는 제2 스위치(144)를 경유하여 SRAM 셀(145)에 기입된다. 왜냐하면, 새로운 데이터 신호에 대응하는 전류는 SRAM 셀(145)에서 출력되는 데이터 신호에 대응하는 전류보다 크므로 새로운 데이터 신호는 SRAM 셀(145)에 기입될 수 있다.
- [0087] 도 10는 도 1에 도시된 부분 화면에 대응하는 액정표시패널을 설명하는 등가회로도들이다.
- [0088] 도 1 및 도 10을 참조하면, 부분 화면에 대응하는 액정표시패널(130)은 매트릭스 형상으로 배열된 복수의 부분 스위칭소자들(QP)은 일정수로 그룹핑되고, 그룹핑된 부분 스위칭소자들(QP)은 전기적으로 연결된다. 본 실시예에서, 그룹핑된 부분 스위칭소자들(QP)은 (3*3)개이다. 그룹핑된 부분 스위칭소자들은 화소 그룹을 정의한다.
- [0089] 도 10에서, 제1 내지 제3 메인 게이트 라인들(G11, G12, G13)과 제1 내지 제3 메인 데이터 라인들(S11, S12, S13)에 의해 정의되는 9개의 픽셀들(P11, P12, P13, P14, P15, P16, P17, P18, P19)은 제1 화소 그룹을 정의한다. 제1 내지 제3 메인 게이트 라인들(G11, G12, G13)과 제4 내지 제6 메인 데이터 라인들(S21, S22, S23)에 의해 정의되는 9개의 픽셀들(P21, P22, P23, P24, P25, P26, P27, P28, P29)은 제2 화소 그룹을 정의한다. 상기 제1 화소 그룹과 제2 화소 그룹은 메인 게이트 라인 방향으로 인접하게 배치된다.
- [0090] 제4 내지 제6 메인 게이트 라인들(G21, G22, G23)과 제1 내지 제3 메인 데이터 라인들(S11, S12, S13)에 의해 정의되는 9개의 픽셀들(P31, P32, P33, P34, P35, P36, P37, P38, P39)은 제3 화소 그룹을 정의한다. 제4 내지 제6 메인 게이트 라인들(G21, G22, G23)과 제4 내지 제6 메인 데이터 라인들(S21, S22, S23)에 의해 정의되는 9개의 픽셀들(P41, P42, P43, P44, P45, P46, P47, P48, P49)은 제4 화소 그룹을 정의한다. 상기 제3 화소 그룹과 제4 화소 그룹은 메인 게이트 라인 방향으로 인접하게 배치된다.
- [0091] 브리지 라인들(BL)은 부분 게이트 라인(GLP)과 평행하게 형성되어, 서로 인접하는 부분 데이터 라인들(DLP)을 전기적으로 연결한다. 브리지 라인들(BL)은 로우 방향으로 배열된 부분 스위칭소자들(QP)을 전기적으로 연결한다.
- [0092] 도 11은 도 10에 도시된 부분 화면 모드 동작의 일례를 설명하는 파형도들이다. 특히, 라인 반전 방식에 따른 부분 화면 모드 동작이 설명된다.
- [0093] 도 10 및 도 11를 참조하면, 제1 내지 제3 메인 게이트 라인들(G11, G12, G13)중 어느 하나가 온되는 구간은 'A' 구간으로 정의하고, 제4 내지 제6 메인 게이트 라인들중 어느 하나가 온되는 구간은 'B' 구간으로 정의한다.
- [0094] 'A' 구간 동안, 소스 구동부(120)는 제1, 제2 및 제3 메인 데이터 라인들(S11, S12, S13) 각각에 공통전압(VCOM) 대비 정극성의 제1 데이터 신호를 제공한다.
- [0095] 'B' 구간 동안, 소스 구동부(120)는 제4, 제5 및 제6 메인 데이터 라인들(S21, S22, S23) 각각에 공통전압(VCOM) 대비 정극성의 제2 데이터 신호를 제공한다. 본 실시예에서, 제1 데이터 신호의 레벨은 제2 데이터 신호의 레벨보다 크다. 예를들어, 제1 데이터 신호는 6V이고, 제2 데이터 신호는 4V이다.
- [0096] 본 실시예에서, 공통전압은 'A' 구간 동안, 상대적으로 낮은 레벨을 갖고, 'B' 구간 동안, 상대적으로 높은 레벨을 갖는다. 예를들어, 상대적으로 낮은 레벨의 공통전압(VCOM)은 3V이고, 상대적으로 높은 레벨의 공통전압(VCOM)은 7V이다.
- [0097] 'A' 구간 동안, 제1 내지 제3 데이터 라인들(S11, S12, S13)에 인가되는 제1 데이터 신호는 제1 화소 그룹들(P11~P19)에 인가되고, 제4 내지 제6 데이터 라인들(S21, S22, S23)에 인가되는 제2 데이터 신호는 제2 화소 그

룹(P21 ~P29)에 인가된다.

- [0098] 여기서, 공통전압(VCOM)은 상대적으로 낮은 레벨을 가지므로, 제1 화소 그룹(P11,P19)에 충전되는 데이터 신호의 극성은 공통전압(VCOM) 대비 정극성을 갖는다. 예를들어, 공통전압(VCOM)이 3V이고, 제1 그룹화소(P11~P19)에 충전되는 데이터 신호는 6V이므로, 제1 그룹화소(P11~P19)에 충전되는 데이터 신호는 공통전압(VCOM) 대비 정극성을 갖는다.
- [0099] 또한, 제2 화소 그룹(P21 ~P29)에 충전되는 데이터 신호의 극성은 공통전압(VCOM) 대비 정극성을 갖는다. 예를 들어, 공통전압(VCOM)이 3V이고, 제2 화소 그룹(P21 ~P29)에 충전되는 데이터 신호가 4V이므로, 제2 그룹화소(P21 ~P29)에 충전되는 데이터 신호는 공통전압(VCOM) 대비 정극성을 갖는다.
- [0100] 'B' 구간 동안, 제1 내지 제3 데이터 라인들(S11, S12, S13)에 인가되는 제1 데이터 신호는 제3 화소 그룹(P31~P39)에 인가되고, 제4 내지 제6 데이터 라인(S21, S22, S23)에 인가되는 제2 데이터 신호는 제4 화소 그룹(P41~P49)에 인가된다.
- [0101] 여기서, 공통전압(VCOM)은 상대적으로 높은 레벨을 가지므로, 제3 그룹화소(P31~P39)에 충전되는 데이터 신호의 극성은 공통전압(VCOM) 대비 부극성을 갖는다. 예를들어, 공통전압이 7V이고, 제3 그룹화소(P31~P39)에 충전되는 데이터 신호는 6V이므로, 제3 그룹화소(P31~P39)에 충전되는 데이터 신호는 공통전압(VCOM) 대비 부극성을 갖는다.
- [0102] 또한, 제4 그룹화소(P41~P49)에 충전되는 데이터 신호의 극성은 공통전압 대비 부극성을 갖는다. 예를들어, 공통전압(VCOM)이 7V이고, 제4 그룹화소(P41~P49)에 충전되는 데이터 신호가 4V이므로, 제4 그룹화소(P41~P49)에 충전되는 데이터 신호는 공통전압(VCOM) 대비 부극성을 갖는다.

발명의 효과

- [0103] 이상에서 설명한 바와 같이, 본 발명에 따르면 메모리가 액정표시패널의 표시영역을 둘러싸는 주변 영역에 배치된다. 상기 표시영역에는 메인 화면과, 상기 메인 화면이 일부에 중첩된 부분 화면이 정의된다. 상기 표시영역에는 매트릭스 형태로 배열된 복수의 메인 스위칭소자들이 형성된다.
- [0104] 부분 화면 모드시, 상기 메인 화면에 형성된 메인 스위칭소자들은 비활성화되고, 부분 화면에 형성된 부분 스위칭소자들은 활성화된다.
- [0105] 전체 화면 모드시, 상기 메인 화면 및 상기 부분 화면에 형성된 메인 스위칭소자들은 활성화되어 일반적인 표시 동작이 수행된다. 이처럼, 전체 화면 모드시, 부분 화면에 대응하는 영역까지 표시영역으로 활용된다. 따라서, 메인 화면과 상기 메인 화면에 중첩된 부분 화면이 정의되므로, 실질적으로 메인 화면 영역이 증가된다.
- [0106] 또한, 표시 영역을 둘러싸는 주변 영역에 배치된 메모리가 부분 화면 모드를구현하므로, 소비전력을 줄일 수 있고, 제조원가와 무게 등을 줄일 수 있다.
- [0107] 이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

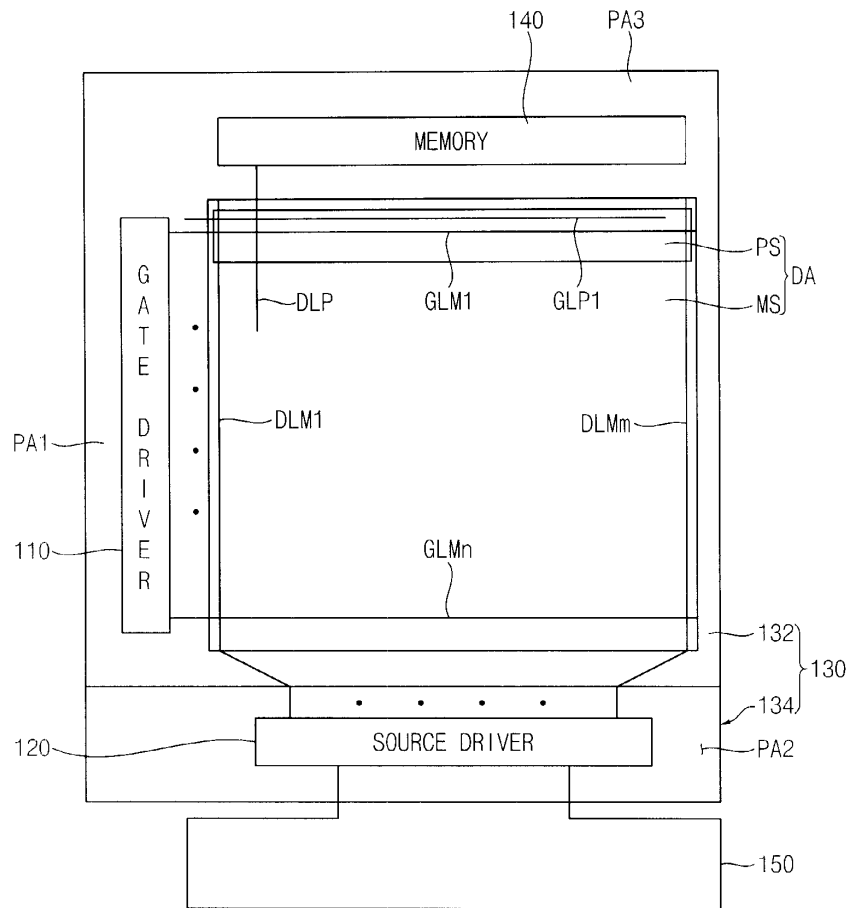
도면의 간단한 설명

- [0001] 도 1은 본 발명의 일 실시예에 따른 액정표시장치를 설명하는 블록도이다.
- [0002] 도 2는 도 1에 도시된 표시부를 설명하는 등가 회로도이다.
- [0003] 도 3은 부분 화면 모드를 설명하는 개념도이다.
- [0004] 도 4는 전체 화면 모드를 설명하는 개념도이다.
- [0005] 도 5는 본 발명의 실시예에 따른 데이터 신호의 기입 동작을 설명하는 개념도이다.
- [0006] 도 6은 본 발명의 실시예에 따른 데이터 신호의 홀드 동작을 설명하는 개념도이다.
- [0007] 도 7은 소스 구동부의 복수의 출력채널들과 단위 메모리 셀에 대응하여 데이터 신호의 기입 동작을 설명하는 개념도이다.

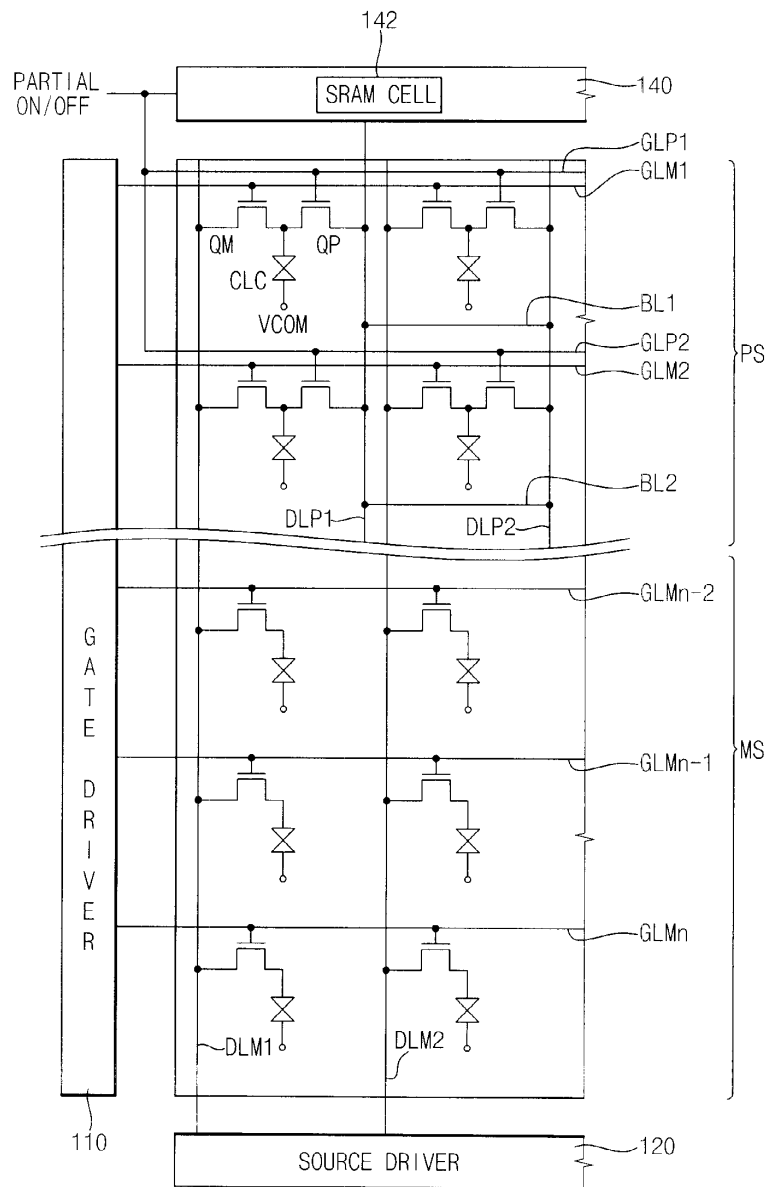
- [0008] 도 8은 단위 메모리 셀을 설명하는 등가회로도이다.
- [0009] 도 9는 단위 메모리 셀의 동작을 설명하는 파형도이다.
- [0010] 도 10는 도 1에 도시된 부분 화면에 대응하는 액정표시패널을 설명하는 등가회로도이다.
- [0011] 도 11는 도 10에 도시된 부분 화면 모드의 동작을 설명하는 파형도이다.
- [0012] <도면의 주요부분에 대한 부호의 설명>
- [0013] 100 : 액정표시장치 110 : 게이트 구동부
- [0014] 120 : 소스 구동부 130 : 액정표시패널
- [0015] 140 : 메모리 142 : 단위 메모리 셀
- [0016] 143 : 제1 스위치 144 : 제2 스위치
- [0017] 145 : SRAM 셀 150 : 연성인쇄회로기판

도면

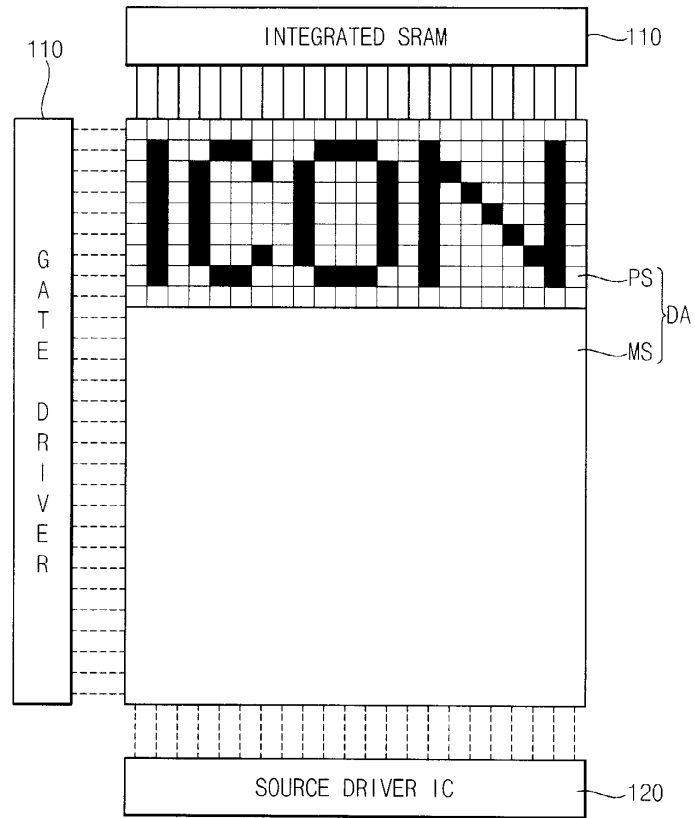
도면1



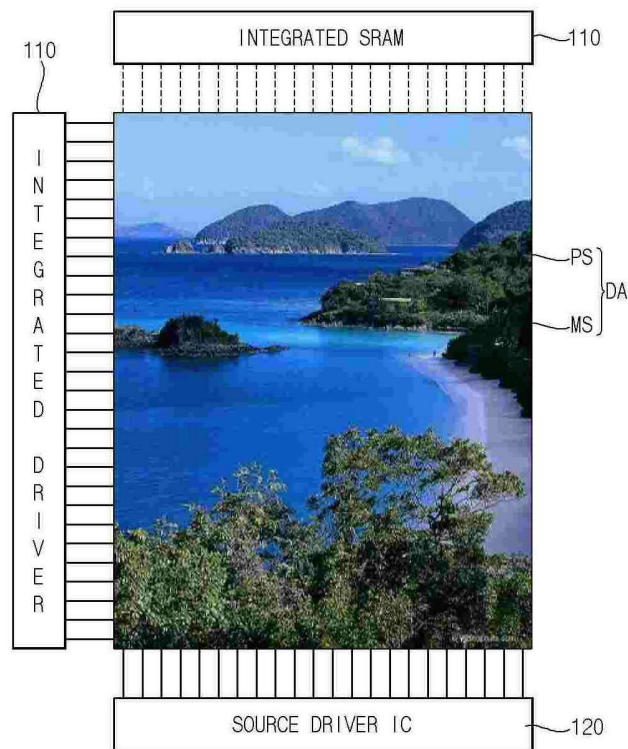
도면2



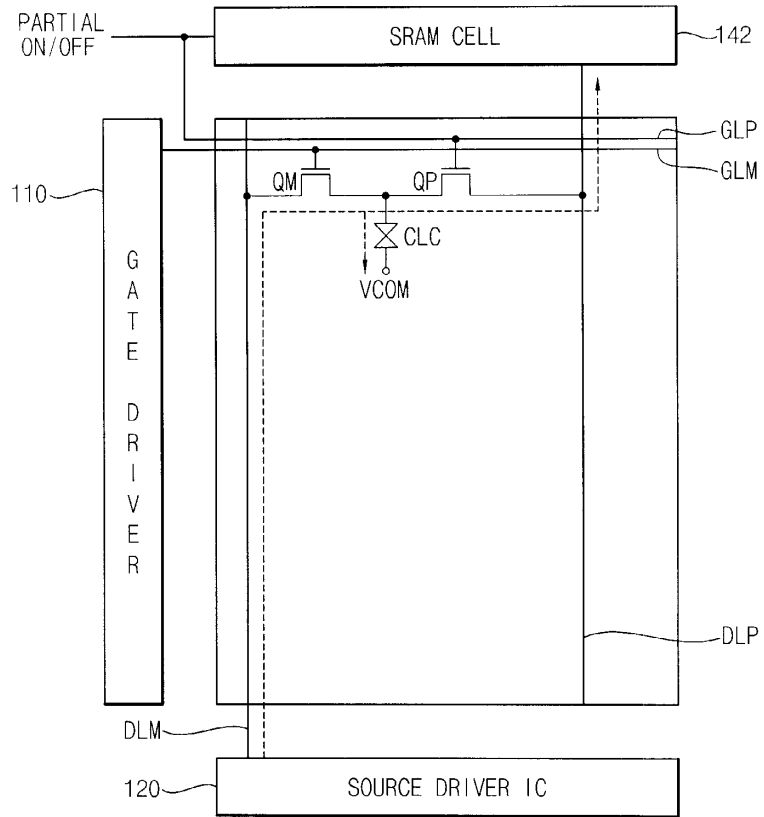
도면3



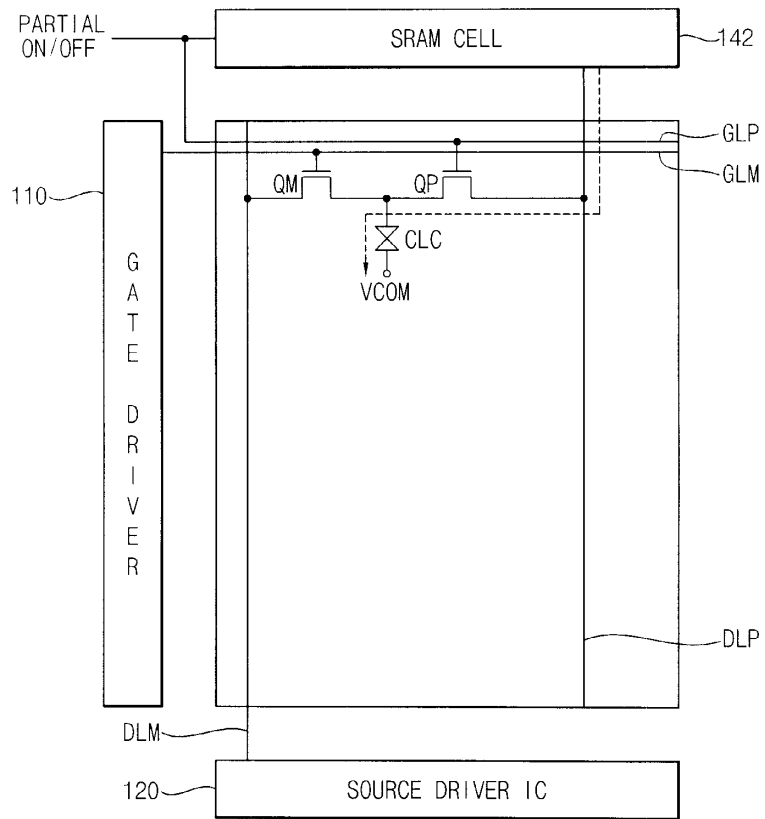
도면4



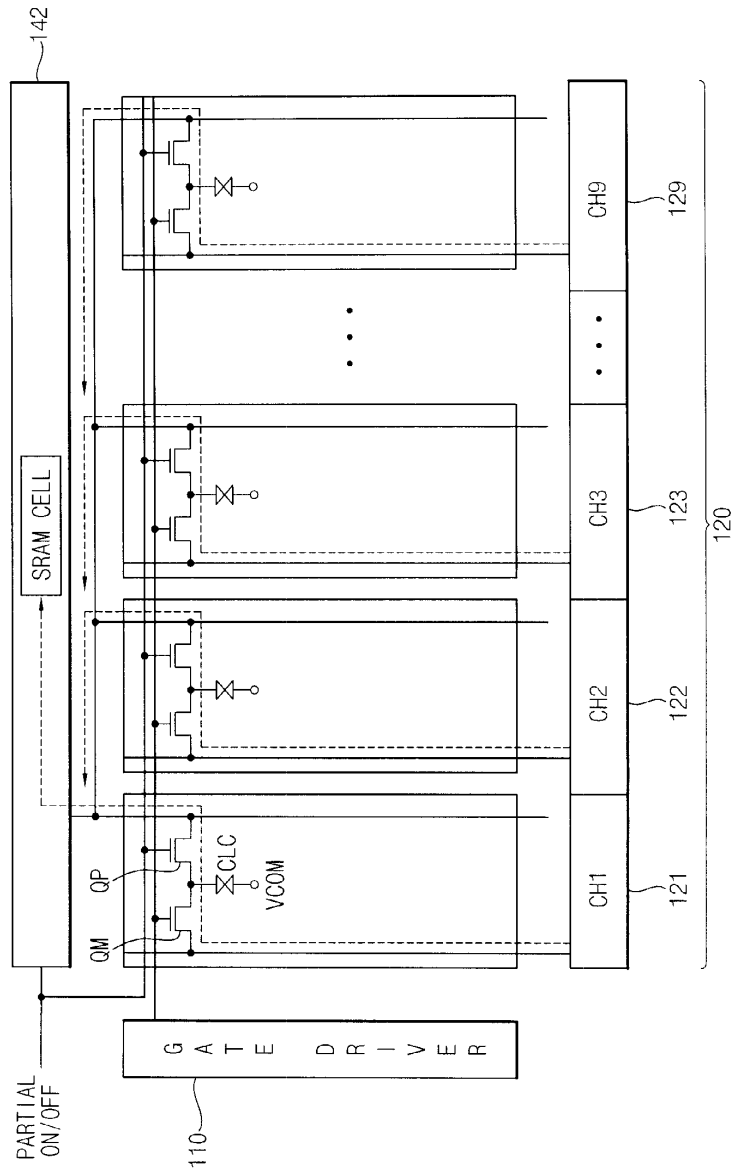
도면5



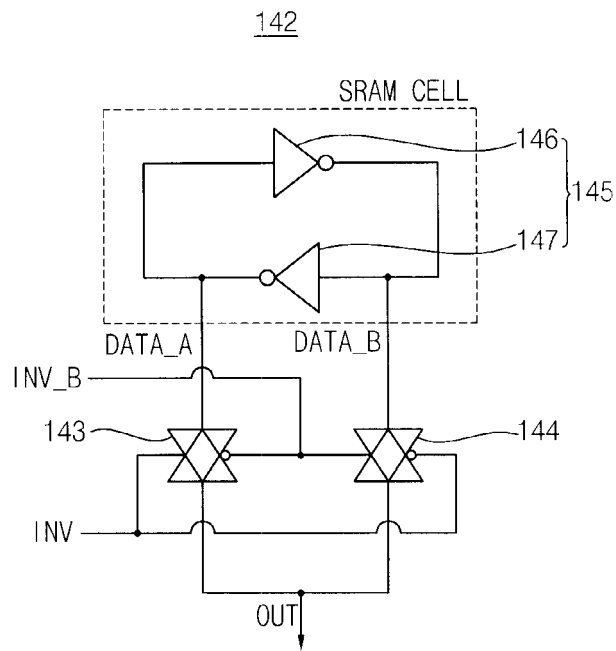
도면6



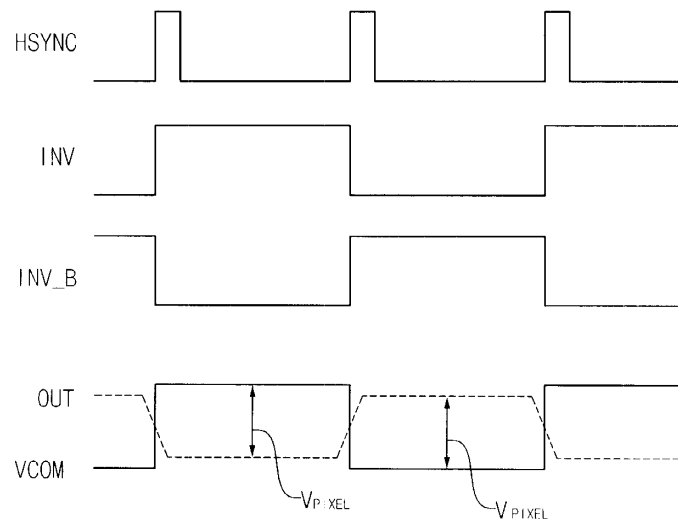
도면7



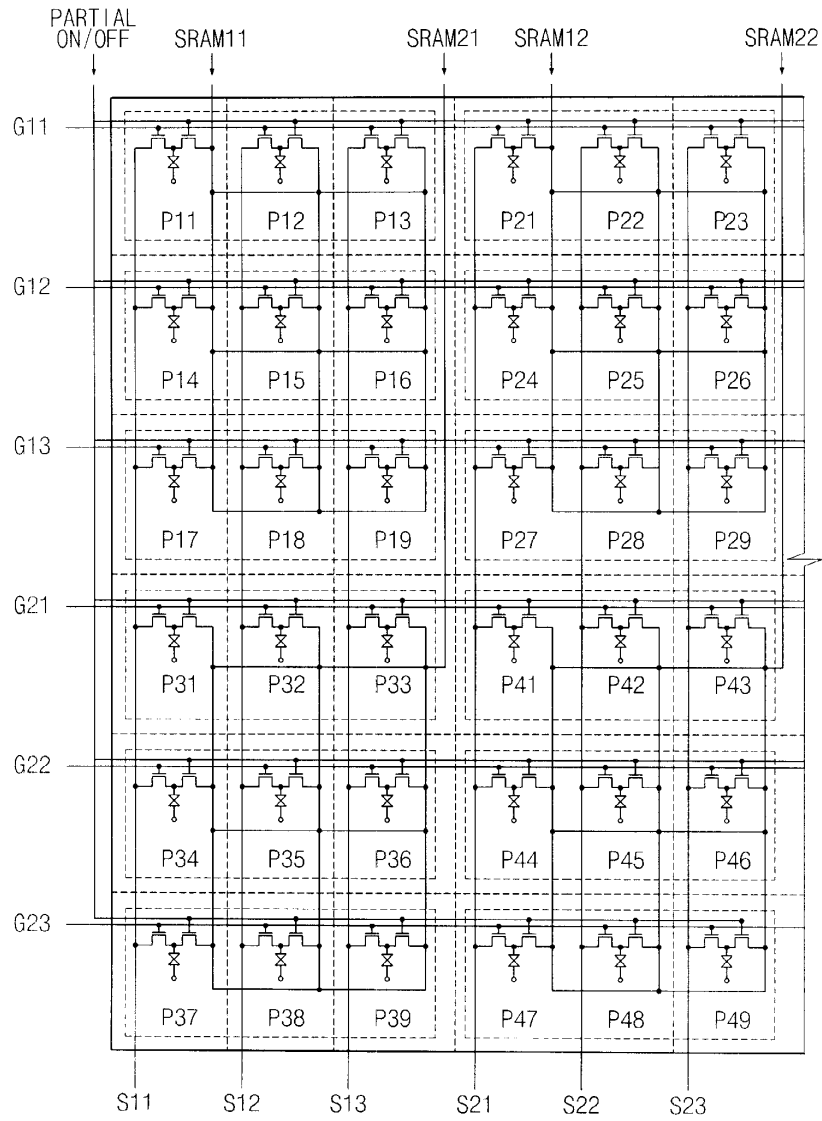
도면8



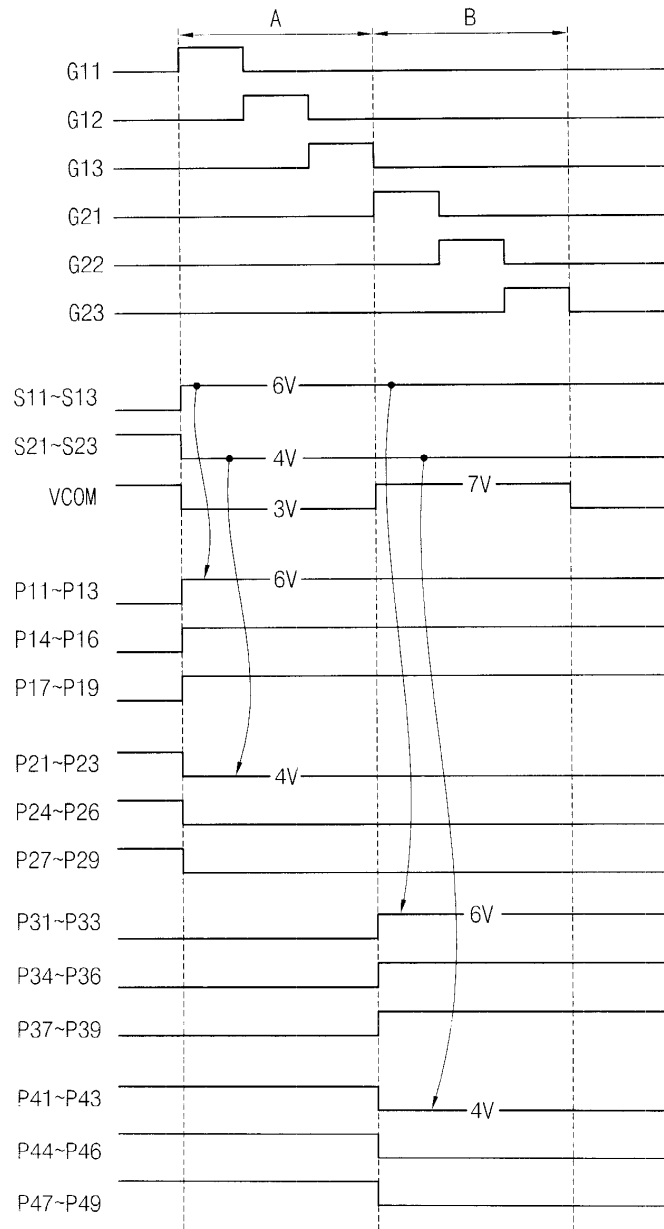
도면9



도면10



도면11



专利名称(译)	标题：液晶显示面板和具有该液晶显示面板的液晶显示装置		
公开(公告)号	KR101338022B1	公开(公告)日	2013-12-06
申请号	KR1020070013642	申请日	2007-02-09
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE JAE SIC 이재식 KIM IL GON 김일곤 KIM CHEOL MIN 김철민		
发明人	이재식 김일곤 김철민		
IPC分类号	G02F1/133 G02F		
CPC分类号	G09G2310/0281 G09G2330/021 G09G3/3659 G09G3/3614 G09G3/3688		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR1020080074464A		
外部链接	Espacenet		

摘要(译)

公开了具有增加的主指示区域的LCD面板，以及具有该LCD面板的液晶显示器。主开关元件在主数据线和栅极线中电连接。液晶电容器在主开关元件中电连接。传送从外部提供部分栅极线的部分驱动信号。零件数据线提供数据信号。部分开关装置响应于部分驱动信号转而接通。根据 (i) 主开关元件通过部分数据线的接通，将数据信号提供给外部存储器。存储在 (ii) 存储器中的数据信号被提供给液晶电容器。因此，在LCD面板的显示区域中，定义了主屏幕和在主屏幕中重叠的子画面。因此，主要指示区域可以实质上增加。此外，由于实现部分显示模式，布置在围绕显示区域的外围区域中的存储器可以降低功耗。液晶，精灵，全屏，图标，SRAM。

