

특허청구의 범위

청구항 1

서로 교차하는 다수의 게이트 라인들 및 데이터 라인들에 의해 정의된 다수의 화소를 갖는 액정패널;
 상기 각 화소의 화소전극과 상기 게이트 라인간에 형성된 보조용량 커패시터;
 순차적으로 인에이블되며, 상기 인에이블된 상태에서 공급된 클럭펄스를 스캔펄스로서 출력하여 각 게이트 라인에 차례로 공급하는 다수의 스테이지들; 및,
 상기 액정패널, 스테이지들, 및 클럭발생부를 포함한 액정표시장치의 각종 구동요소의 동작에 필요한 전원의 상태를 감지하고, 이 전원이 오프될 때 모든 스테이지들을 동시에 인에이블시키는 방전부를 포함하며;
 상기 방전부는,
 각 스테이지마다 구비되어, 각 스테이지를 인에이블시키기 위한 다수의 단위 방전부를 포함하며;
 각 단위 방전부는 상기 전원이 온상태일 때, 전단 스테이지로부터의 스캔펄스를 자신이 맡고 있는 스테이지에 그대로 공급하며; 그리고,
 각 단위 방전부는 상기 전원이 오프상태일 때, 전단 스테이지로부터의 스캔펄스의 출력여부에 상관없이 자신이 맡고 있는 스테이지를 인에이블시키며;
 상기 단위 방전부들 중 가장 첫 번째 스테이지에 구비된 단위 방전부를 제외한 나머지 단위 방전부들 각각은,
 전단 스테이지로부터의 스캔펄스의 논리상태를 반전시키는 반전부; 및,
 상기 전원의 논리상태 및 상기 반전부로부터의 스캔펄스의 논리상태를 논리조합하여 자신이 속한 스테이지에 출력하는 NAND 게이트를 포함함을 특징으로 하는 액정표시장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1 항에 있어서,
 상기 단위 방전부들 중 가장 첫 번째 스테이지에 구비된 단위 방전부는,
 상기 전원이 온상태일 때, 게이트 스타트 펄스를 상기 첫 번째 스테이지에 공급하며; 그리고,
 상기 전원이 오프상태일 때, 상기 게이트 스타트 펄스의 출력여부에 상관없이 자신이 맡고 있는 스테이지를 인에이블시키는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,
 상기 단위 방전부들 중 가장 첫 번째 스테이지에 구비된 단위 방전부는,
 상기 게이트 스타트 펄스의 논리상태를 반전시키는 반전부; 및,
 상기 전원의 논리상태 및 상기 반전부로부터의 게이트 스타트 펄스의 논리상태를 논리조합하여 자신이 맡고 있

는 스테이지에 출력하는 NAND 게이트를 포함함을 특징으로 하는 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 클럭펄스는 서로 다른 위상을 갖는 제 1 및 제 2 클럭펄스를 포함하며,

상기 제 1 클럭펄스는 기수번째 스테이지에 공급되며;

상기 제 2 클럭펄스는 우수번째 스테이지에 공급되는 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 전원을 이용하여 제 1 및 제 2 클럭펄스를 생성하는 클럭발생부를 더 포함하며, 상기 클럭발생부는 상기 전원을 지연부를 통해 공급받음을 특징으로 하는 액정표시장치.

청구항 9

서로 교차하는 다수의 게이트 라인들 및 데이터 라인들에 의해 정의된 다수의 화소를 갖는 액정패널;

상기 각 화소의 화소전극과 상기 게이트 라인간에 형성된 보조용량 커패시터;

순차적으로 인에이블되며, 상기 인에이블된 상태에서 공급된 클럭펄스를 스캔펄스로서 출력하는 다수의 스테이지들; 및,

상기 액정패널, 스테이지들, 및 클럭발생부를 포함한 액정표시장치의 각종 구동요소의 동작에 필요한 전원의 상태를 감지하고, 상기 전원의 상태에 따라 상기 스테이지들로부터의 스캔펄스를 각 게이트 라인에 그대로 공급하거나 상기 게이트 라인들에 동시에 충전용 전압을 공급하는 방전부를 포함하며;

상기 방전부는,

각 스테이지마다 구비된 다수의 단위 방전부를 포함하며;

각 단위 방전부는 상기 전원이 온상태 일때, 상기 각 스테이지로부터의 스캔펄스를 각 게이트 라인에 그대로 공급하며;

각 단위 방전부는 상기 전원이 오프상태 일때, 상기 각 스테이지로부터의 스캔펄스의 논리상태에 관계없이 각 게이트 라인에 동시에 충전용 전압을 공급하며;

상기 각 단위 방전부는,

현재단 스테이지로부터의 스캔펄스의 논리상태를 반전시키는 반전부; 및,

상기 전원의 논리상태 및 상기 반전부로부터의 스캔펄스의 논리상태를 논리조합하여 자신이 접속된 게이트 라인으로 출력하는 NAND 게이트를 포함함을 특징으로 하는 액정표시장치.

청구항 10

삭제

청구항 11

삭제

청구항 12

서로 교차하는 다수의 게이트 라인들 및 데이터 라인들에 의해 정의된 다수의 화소를 갖는 액정패널; 상기 각 화소의 화소전극과 상기 게이트 라인간에 형성된 보조용량 커패시터; 순차적으로 인에이블되며, 상기 인에이블된 상태에서 공급된 클럭펄스를 스캔펄스로서 출력하여 각 게이트 라인에 차례로 공급하는 다수의 스테이지들을 포함하는 액정표시장치의 구동방법에 있어서,

방전부를 이용하여, 상기 액정패널, 스테이지들, 및 클럭발생부를 포함한 액정표시장치의 각종 구동요소의 동작

에 필요한 전원의 상태를 감지하는 단계; 및,

상기 전원이 오프될 때, 상기 방전부를 이용하여 모든 스테이지들을 동시에 인에이블시키는 단계를 포함하며;

상기 방전부는,

각 스테이지마다 구비되어, 각 스테이지를 인에이블시키기 위한 다수의 단위 방전부를 포함하며;

각 단위 방전부는 상기 전원이 온상태일 때, 전단 스테이지로부터의 스캔펄스를 자신이 맡고 있는 스테이지에 그대로 공급하며; 그리고,

각 단위 방전부는 상기 전원이 오프상태일 때, 전단 스테이지로부터의 스캔펄스의 출력여부에 상관없이 자신이 맡고 있는 스테이지를 인에이블시키며;

상기 각 단위 방전부는, 전단 스테이지로부터의 스캔펄스의 논리상태를 반전시켜 반전 스캔펄스를 생성하고, 그리고 상기 전원의 논리상태 및 상기 반전 스캔펄스의 논리상태를 부정 논리곱 연산하여 출력을 발생시키고, 그 발생된 출력을 자신이 속한 스테이지로 공급함을 특징으로 하는 액정표시장치의 구동방법.

청구항 13

서로 교차하는 다수의 게이트 라인들 및 데이터 라인들에 의해 정의된 다수의 화소를 갖는 액정패널; 상기 각 화소의 화소전극과 상기 게이트 라인간에 형성된 보조용량 커패시터; 순차적으로 인에이블되며, 상기 인에이블된 상태에서 공급된 클럭펄스를 스캔펄스로서 출력하는 다수의 스테이지들을 포함하는 액정표시장치의 구동방법에 있어서,

방전부를 이용하여, 상기 액정패널, 스테이지들, 및 클럭발생부를 포함한 액정표시장치의 각종 구동요소의 동작에 필요한 전원의 상태를 감지하는 단계; 및,

상기 방전부를 이용하여, 상기 전원의 상태에 따라 상기 스테이지들로부터의 스캔펄스를 각 게이트 라인에 그대로 공급하거나 상기 게이트 라인들에 동시에 충전용 전압을 공급하는 단계를 포함하며;

상기 방전부는,

각 스테이지마다 구비된 다수의 단위 방전부를 포함하며;

각 단위 방전부는 상기 전원이 온상태 일때, 상기 각 스테이지로부터의 스캔펄스를 각 게이트 라인에 그대로 공급하며;

각 단위 방전부는 상기 전원이 오프상태 일때, 상기 각 스테이지로부터의 스캔펄스의 논리상태에 관계없이 각 게이트 라인에 동시에 충전용 전압을 공급하며;

상기 각 단위 방전부는, 현재단 스테이지로부터의 스캔펄스의 논리상태를 반전시켜 반전 스캔펄스를 생성하고, 그리고 상기 전원의 논리상태 및 상기 반전 스캔펄스의 논리상태를 부정 논리곱 연산하여 출력을 발생시키고, 그 발생된 출력을 자신이 접속된 게이트 라인으로 공급함을 특징으로 하는 액정표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0020] 본 발명은 액정표시장치 및 이의 구동방법에 관한 것으로, 특히 화면의 잔상을 제거할 수 있는 액정표시장치 및 이의 구동방법에 대한 것이다.
- [0021] 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 화소들이 액티브 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.
- [0022] 상기 액정패널은 게이트 라인들과 데이터 라인들의 교차부마다 형성된 박막트랜지스터와, 상기 박막트랜지스터

에 접속된 화소를 구비한다.

[0023] 상기 박막트랜지스터의 게이트 전극은 수평라인 단위의 게이트 라인들 중 어느 하나와 접속되고, 소스 전극은 수직라인단위의 데이터 라인들 중 어느 하나와 접속된다. 이러한 박막트랜지스터는 상기 게이트 라인으로부터의 게이트 구동펄스에 응답하여 데이터 라인으로부터의 데이터 신호를 상기 화소에 공급한다.

[0024] 상기 화소는 상기 박막트랜지스터의 드레인 전극과 접속된 화소전극과, 그 화소전극과 액정을 사이에 두고 대면하는 공통전극을 구비한다. 이러한 화소는 화소전극에 공급되는 데이터 신호에 응답하여 액정을 구동함으로써 광투과율을 조절하게 된다.

[0025] 이하, 첨부된 도면을 참조하여 종래의 액정표시장치를 상세히 설명하면 다음과 같다.

[0026] 도 1은 종래의 액정표시장치에서의 하나의 화소에 대한 등가회로도이다.

[0027] 즉, 도 1에 도시된 바와 같이, 액정표시장치의 각 화소는 서로 수직교차하는 다수개의 게이트 라인(GL)들과 데이터 라인(DL)들에 의해 정의되는데, 각 화소에는 박막트랜지스터(TFT) 및 화소전극이 구비되어 있다. 구체적으로, 상기 박막트랜지스터(TFT)는 상기 게이트 라인(GL)과 데이터 라인(DL)이 교차하는 부분에 형성되는데, 상기 박막트랜지스터(TFT)의 게이트단자는 상기 게이트 라인(GL)에 접속되고, 소스단자는 상기 데이터 라인(DL)에 접속되며, 드레인단자는 상기 화소전극에 접속된다.

[0028] 한편, 액정표시장치는 서로 대향하여 합착된 두 개의 유리 기판과, 상기 유리 기판 사이에 형성된 액정층을 포함하는데, 도 1은 상기 액정표시장치의 하부 유리기판, 즉 상기 박막트랜지스터(TFT) 어레이가 형성된 제 1 기판에서의 하나의 화소를 도시한 것이다.

[0029] 그리고, 도면에 도시하지 않았지만, 상기 액정층을 사이에 두고 상기 제 1기판과 대향하는 상부 유리기판, 즉 제 2 기판에는 R, G, B 컬러필터층 및 화상을 표시하기 위한 공통전극(150)이 형성되어 있다. 여기서, 상술한 상기 제 1 기판의 화소전극은 상기 제 2 기판의 공통전극(150)과 액정층을 사이에 두고 마주보고 있으며, 이 두 전극간에 발생하는 전기의 크기에 의해서 상기 액정층의 광투과율이 조절된다. 이때, 상기 액정층을 사이에 두고 마주보는 상기 화소전극(160)과 상기 공통전극(150)은, 상기 액정층을 유전체로 하는 액정용량 커패시터(C1c)로 기능한다.

[0030] 또한, 상기 각 화소에 구비된 화소전극의 일부는, 이웃하는 타 화소를 구동하기 위한 게이트 라인(GL)의 일부를 중첩하도록 설계되는데, 이때 서로 마주보는 상기 화소전극과 게이트 라인(GL)은, 절연체를 유전체로 하는 보조용량 커패시터(Cst)로 기능한다. 일반적으로, 상기와 같이 각 화소의 화소전극이 이웃하는 타 화소의 게이트 라인(GL)과 중첩되어 있는 구조를 전단 게이트 구조라고 부른다.

[0031] 이와 같이 구성된 화소의 동작을 상세히 설명하면 다음과 같다.

[0032] 먼저, 게이트 라인(GL)에 게이트 고전압이 인가되어 액정 용량 커패시터(C1c)는 박막트랜지스터(TFT)가 턴-온(Turn On)되었을 때, 상기 턴-온된 박막트랜지스터(TFT)의 소스단자 및 드레인단자를 통해 상기 데이터 라인(DL)으로부터 인가되는 전압을 받아 계조를 표현하게 된다. 그리고, 상기 액정용량 커패시터(C1c)에 원하는 전압이 인가된 후에, 상기 게이트 라인(GL)에 게이트 저전압이 인가되어 한 프레임(Frame)동안 박막트랜지스터(TFT)가 턴-오프(Turn Off)되는데, 이와 같이 상기 게이트 저전압에 의해 상기 박막트랜지스터(TFT)가 턴-오프됨으로써 상기 액정용량 커패시터(C1c)에 충전되어 있는 전하가 박막트랜지스터(TFT)를 통해 빠져나가지 않게 되며, 이에 의해 한 프레임의 계조 표시가 유지된다. 이때, 보조용량 커패시터(Cst)는 상기 액정용량 커패시터(C1c)와 같이 전하를 충전하여 박막트랜지스터(TFT)가 턴-오프되었을 때, 상기 박막트랜지스터(TFT)의 누설 전하량에 의한 액정용량 커패시터(C1c)의 양단간의 전압강하를 줄여서 한 프레임 동안 안정된 계조 표현이 유지될 수 있도록 한다.

[0033] 그러나 상기한 종래의 기술은 박막트랜지스터(TFT) 액정표시장치를 구동하고나서 전원전압을 차단하였을 때, 다음과 같은 문제점이 있다.

[0034] 즉, 액정표시장치의 전원전압을 외부에서 차단하기 바로전에, 대부분의 게이트 라인(GL)들에는 게이트 저전압이 인가되어 있게 되므로, 결국, 대부분의 박막트랜지스터(TFT)의 게이트단자에는 게이트 저전압이 인가되어 있게 되는데, 전단 게이트 구조의 액정표시장치에서는 이 전압이 보조용량 커패시터(Cst)에 충전되어 있게 된다. 따라서, 상기 보조용량 커패시터(Cst)의 전압이 방전되기전까지는 박막트랜지스터(TFT)의 게이트단자에는 게이트 저전압이 항상 인가되게 되어 전원전압을 차단하였더라도 액정표시장치의 화면은 바로 꺼지지 않게 되는

것이다.

[0035] 그리고, 상기 보조용량 커패시터(Cst)의 전압이 방전되기 위해서는 박막트랜지스터(TFT)가 턴-오프 상태를 벗어나야 하는데 상기 보조용량 커패시터(Cst)가 게이트 저전압을 유지하고 있으므로, 상기 보조용량 커패시터(Cst)의 전압은 방전되기 어렵다. 이러한 이유로 종래의 전단 게이트 구조를 채용한 액정표시장치는 전원전압 차단 시에도 화면이 빨리 사라지지 않게 되고, 이로 인해 화면에 잔상이 발생하는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

[0036] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 게이트 드라이버 내부에 구비된 쉬프트 레지스터의 동작을 전원에 따라 제어함으로써 잔상을 제거할 수 있는 액정표시장치 및 이의 구동방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

[0037] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 서로 교차하는 다수의 게이트 라인들 및 데이터 라인들에 의해 정의된 다수의 화소를 갖는 액정패널; 상기 각 화소의 화소전극과 상기 게이트 라인간에 형성된 보조용량 커패시터; 순차적으로 인에이블되며, 상기 인에이블된 상태에서 공급된 클럭펄스를 스캔펄스로서 출력하여 각 게이트 라인에 차례로 공급하는 다수의 스테이지들; 및, 상기 액정패널, 스테이지들, 및 클럭발생부를 포함한 액정표시장치의 각종 구동요소의 동작에 필요한 전원의 상태를 감지하고, 이 전원이 오프될 때 모든 스테이지들을 동시에 인에이블시키는 방전부를 포함함을 그 특징으로 한다.

[0038] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 서로 교차하는 다수의 게이트 라인들 및 데이터 라인들에 의해 정의된 다수의 화소를 갖는 액정패널; 상기 각 화소의 화소전극과 상기 게이트 라인간에 형성된 보조용량 커패시터; 순차적으로 인에이블되며, 상기 인에이블된 상태에서 공급된 클럭펄스를 스캔펄스로서 출력하는 다수의 스테이지들; 및, 상기 액정패널, 스테이지들, 및 클럭발생부를 포함한 액정표시장치의 각종 구동요소의 동작에 필요한 전원의 상태를 감지하고, 상기 전원의 상태에 따라 상기 스테이지들로부터의 스캔펄스를 각 게이트 라인에 그대로 공급하거나 상기 게이트 라인들에 동시에 충전용 전압을 공급하는 방전부를 포함함을 그 특징으로 한다.

[0039] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 구동방법은, 서로 교차하는 다수의 게이트 라인들 및 데이터 라인들에 의해 정의된 다수의 화소를 갖는 액정패널; 상기 각 화소의 화소전극과 상기 게이트 라인간에 형성된 보조용량 커패시터; 순차적으로 인에이블되며, 상기 인에이블된 상태에서 공급된 클럭펄스를 스캔펄스로서 출력하여 각 게이트 라인에 차례로 공급하는 다수의 스테이지들을 포함하는 액정표시장치의 구동방법에 있어서, 상기 액정패널, 스테이지들, 및 클럭발생부를 포함한 액정표시장치의 각종 구동요소의 동작에 필요한 전원의 상태를 감지하는 단계; 및, 상기 전원이 오프될 때 모든 스테이지들을 동시에 인에이블시키는 단계를 포함함을 그 특징으로 한다.

[0040] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 구동방법은, 서로 교차하는 다수의 게이트 라인들 및 데이터 라인들에 의해 정의된 다수의 화소를 갖는 액정패널; 상기 각 화소의 화소전극과 상기 게이트 라인간에 형성된 보조용량 커패시터; 순차적으로 인에이블되며, 상기 인에이블된 상태에서 공급된 클럭펄스를 스캔펄스로서 출력하는 다수의 스테이지들을 포함하는 액정표시장치의 구동방법에 있어서, 상기 액정패널, 스테이지들, 및 클럭발생부를 포함한 액정표시장치의 각종 구동요소의 동작에 필요한 전원의 상태를 감지하는 단계; 및, 상기 전원의 상태에 따라 상기 스테이지들로부터의 스캔펄스를 각 게이트 라인에 그대로 공급하거나 상기 게이트 라인들에 동시에 충전용 전압을 공급하는 단계를 포함함을 그 특징으로 한다.

[0041] 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치를 상세히 설명하면 다음과 같다.

[0042] 도 2는 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면이다.

[0043] 본 발명의 실시예에 따른 액정표시장치는, 도 2에 도시된 바와 같이, $m \times n$ 개의 화소가 매트릭스 타입으로 배열되고 m 개의 데이터 라인(DL1 내지 DL m)과 n 개의 게이트 라인(GL1 내지 GL n)이 수직교차되며 그 교차부에 박막트랜지스터(TFT)가 형성된 액정패널(217)과, 상기 액정패널(217)의 데이터 라인(DL)에 데이터 전압을 공급하기 위한 데이터 드라이버(213)와, 상기 게이트 라인(GL)에 스캔펄스(게이트 저전압(VGL) 및 게이트 고전압(VGH)으로 이루어짐)을 공급하기 위한 게이트 드라이버(214)와, 인터페이스회로(211)로부터의 동기신호를 이용하여 상기 데이터 드라이버(213) 및 게이트 드라이버(214)를 제어하기 위한 타이밍 컨트롤러(212)와, 시스템(210)으로

부터 전원(VCC)을 인가받아 상기 액정패널(217)에 공급되는 전압들을 발생하기 위한 직류-직류 변환기(216)와, 상기 시스템(210)으로부터의 전원(VCC)의 온/오프 상태를 감지함으로써 상기 액정표시장치의 동작여부를 판단하고, 이 판단 결과에 따라 상기 게이트 드라이버(214)의 출력을 제어하는 방전부(215)를 포함한다.

[0044] 여기서, 상기 시스템(210)은 그래픽 컨트롤러의 LVDS(Low Voltage Differential Signaling) 송신기를 통하여 수직/수평 동기신호, 클럭신호 및 데이터(RGB)를 인터페이스회로(211)에 공급하고 전원으로부터 발생하는 3.3V의 전원전압(VCC)을 각 디지털 회로소자들(211, 212, 213, 214, 215)과 직류-직류 변환기(216)에 공급한다.

[0045] 한편, 상기 액정패널(217)의 각 화소는 서로 수직교차하는 다수개의 게이트 라인(GL1 내지 GLn)들과 데이터 라인(DL1 내지 DLm)들에 의해 정의되는데, 각 화소에는 박막트랜지스터(TFT) 및 화소전극이 구비되어 있다. 구체적으로, 상기 박막트랜지스터(TFT)는 상기 게이트 라인(GL1 내지 GLn)과 데이터 라인(DL1 내지 DLm)이 교차하는 부분에 형성되는데, 상기 박막트랜지스터(TFT)의 게이트단자는 상기 게이트 라인(GL1 내지 GLn)에 접속되고, 소스단자는 상기 데이터 라인(DL1 내지 DLm)에 접속되며, 드레인단자는 상기 화소전극에 접속된다.

[0046] 여기서, 상기 액정패널(217)은 서로 대향하여 합착된 두 개의 유리 기판과, 상기 유리 기판 사이에 형성된 액정층을 포함하는데, 도 2는 상기 액정표시장치의 하부 유리기판, 즉 상기 박막트랜지스터(TFT) 어레이가 형성된 제 1 기판을 도시한 것이다.

[0047] 그리고, 도면에 도시하지 않았지만, 상기 액정층을 사이에 두고 상기 제 1 기판과 대향하는 상부 유리기판, 즉 제 2 기판에는 R, G, B 컬러필터층 및 화상을 표시하기 위한 공통전극(250)이 형성되어 있다. 여기서, 상술한 상기 제 1 기판의 화소전극은 상기 제 2 기판의 공통전극(250)과 액정층을 사이에 두고 마주보고 있으며, 이 두 전극간에 발생하는 전기장의 크기에 의해서 상기 액정층의 광투과율이 조절된다. 이때, 상기 액정층을 사이에 두고 마주보는 상기 화소전극과 상기 공통전극(250)은, 상기 액정층을 유전체로 하는 액정용량 커패시터(C1c)로 기능한다.

[0048] 또한, 상기 각 화소에 구비된 화소전극의 일부는, 이웃하는 타 화소를 구동하기 위한 게이트 라인(GL)의 일부를 중첩하도록 설계되는데, 이때 서로 마주보는 상기 화소전극과 게이트 라인(GL)은, 절연체를 유전체로 하는 보조용량 커패시터(Cst)로 기능한다. 일반적으로, 상기와 같이 각 화소의 화소전극이 이웃하는 타 화소의 게이트 라인(GL)과 중첩되어 있는 구조를 전단 게이트 구조라고 부른다.

[0049] 그리고, 상기 데이터 드라이버(213)는 타이밍 컨트롤러(212)로부터의 데이터 제어신호(DDC)에 응답하여 디지털 비디오 데이터(RGB)를 계조값에 대응하는 아날로그 감마전압으로 변환하고 그 아날로그 감마전압을 상기 데이터 라인(DL)에 공급한다. 상기 데이터 드라이버(213)가 집적화된 데이터 드라이브 집적회로에는 전원전압(VCC)이 공급된다.

[0050] 한편, 상기 게이트 드라이버(214)는 상기 타이밍 컨트롤러(212)로부터의 게이트 제어신호(GDC)에 응답하여 스캔 펄스를 게이트 라인(GL)에 순차적으로 공급하여 데이터 전압이 공급되는 액정패널(217)의 수평라인을 선택한다. 상기 게이트 드라이버(214)가 집적화된 게이트 드라이브 집적회로에는 상기 전원(VCC)이 공급된다.

[0051] 상기 타이밍 컨트롤러(212)는 인터페이스회로(211)를 경유하여 시스템(210)의 그래픽 컨트롤러로부터 입력되는 수직/수평 동기신호와 클럭신호를 이용하여 게이트 드라이버(214)를 제어하기 위한 게이트 제어신호(GDC)와 데이터 드라이버(213)를 제어하기 위한 데이터 제어신호(DDC)를 발생한다.

[0052] 한편, 상기 직류-직류 변환기(216)는 커넥터(도시되지 않음)를 경유하여 시스템(210)으로부터 입력되는 상기 전원(VCC)을 승압 또는 감압하여 액정패널(217)에 공급되는 전압을 발생한다. 이를 위하여, 상기 직류-직류 변환기(216)는 출력단에 출력전압을 절환하기 위한 출력 스위칭소자와, 상기 출력 스위칭소자의 제어신호의 듀티비나 주파수를 제어하여 출력전압을 승압하거나 감압시키기 위한 펄스폭 변조기(Pulse Width Modulator : PWM) 또는 펄스주파수 변조기(Pulse Frequency Modulator : PFM)를 포함한다. 상기 펄스폭 변조기는 상기 출력 스위칭소자의 제어신호 듀티비를 높여 상기 직류-직류 변환기(216)의 출력 전압을 높이거나, 상기 출력 스위칭소자의 제어신호의 듀티비를 낮추어 상기 직류-직류 변환기(216)의 출력 전압을 낮춘다.

[0053] 또한, 상기 펄스주파수 변조기는 출력 스위칭소자의 제어신호 주파수를 높여 상기 직류-직류 변환기(216)의 출력 전압을 높이거나, 상기 출력 스위칭소자의 주파수를 낮추어 상기 직류-직류 변환기(216)의 출력 전압을 낮춘다.

[0054] 여기서, 상기 직류-직류 변환기(216)의 출력 전압은 6V 이상의 기준전압(VDD), 10 단계 미만의 감마기준전압(GMA1 10), 2.5 3.3V의 공통전압(VCOM), 15V 이상의 게이트 고전압(VGH), -4V 이하의 게이트 저전압(VGL)이

다. 상기 감마기준전압(GMA1 10)은 상기 기준전압(VDD)의 분압에 의해 발생된 전압이다.

[0055] 상기 기준전압(VDD)과 감마기준전압(GMA1~10)은 아날로그 감마전압으로써 데이터 드라이버(213)에 공급된다. 그리고, 상기 공통전압(VCOM)은 상기 데이터 드라이버(213)를 경유하여 상기 액정패널(217)에 형성된 공통전극(250)에 공급되는 전압이다. 여기서, 상기 게이트 고전압(VGH)은 박막트랜지스터(TFT)의 문턱전압 이상으로 설정된 스캔펄스의 하이논리전압으로써 상기 게이트 드라이버(214)에 공급되고, 상기 게이트 저전압(VGL)은 상기 박막트랜지스터(TFT)의 오프전압으로 설정된 스캔펄스의 로우논리전압으로써 게이트 드라이버(214)에 공급된다.

[0056] 여기서, 상기 게이트 드라이버를 좀 더 구체적으로 설명하면 다음과 같다.

[0057] 도 3은 본 발명의 제 1 실시예에 따른 방전부 및 게이트 드라이버에 구비된 쉬프트 레지스터를 나타낸 도면이고, 도 4는 도 3의 쉬프트 레지스터에 공급되는 클럭펄스를 나타낸 도면이다.

[0058] 쉬프트 레지스터(301)는, 도 3에 도시된 바와 같이, 다수의 스테이지(ST1 내지 STn)들을 포함한다.

[0059] 상기 쉬프트 레지스터(301)에는 위상차를 갖는 적어도 2종의 클럭펄스가 공급된다. 설명의 편의상 상기 쉬프트 레지스터(301)가 서로 위상차를 갖는 제 1 및 제 2 클럭펄스(CLK1, CLK2)를 공급받는다고 가정하자.

[0060] 각 스테이지(ST1 내지 STn)는 제 1 및 제 2 클럭펄스(CLK1, CLK2) 중 어느 하나의 클럭펄스를 공급받는다. 예를 들어, 제 2k-1 스테이지(k는 자연수)는 제 1 클럭펄스(CLK1)를 공급받으며, 제 2k 스테이지는 제 2 클럭펄스(CLK2)를 공급받는다.

[0061] 각 스테이지(ST1 내지 STn)는 전단 스테이지로부터의 스캔펄스에 응답하여 인에이블된다. 그리고, 이 인에이블된 상태에서 자신에게 공급되는 클럭펄스를 스캔펄스로서 출력한다.

[0062] 각 스테이지(ST1 내지 STn)는 다음단 스테이지로부터의 스캔펄스에 응답하여 디스에이블된다. 이 디스에이블된 스테이지(ST1 내지 STn)는 방전용 전압원을 출력하여 게이트 라인(GL1 내지 GLn)을 방전시킨다.

[0063] 한편, 각 스테이지(ST1 내지 STn)는 2개의 클럭펄스를 공급받아, 하나의 클럭펄스는 상술한 스캔펄스(Vout1 내지 Voutn)로서 출력하고, 나머지 하나의 클럭펄스는 자신을 디스에이블시키는데 사용할 수 있다.

[0064] 상기 스테이지(ST1 내지 STn)들 중 가장 첫 번째로 스캔펄스를 출력하기 위한 제 1 스테이지(ST1)는 게이트 스타트 펄스(GSP)에 의해 인에이블된다.

[0065] 상기 스테이지(ST1 내지 STn)가 인에이블된다는 것은, 출력 가능한 상태로 세트된다는 것을 의미하는 것으로, 이 인에이블된 스테이지(ST1 내지 STn)만이 자신에게 공급된 클럭펄스를 출력할 수 있다.

[0066] 상기 스테이지(ST1 내지 STn)가 디스에이블된다는 것은, 출력이 불가능한 상태로 리셋된다는 것을 의미하는 것으로, 이 디스에이블된 스테이지(ST1 내지 STn)는 자신에게 클럭펄스를 출력할 수 없다.

[0067] 이와 같이 구성된 쉬프트 레지스터(301)의 동작을 설명하면 다음과 같다.

[0068] 초기 기간에 게이트 스타트 펄스(GSP)에 의해 제 1 스테이지(ST1)가 인에이블된다.

[0069] 이후, 제 1 기간에 제 1 클럭펄스(CLK1)가 상기 인에이블된 제 1 스테이지(ST1)에 공급된다. 이에 따라, 상기 제 1 스테이지(ST1)는 상기 제 1 클럭펄스(CLK1)를 제 1 스캔펄스(Vout1)로서 출력한다.

[0070] 이 제 1 스캔펄스(Vout1)는 제 1 게이트 라인(GL1) 및 제 2 스테이지(ST2)에 공급된다. 이에 따라 제 1 기간에 제 1 게이트 라인(GL1)이 구동됨과 아울러, 상기 제 2 스테이지(ST2)가 인에이블된다.

[0071] 이후, 제 2 기간에 제 2 클럭펄스(CLK2)가 상기 인에이블된 제 2 스테이지(ST2)에 공급된다. 이에 따라, 상기 제 2 스테이지(ST2)는 상기 제 2 클럭펄스(CLK2)를 제 2 스캔펄스(Vout2)로서 출력한다.

[0072] 이 제 2 스캔펄스(Vout2)는 제 2 게이트 라인(GL2), 제 3 스테이지(ST3), 및 제 1 스테이지(ST1)에 공급된다. 이에 따라 제 2 기간에 제 2 게이트 라인(GL2)이 구동되고, 상기 제 3 스테이지(ST3)가 인에이블되고, 상기 제 1 스테이지(ST1)가 디스에이블된다.

[0073] 이와 같은 방식으로 제 3 내지 제 n 스테이지(ST3 내지 STn)가 차례로 스캔펄스(Vout3 내지 Voutn)를 출력한다.

[0074] 이와 같이, 각 스테이지(ST1 내지 STn)가 차례로 인에이블되고, 차례로 스캔펄스(Vout1 내지 Voutn)를 출력함에 따라 게이트 라인(GL1 내지 GLn)들이 순차적으로 구동된다.

[0075] 상기 스테이지(ST1 내지 STn)들의 일측에는 방전부(215)가 구비된다.

- [0076] 상기 방전부(215)는 전원(VCC)의 온/오프 상태를 감지하고, 이 상태에 따라 다음과 같이 동작한다.
- [0077] 즉, 상기 방전부(215)는 상기 전원(VCC)이 온 상태를 유지하는 기간(상기 전원(VCC)이 하이상태를 유지하는 기간)에는, 상기 각 스테이지(ST1 내지 STn)에 어떠한 신호도 공급하지 않는다. 따라서, 상기 전원(VCC)이 온 상태를 유지하는 정상구동 기간에는, 상기 각 스테이지(ST1 내지 STn)가 순차적으로 스캔펄스(Vout1 내지 Voutn)를 출력하게 된다.
- [0078] 상기 방전부(215)는 상기 전원(VCC)이 오프되는 시점(상기 전원(VCC)이 로우상태로 떨어지는 시점)에 제어신호를 출력하고, 이 제어신호를 상기 스테이지(ST1 내지 STn)들 모두에 동시에 공급하여 상기 스테이지(ST1 내지 STn)들을 동시에 인에이블시킨다.
- [0079] 그러면, 모든 인에이블된 스테이지(ST1 내지 STn)는 모두 스캔펄스(Vout1 내지 Voutn)를 출력할 수 있는, 즉 출력 가능한 상태로 세트된다. 이 상태에서, 제 1 클럭펄스(CLK1)를 공급받는 제 2k-1 스테이지, 즉 기수번째 스테이지들(제 1 스테이지(ST1), 제 3 스테이지(ST3), ..., 제 n-1 스테이지(STn-1))이 동시에 제 1 클럭펄스(CLK1)를 스캔펄스(Vout1, Vout3, ..., Voutn-1)로서 출력하게 된다.
- [0080] 이후, 제 2 클럭펄스(CLK2)를 공급받는 제 2k 스테이지, 즉 우수번째 스테이지들(제 2 스테이지(ST2), 제 4 스테이지(ST4), ..., 제 n 스테이지(STn))이 동시에 제 2 클럭펄스(CLK2)를 스캔펄스(Vout2, Vout4, ..., Voutn)로서 출력하게 된다.
- [0081] 이에 따라, 기수번째 게이트 라인들(제 1 게이트 라인(GL1), 제 3 게이트 라인(GL3), ..., 제 n-1 게이트 라인(GLn-1))이 동시에 하이상태로 충전되고, 다음에 우수번째 게이트 라인들(제 2 게이트 라인(GL2), 제 4 게이트 라인(GL4), ..., 제 n 게이트 라인(GLn))이 동시에 하이상태로 충전된다.
- [0082] 즉, 두 기간에 걸쳐 모든 게이트 라인(GL1 내지 GLn)들이 하이상태로 충전된다. 이에 따라 모든 게이트 라인(GL1 내지 GLn)에 접속된 박막트랜지스터가 턴-온되면서, 모든 화소에 구비된 보조용량 커패시터(Cst)에 저장된 전압이 빠르게 방전된다.
- [0083] 이에 따라 전원(VCC)이 오프되는 순간 모든 보조용량 커패시터(Cst)의 전압을 방전시킴으로써, 화면에 잔상이 발생하는 것을 방지할 수 있다.
- [0084] 상기 방전부(215)는 다수의 단위 방전부(DU1 내지 DUn)를 갖는다. 상기 단위 방전부(DU1 내지 DUn)의 수는 스테이지(ST1 내지 STn)의 수와 동일하며, 하나의 단위 방전부가 하나의 스테이지를 제어한다.
- [0085] 한편, 상기 전원(VCC)이 오프된 후에도 상기 스테이지(ST1 내지 STn)들이 동작하기 위해서는 상기 제 1 및 제 2 클럭펄스(CLK1, CLK2)를 생성하는 클럭발생기가 동작을 할 수 있는 상태로 유지되어야 한다. 이를 위해 상기 클럭발생기는 지연부를 통해 전원(VCC)을 공급받는다.
- [0086] 도 5는 지연부 및 상기 지연부를 통해 전원을 공급받는 클럭발생기를 나타낸 도면이고, 도 6은 도 5의 지연부를 통과하기 이전의 전원의 상태와 상기 지연부를 통과한 전원의 상태를 비교설명하기 위한 도면이다.
- [0087] 상기 클럭발생기(550)는, 도 5에 도시된 바와 같이, 지연부(533)를 통과한 전원(VCC)을 공급받아, 제 1 및 제 2 클럭펄스(CLK1, CLK2)를 생성한다.
- [0088] 상기 지연부(533)는 저항과 커패시터가 병렬로 접속된 RC 지연회로이다.
- [0089] 온 상태로 유지되는 전원(VCC)은 직류전원(VCC)이므로, 상기 전원(VCC)이 온 상태로 유지되는 정상동작기간에는 상기 전원(VCC)이 지연부(533)를 통과해도 상기 커패시터의 영향을 받지 않는다. 즉, 도 6의 A지점과 B지점의 전원(VCC)의 레벨은 동일하다.
- [0090] 그러나, 상기 전원(VCC)이 오프되는 순간, 상기 전원(VCC)은 하이상태에서 로우상태로 떨어지는 교류전원(VCC)으로 변경된다. 이 순간 상기 전원(VCC)은 지연부(533)의 저항 및 커패시터에 의해서 왜곡된다. 즉, A지점의 전원(VCC)이 빠르게 그라운드를 향해 떨어지는 반면, B지점의 전원(VCC)은 이보다 늦게, 즉 상기 저항과 커패시터의 크기에 따른 시정수만큼 지연되면서 서서히 그라운드를 향해 떨어진다.
- [0091] 따라서, 도 6에 도시된 바와 같이, 전원(VCC)이 오프되더라도 B지점의 전원(VCC)은 방전기간(T)만큼 하이상태를 유지할 수 있다. 따라서, 이 방전기간(T)동안 클럭발생기(550)가 동작할 수 있다. 다시말하면, 도 4에 도시된 바와 같이, 이 방전기간(T)동안 클럭발생기(550)로부터 제 1 및 제 2 클럭펄스(CLK1, CLK2)가 생성된다. 그리고, 이 제 1 및 제 2 클럭펄스(CLK1, CLK2)를 공급받는 스테이지(ST1 내지 STn)들이 스캔펄스(Vout1 내지

Voutn)를 출력하여 상기 방전기간(T)동안에 모든 화소의 보조용량 커패시터(Cst)를 방전시킨다.

- [0092] 도 7은 본 발명의 제 2 실시예에 따른 방전부 및 게이트 드라이버에 구비된 쉬프트 레지스터를 나타낸 도면이고, 도 8은 도 7의 단위 방전부의 구성을 나타낸 도면이다.
- [0093] 본 발명의 제 2 실시예에 따른 방전부는, 도 7에 도시된 바와 같이, 다수의 단위 방전부(DU1 내지 DUn)를 갖는다.
- [0094] 상기 방전부(715)는 전원(VCC)의 온/오프 상태를 감지하고, 이 상태에 따라 다음과 같이 동작한다.
- [0095] 즉, 상기 방전부(715)는 상기 전원(VCC)이 온 상태를 유지하는 기간(상기 전원(VCC)이 하이상태를 유지하는 기간)에는, 상기 각 스테이지(ST1 내지 STn)에 어떠한 신호도 공급하지 않는다. 따라서, 상기 전원(VCC)이 온 상태를 유지하는 정상구동 기간에는, 상기 각 스테이지(ST1 내지 STn)가 순차적으로 스캔펄스(Vout1 내지 Voutn)를 출력하게 된다.
- [0096] 상기 방전부(715)는 상기 전원(VCC)이 오프되는 시점(상기 전원(VCC)이 로우상태로 떨어지는 시점)에 제어신호를 출력하고, 이 제어신호를 상기 스테이지(ST1 내지 STn)들 모두에 동시에 공급하여 상기 스테이지(ST1 내지 STn)들을 동시에 인에이블시킨다.
- [0097] 상기 방전부(715)는 다수의 단위 방전부(DU1 내지 DUn)를 갖는다. 상기 단위 방전부(DU1 내지 DUn)의 수는 스테이지(ST1 내지 STn)의 수와 동일하며, 하나의 단위 방전부가 하나의 스테이지를 제어한다.
- [0098] 각 단위 방전부(DU1 내지 DUn)는 상기 전원(VCC)이 온상태일 때, 전단 스테이지로부터의 스캔펄스를 자신이 맡고 있는 스테이지(ST1 내지 STn)에 그대로 공급한다.
- [0099] 각 단위 방전부(DU1 내지 DUn)는 상기 전원(VCC)이 오프상태일 때, 전단 스테이지로부터의 스캔펄스의 출력여부에 상관없이 자신이 맡고 있는 스테이지(ST1 내지 STn)를 인에이블시킨다.
- [0100] 이를 위해 상기 각 단위 방전부(DU1 내지 DUn)는, 도 8에 도시된 바와 같이, 전단 스테이지로부터의 스캔펄스의 논리상태를 반전시키는 반전부(802)와, 상기 전원(VCC)의 논리상태 및 상기 반전부(802)로부터의 스캔펄스(Vout1 내지 Voutn)의 논리상태를 논리조합하여 자신이 맡고 있는 스테이지(ST1 내지 STn)에 출력하는 NAND 게이트(801)를 포함한다.
- [0101] 쉬프트 레지스터(301)에 구비된 각 스테이지(ST1 내지 STn)는 전단 스테이지로부터의 스캔펄스를 각 단위 방전부(DU1 내지 DUn)를 통해 공급받아 인에이블된다.
- [0102] 도 9는 도 8의 단위 방전부로부터의 출력의 논리상태를 나타낸 논리표이다.
- [0103] 도 9에 도시된 바와 같이, 전원(VCC)이 온상태, 즉 하이상태 일때는 각 단위 방전부(DU1 내지 DUn)로부터의 출력의 논리상태가 전단 스테이지(ST1 내지 STn)로부터의 출력의 논리상태(또는 게이트 스타트 펄스(GSP)의 논리상태)에 의해 좌우된다.
- [0104] 그리고, 전원(VCC)이 오프상태, 즉 로우상태 일 때는 각 단위 방전부(DU1 내지 DUn)로부터의 출력의 논리상태가 상기 전단 스테이지로부터의 출력의 논리상태에 영향을 받지 않는다. 즉, 상기 전원(VCC)이 오프상태 일 때는 모든 단위 방전부(DU1 내지 DUn)는 무조건 하이상태의 출력(제어신호)을 발생한다.
- [0105] 이 제어신호에 의해 모든 스테이지(ST1 내지 STn)가 동시에 인에이블된다.
- [0106] 그러면, 모든 인에이블된 스테이지(ST1 내지 STn)는 모두 스캔펄스(Vout1 내지 Voutn)를 출력할 수 있는, 즉 출력 가능한 상태로 세트된다. 이 상태에서, 제 1 클럭펄스(CLK1)를 공급받는 제 2k-1 스테이지, 즉 기수번째 스테이지들(제 1 스테이지(ST1), 제 3 스테이지(ST3), ..., 제 n-1 스테이지(STn-1))이 동시에 제 1 클럭펄스(CLK1)를 스캔펄스(Vout1, Vout3, ..., Voutn-1)로서 출력하게 된다.
- [0107] 이후, 제 2 클럭펄스(CLK2)를 공급받는 제 2k 스테이지, 즉 우수번째 스테이지들(제 2 스테이지(ST2), 제 4 스테이지(ST4), ..., 제 n 스테이지(STn))이 동시에 제 2 클럭펄스(CLK2)를 스캔펄스(Vout2, Vout4, ..., Voutn)로서 출력하게 된다.
- [0108] 이에 따라, 기수번째 게이트 라인들(제 1 게이트 라인(GL1), 제 3 게이트 라인(GL3), ..., 제 n-1 게이트 라인(GLn-1))이 동시에 하이상태로 충전되고, 다음에 우수번째 게이트 라인들(제 2 게이트 라인(GL2), 제 4 게이트 라인(GL4), ..., 제 n 게이트 라인(GLn))이 동시에 하이상태로 충전된다.

- [0109] 즉, 두 기간에 걸쳐 모든 게이트 라인(GL1 내지 GLn)들이 하이상태로 충전된다. 이에 따라 모든 게이트 라인(GL1 내지 GLn)에 접속된 박막트랜지스터가 턴-온되면서, 모든 화소에 구비된 보조용량 커패시터(Cst)에 저장된 전압이 빠르게 방전된다. 이에 따라 화면에 잔상이 발생하는 것을 방지할 수 있다.
- [0110] 도 10은 본 발명의 제 3 실시예에 따른 방전부 및 게이트 드라이버에 구비된 쉬프트 레지스터를 나타낸 도면이다.
- [0111] 본 발명의 제 3 실시예에 따른 방전부(815)는, 도 10에 도시된 바와 같이, 쉬프트 레지스터(301)의 출력단에 위치하고 있다.
- [0112] 상기 쉬프트 레지스터(301)로부터의 스캔펄스(Vout1 내지 Voutn)는 방전부(715)를 통과하여 게이트 라인(GL1 내지 GLn)들에 공급된다. 이때, 상기 방전부(715)는 전원(VCC)의 온/오프상태를 감지하고, 이 감지된 결과에 따라 상기 스캔펄스(Vout1 내지 Voutn)의 출력여부를 결정한다.
- [0113] 즉, 상기 전원(VCC)이 온상태일 때, 상기 방전부(715)는 쉬프트 레지스터(301)로부터의 스캔펄스(Vout1 내지 Voutn)를 그대로 통과시켜 게이트 라인(GL1 내지 GLn)들에 공급한다. 그리고, 상기 전원(VCC)이 오프상태일 때, 상기 방전부(715)는 상기 쉬프트 레지스터(301)로부터의 스캔펄스(Vout1 내지 Voutn)의 논리상태에 관계없이 모든 게이트 라인(GL1 내지 GLn)들에 동시에 충전용 전압을 공급한다.
- [0114] 따라서, 상기 전원(VCC)이 오프되는 순간 모든 화소의 보조용량 커패시터(Cst)가 방전된다.
- [0115] 상기 방전부(715)는 다수의 단위 방전부(DU1 내지 DUn)를 갖는다. 상기 단위 방전부(DU1 내지 DUn)의 수는 스테이지(ST1 내지 STn)의 수와 동일하며, 하나의 단위 방전부가 하나의 스테이지를 제어한다.
- [0116] 상기 각 단위 방전부(DU1 내지 DUn)의 회로구성은 도 8에 도시된 구성과 동일하다.
- [0117] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

- [0118] 이상에서 설명한 바와 같은 본 발명에 따른 액정표시장치에는 다음과 같은 효과가 있다.
- [0119] 본 발명의 실시예에 따른 액정표시장치에 구비된 방전부는, 전원의 오프시 쉬프트 레지스터에 구비된 모든 스테이지들을 동시에 인에이블시킴으로써 두 기간에 걸쳐 모든 스테이지들이 스캔펄스를 출력할 수 있도록 하고 있다. 따라서, 모든 게이트 라인이 두 기간에 걸쳐 충전되고, 이에 의해서 상기 게이트 라인에 접속된 모든 박막트랜지스터들이 턴-온된다. 이 턴-온된 박막트랜지스터를 통해 각 화소의 보조용량 커패시터에 충전된 전압이 빠르게 방전됨으로써, 전원의 오프시 잔상이 발생하지 않는다.

도면의 간단한 설명

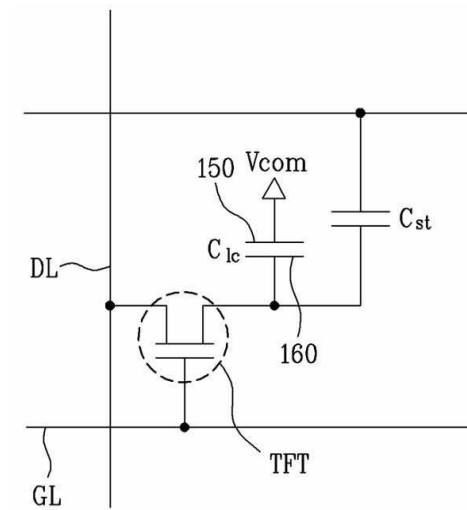
- [0001] 도 1은 종래의 액정표시장치에서의 하나의 화소에 대한 등가회로도
- [0002] 도 2는 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면
- [0003] 도 3은 본 발명의 제 1 실시예에 따른 방전부 및 게이트 드라이버에 구비된 쉬프트 레지스터를 나타낸 도면
- [0004] 도 4는 도 3의 쉬프트 레지스터에 공급되는 클럭펄스를 나타낸 도면
- [0005] 도 5는 지연부 및 상기 지연부를 통해 전원을 공급받는 클럭발생기를 나타낸 도면
- [0006] 도 6은 도 5의 지연부를 통과하기 이전의 전원의 상태와 상기 지연부를 통과한 전원의 상태를 비교설명하기 위한 도면
- [0007] 도 7은 본 발명의 제 2 실시예에 따른 방전부 및 게이트 드라이버에 구비된 쉬프트 레지스터를 나타낸 도면
- [0008] 도 8은 도 7의 단위 방전부의 구성을 나타낸 도면
- [0009] 도 9는 도 8의 단위 방전부로부터의 출력의 논리상태를 나타낸 논리표
- [0010] 도 10은 본 발명의 제 3 실시예에 따른 방전부 및 게이트 드라이버에 구비된 쉬프트 레지스터를 나타낸 도면

[0011] * 도면의 주요부에 대한 부호 설명

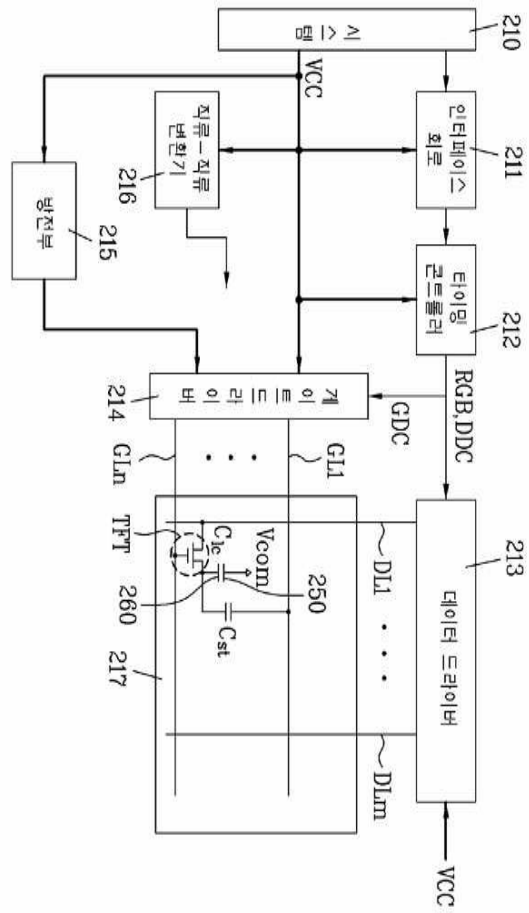
[0012]	GL : 게이트 라인	DL : 데이터 라인
[0013]	210 : 시스템	211 : 인터페이스 회로
[0014]	212 : 타이밍 컨트롤러	213 : 데이터 드라이버
[0015]	214 : 게이트 드라이버	217 : 액정패널
[0016]	215 : 방전부	VCC : 전원
[0017]	216 : 직류-직류 변환기	GDC : 게이트 제어신호
[0018]	DDC : 데이터 제어신호	TFT : 박막트랜지스터
[0019]	C _{lc} : 액정용량 커패시터	C _{st} : 보조용량 커패시터

도면

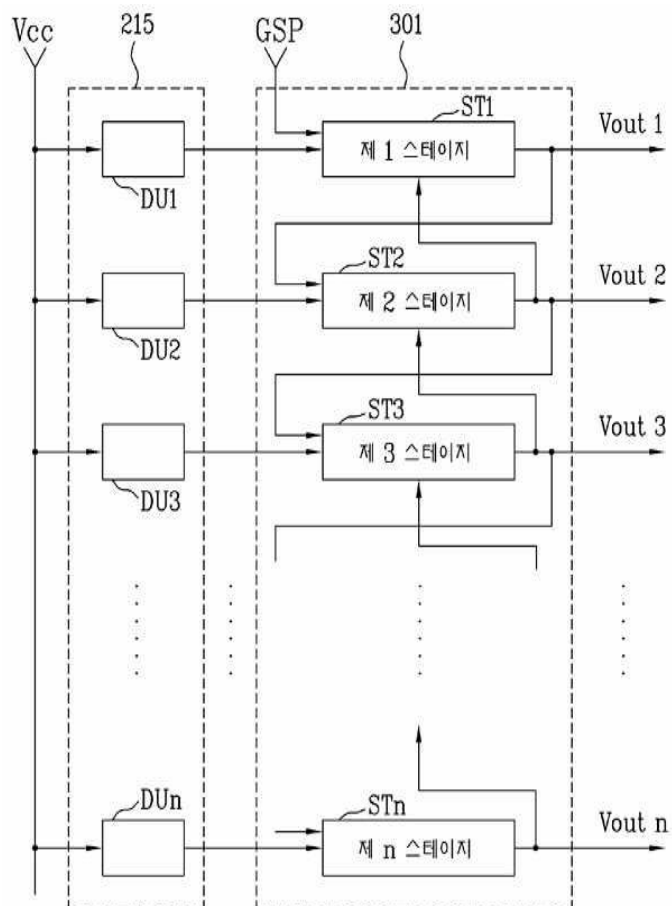
도면1



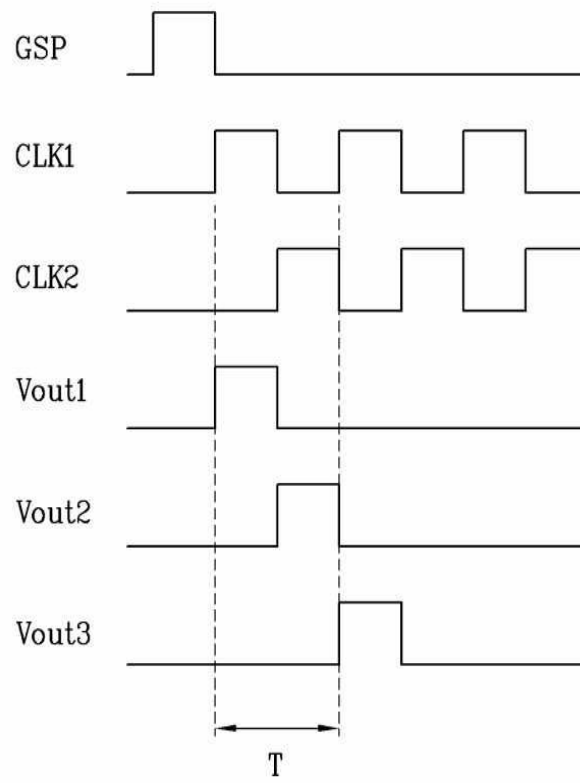
도면2



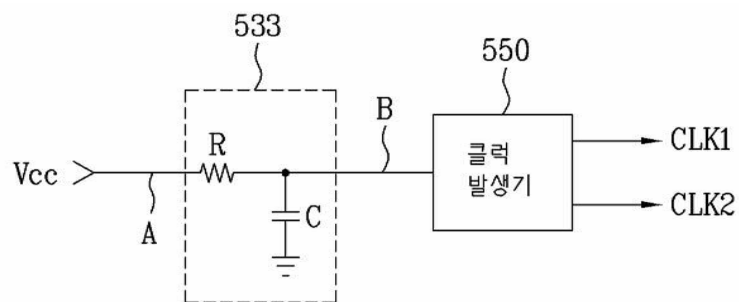
도면3



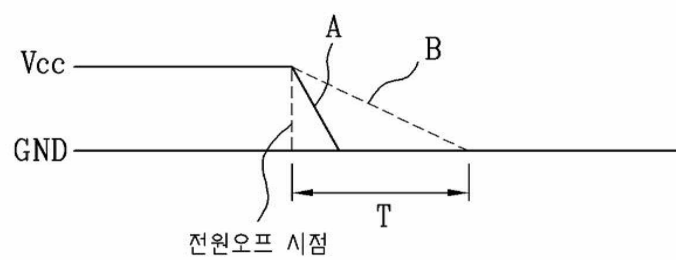
도면4



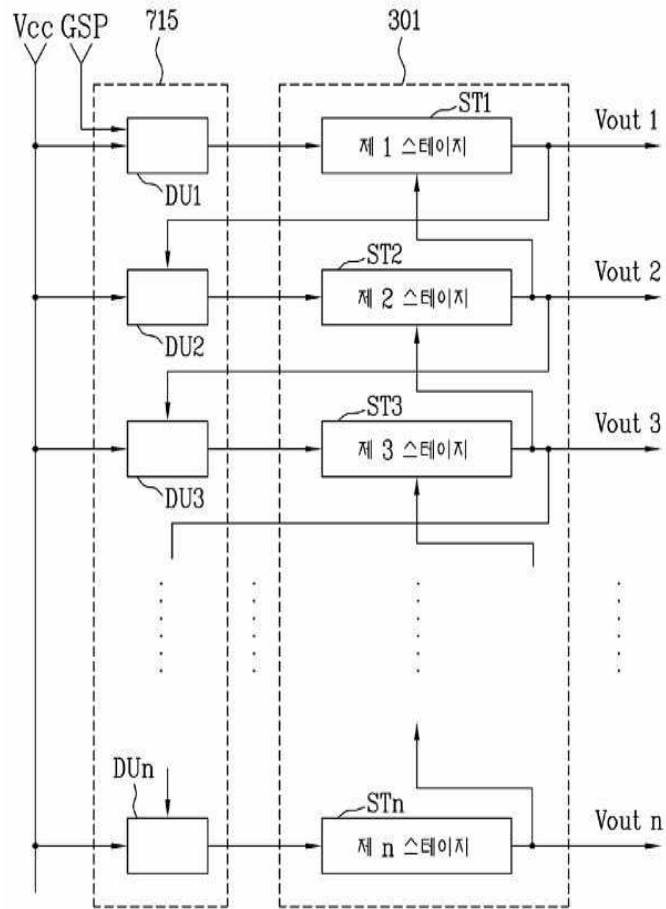
도면5



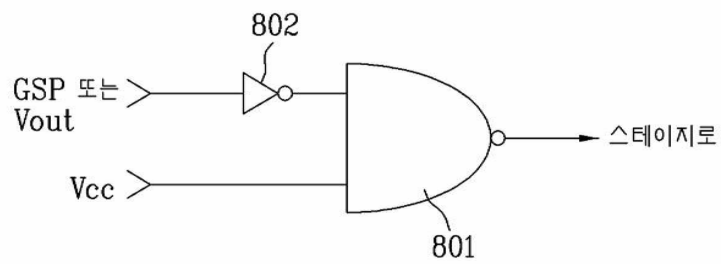
도면6



도면7



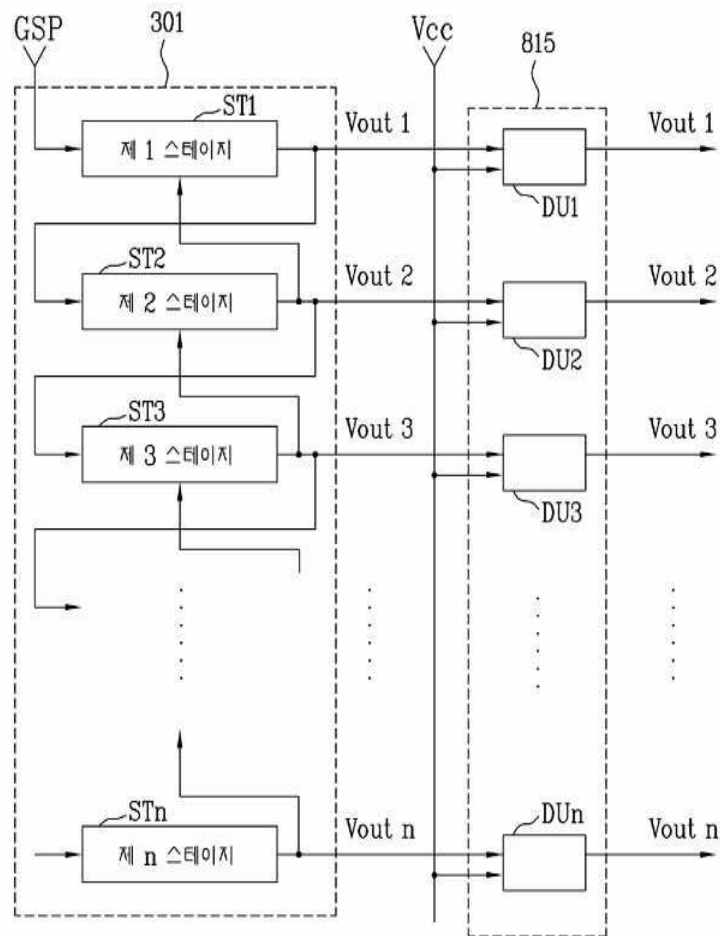
도면8



도면9

Vcc	전단 스테이지의 출력	단위 방전부의 출력
High	High	High
High	Low	Low
Low	High	High
Low	Low	High

도면10



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR101264709B1	公开(公告)日	2013-05-16
申请号	KR1020060118948	申请日	2006-11-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HONG YOUNG GI		
发明人	HONG,YOUNG GI		
IPC分类号	G09G3/20 G09G3/36 G09G G02F G02F1/133		
CPC分类号	G09G2310/0245 G09G3/3677 G09G2310/08 G09G3/3611 G09G2330/02 G09G2320/0257 G09G2330/027		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR1020080048686A		
外部链接	Espacenet		

摘要(译)

本发明公开了一种液晶显示装置及其驱动方法，其能够在电源关闭时从屏幕上去除余像，该液晶显示装置包括液晶面板，该液晶面板包括由多个像素限定的多个像素。栅极和数据线相互交叉；用于驱动栅极线的栅极驱动器；数据驱动器，用于通过数据线对具有模拟视频信号的像素充电；以及放电单元，用于通过控制栅极驱动器的输出来从像素放电，以使所有栅极线被分开驱动，或者在电源关闭时使所有栅极线同时被驱动。

