



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년11월26일
(11) 등록번호 10-1204365
(24) 등록일자 2012년11월19일

(51) 국제특허분류(Int. Cl.)
G02F 1/1345 (2006.01)
(21) 출원번호 10-2006-0004233
(22) 출원일자 2006년01월16일
심사청구일자 2010년12월13일
(65) 공개번호 10-2007-0075686
(43) 공개일자 2007년07월24일
(56) 선행기술조사문헌
KR1020040002290 A*
KR1019980058371 A*
KR1020060001163 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
김동규
경기도 용인시 수지구 진산로66번길 10, 삼성5차
아파트 523동 1305호 (풍덕천동)
권영근
경기도 수원시 영통구 영통로 111, LG Xi3차 30
1동 1203호 (망포동)
김정일
인천 남동구 만수1동 959-3 동인빌라 가동 201호
(74) 대리인
오세준, 권혁수, 송윤호

전체 청구항 수 : 총 17 항

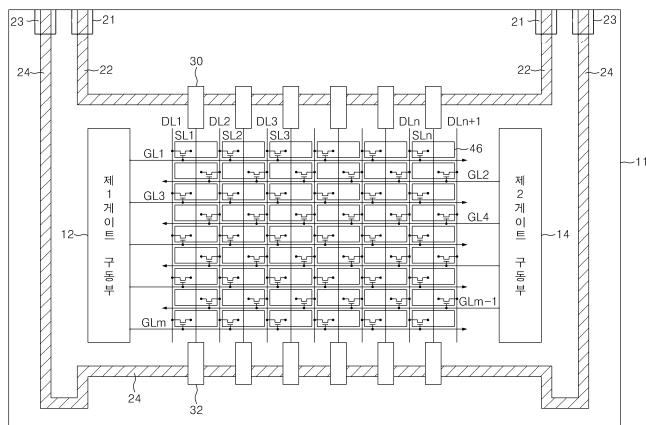
심사관 : 유창훈

(54) 발명의 명칭 액정 표시 패널 및 그 제조 방법

(57) 요약

본 발명은 서브 화소 배열 구조의 변경으로 데이터 라인의 수도 줄이면서 개구율을 충분히 확보할 수 있는 액정 패널 및 그 제조 방법을 제공하는 것이다.

이를 위하여, 본 발명은 표시 영역을 구성하는 다수의 서브 화소와; 상기 다수의 서브 화소 각각과 접속된 다수의 박막 트랜지스터와; 상기 박막 트랜지스터와 접속되고 상기 서브 화소의 장면 방향을 따라 형성된 다수의 게이트 라인과; 상기 박막 트랜지스터와 접속되고 상기 서브 화소의 단면 방향을 따라 형성된 다수의 데이터 라인과; 상기 단면 방향을 따라 상기 서브 화소를 경유하도록 형성된 다수의 스토리지 라인과; 상기 다수의 스토리지 라인의 일측부와 공통 접속된 제1 공통 스토리지 라인과; 상기 다수의 스토리지 라인의 타측부와 공통 접속된 제2 공통 스토리지 라인을 구비하는 액정 패널과 그 제조 방법을 개시한다.

대 표 도 - 도2

특허청구의 범위

청구항 1

표시 영역을 구성하는 다수의 서브 화소와;

상기 다수의 서브 화소 각각과 접속된 다수의 박막 트랜지스터와;

상기 박막 트랜지스터와 접속되고 상기 서브 화소의 장면 방향을 따라 형성된 다수의 게이트 라인과;

상기 박막 트랜지스터와 접속되고 상기 서브 화소의 단면 방향을 따라 형성된 다수의 데이터 라인과;

상기 단면 방향을 따라 상기 서브 화소를 경유하도록 형성된 다수의 스토리지 라인과;

상기 다수의 스토리지 라인의 일측부와 공통 접속된 제1 공통 스토리지 라인과;

상기 다수의 스토리지 라인의 타측부와 공통 접속된 제2 공통 스토리지 라인을 구비하는 것을 특징으로 하는 액정 패널.

청구항 2

제 1 항에 있어서,

상기 다수의 서브 화소에 적, 녹, 청색의 서브 화소를 포함하고,

상기 적, 녹, 청색의 서브 화소는 상기 데이터 라인을 따라 번갈아가면서 반복적으로 배치된 것을 특징으로 하는 액정 패널.

청구항 3

제 2 항에 있어서,

상기 제1 및 제2 공통 스토리지 라인은 상기 게이트 라인과 동일한 제1 금속층으로, 상기 스토리지 라인은 상기 데이터 라인과 동일한 제2 금속층으로 형성된 것을 특징으로 하는 액정 패널.

청구항 4

제 3 항에 있어서,

상기 제1 공통 스토리지 라인과 상기 다수의 스토리지 라인 각각을 접속시키는 다수의 제1 컨택 전극과;

상기 제2 공통 스토리지 라인과 상기 다수의 스토리지 라인 각각을 접속시키는 다수의 제2 컨택 전극을 추가로 구비하는 것을 특징으로 하는 액정 패널.

청구항 5

제 4 항에 있어서,

상기 제1 및 제2 컨택 전극 각각은

상기 공통 스토리지 라인 및 상기 스토리지 라인을 각각 노출시키는 컨택홀을 통해 상기 공통 스토리지 라인과 상기 스토리지 라인을 접속시키는 제3 도전층으로 형성된 것을 특징으로 하는 액정 패널.

청구항 6

제 3 항에 있어서,

상기 제1 공통 스토리지 라인은 상기 표시 영역을 둘러싸는 비표시 영역 중 상측 비표시 영역을 경유하여 상기 다수의 스토리지 라인의 상측부와 접속되고,

상기 제2 공통 스토리지 라인은 하측 비표시 영역을 경유하여 상기 다수의 스토리지 라인의 하측부와 접속된 것을 특징으로 하는 액정 패널.

청구항 7

제 6 항에 있어서,

상기 제2 공통 스토리지 라인은 상기 하측 비표시 영역에서 좌측 및 우측 비표시 영역을 따라 상기 상측 비표시 영역까지 신장된 것을 특징으로 하는 액정 패널

청구항 8

제 7 항에 있어서,

상기 제1 공통 스토리지 라인의 양단과 각각 접속된 제1 공통 패드와;

상기 제2 공통 스토리지 라인의 양단과 각각 접속된 제2 공통 패드를 추가로 구비하는 것을 특징으로 하는 액정 패널.

청구항 9

제 7 항에 있어서,

상기 제1 및 제2 공통 스토리지 라인의 양단과 공통 접속된 공통 패드를 추가로 구비하는 것을 특징으로 하는 액정 패널.

청구항 10

제 8 항에 있어서,

상기 좌측 및 우측 비표시 영역에 내장되어 상기 다수의 게이트 라인을 분할 구동하는 게이트 구동부를 추가로 구비하는 것을 특징으로 하는 액정 패널.

청구항 11

제 10 항에 있어서,

상기 제2 공통 스토리지 라인은 상기 게이트 구동부의 외곽쪽으로 경유하도록 형성된 것을 특징으로 하는 액정 패널.

청구항 12

기판 상에 게이트 라인 및 데이터 라인과, 그 게이트 라인 및 데이터 라인과 접속된 박막 트랜지스터를 형성하는 단계와;

상기 게이트 라인과 데이터 라인의 교차 구조로 정의되어 상기 게이트 라인과 나란한 장변과 상기 데이터 라인과 나란한 단변을 갖는 각 서브 화소 영역에 상기 박막 트랜지스터와 접속된 화소 전극을 형성하는 단계와;

상기 화소 전극을 상기 서브 화소 영역의 단변 방향으로 경유하는 스토리지 라인을 형성하는 단계와;

상기 스토리지 라인의 일측부와 접속된 제1 공통 스토리지 라인과, 상기 스토리지 라인의 타측부와 접속된 제2 공통 스토리지 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 액정 패널의 제조 방법.

청구항 13

제 12 항에 있어서,

상기 제1 및 제2 공통 스토리지 라인은 상기 게이트 라인과 동일한 제1 금속층으로, 상기 스토리지 라인은 상기 스토리지 라인은 상기 데이터 라인과 동일한 제2 금속층으로 형성된 것을 특징으로 하는 액정 패널의 제조 방법.

청구항 14

제 13 항에 있어서,

상기 제1 공통 스토리지 라인과 상기 스토리지 라인을 접속시키는 제1 컨택 전극과, 상기 제2 공통 스토리지 라인과 상기 스토리지 라인을 접속시키는 제2 컨택 전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 패널의 제조 방법.

청구항 15

제 14 항에 있어서,

상기 제1 및 제2 컨택 전극 각각은 형성하는 단계는

상기 공통 스토리지 라인 및 상기 스토리지 라인을 각각 노출시키는 컨택홀을 형성하는 단계와;

상기 컨택홀 통해 상기 공통 스토리지 라인과 상기 스토리지 라인을 접속시키는 제3 도전층으로 상기 제1 및 제2 컨택 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정 패널의 제조 방법.

청구항 16

제 15 항에 있어서

상기 제1 공통 스토리지 라인의 양단과 각각 접속된 제1 공통 패드와, 상기 제2 공통 스토리지 라인의 양단과 각각 접속된 제2 공통 패드를 형성하는 단계를 추가로 포함하는 구비하는 것을 특징으로 하는 액정 패널의 제조 방법.

청구항 17

제 15 항에 있어서,

상기 제1 및 제2 공통 스토리지 라인의 양단과 공통 접속된 공통 패드를 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 패널의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0015] 본 발명은 액정 표시 장치에 관한 것으로, 특히 데이터 라인을 줄이면서 스토리지 라인으로 인한 개구율 감소를 최소화할 수 있는 액정 표시 패널 및 그 제조 방법에 관한 것이다.

[0016] 액정 표시 장치는 액정의 전기적 및 광학적 특성을 이용하여 영상을 표시한다. 액정 표시 장치는 화소 매트릭스를 통해 화상을 표시하는 액정 표시 패널(이하, 액정 패널)과, 액정 패널을 구동하는 구동 회로를 구비한다. 그리고 액정 표시 장치는 액정 패널이 비발광 소자이기 때문에 액정 패널의 후면에서 빛을 공급하는 백라이트 유닛을 구비한다. 이러한 액정 표시 장치는 이동 통신 단말기, 휴대용 컴퓨터, 액정 텔레비전 등과 같이 소형 표시 장치부터 대형 표시 장치까지 널리 사용된다.

[0017] 적, 녹, 청 서브 화소로 구성된 화소들이 매트릭스 형태로 배열된 액정 패널은 각 서브 화소가 데이터 신호에 따라 액정 배열 상태를 가변시켜 백라이트 유닛에서 조사된 빛의 투과율을 조절함으로써 영상을 표시한다. 이 때 서브 화소는 스위칭 소자인 박막 트랜지스터를 통해 화소 전극에 공급된 데이터 신호와, 공통 전극에 공급된 공통 전압의 차전압을 충전하여 액정을 구동한다. 이러한 액정 패널에는 박막 트랜지스터와 접속된 게이트 라인을 구동하는 다수의 게이트 접적회로(이하 IC)와 데이터 라인을 구동하는 다수의 데이터 IC가 접속된다. 데이터 접적회로는 디지털 비디오 데이터를 아날로그 데이터 신호로 변환해야 하므로 게이트 IC 보다 복잡한 회로 구성을 갖는다.

[0018] 최근 액정 패널은 원가 절감을 위해 데이터 IC 수를 감소시킬 수 있도록 해상도는 유지하면서 데이터 라인의 수를 줄이는 방향으로 발전하고 있다. 데이터 라인 수를 줄이는 방법으로 서브 화소의 배열 구조를 바꾸는 방안이 대두되고 있는데 이때 휙도 및 화질이 감소되지 않도록 개구율 확보가 필요하다.

발명이 이루고자 하는 기술적 과제

[0019] 따라서 본 발명은 종래의 기술적 과제를 해결하기 위한 것으로 서브 화소 배열 구조의 변경으로 데이터 라인의

수도 줄이면서 개구율을 충분히 확보할 수 있는 액정 패널 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

- [0020] 이를 위하여, 본 발명의 실시 예에 따른 액정 패널은 표시 영역을 구성하는 다수의 서브 화소와; 상기 다수의 서브 화소 각각과 접속된 다수의 박막 트랜지스터와; 상기 박막 트랜지스터와 접속되고 상기 서브 화소의 장면 방향을 따라 형성된 다수의 게이트 라인과; 상기 박막 트랜지스터와 접속되고 상기 서브 화소의 단면 방향을 따라 형성된 다수의 데이터 라인과; 상기 단면 방향을 따라 상기 서브 화소를 경유하도록 형성된 다수의 스토리지 라인과; 상기 다수의 스토리지 라인의 일측부와 공통 접속된 제1 공통 스토리지 라인과; 상기 다수의 스토리지 라인의 타측부와 공통 접속된 제2 공통 스토리지 라인을 구비한다.
- [0021] 상기 다수의 서브 화소에 적, 녹, 청색의 서브 화소를 포함하고, 상기 적, 녹, 청색의 서브 화소는 상기 데이터 라인을 따라 번갈아가면서 반복적으로 배치된다.
- [0022] 상기 제1 및 제2 공통 스토리지 라인은 상기 게이트 라인과 동일한 제1 금속층으로, 상기 스토리지 라인은 상기 스토리지 라인은 상기 데이터 라인과 동일한 제2 금속층으로 형성된다.
- [0023] 그리고, 본 발명의 액정 패널은 상기 제1 공통 스토리지 라인과 상기 다수의 스토리지 라인 각각을 접속시키는 다수의 제1 컨택 전극과; 상기 제2 공통 스토리지 라인과 상기 다수의 스토리지 라인 각각을 접속시키는 다수의 제2 컨택 전극을 추가로 구비한다.
- [0024] 상기 제1 및 제2 컨택 전극 각각은 상기 공통 스토리지 라인 및 상기 스토리지 라인을 각각 노출시키는 컨택홀을 통해 상기 공통 스토리지 라인과 상기 스토리지 라인을 접속시키는 제3 도전층으로 형성된다.
- [0025] 상기 제1 공통 스토리지 라인은 상기 표시 영역을 둘러싸는 비표시 영역 중 상측 비표시 영역을 경유하여 상기 다수의 스토리지 라인의 상측부와 접속되고, 상기 제2 공통 스토리지 라인은 하측 비표시 영역을 경유하여 상기 다수의 스토리지 라인의 하측부와 접속된다. 상기 제2 공통 스토리지 라인은 상기 하측 비표시 영역에서 좌측 및 우측 비표시 영역을 따라 상기 상측 비표시 영역까지 신장된다.
- [0026] 또한 본 발명의 액정 패널은 상기 제1 공통 스토리지 라인의 양단과 각각 접속된 제1 공통 패드와; 상기 제2 공통 스토리지 라인의 양단과 각각 접속된 제2 공통 패드를 추가로 구비한다.
- [0027] 이와 달리, 본 발명의 액정 패널은 상기 제1 및 제2 공통 스토리지 라인의 양단과 공통 접속된 공통 패드를 추가로 구비한다.
- [0028] 또한 본 발명의 액정 패널은 상기 좌측 및 우측 비표시 영역에 내장되어 상기 다수의 게이트 라인을 분할 구동하는 게이트 구동부를 추가로 구비하고, 상기 제2 공통 스토리지 라인은 상기 게이트 구동부의 외곽쪽으로 경유하도록 형성된다.
- [0029] 그리고 본 발명에 따른 액정 패널의 제조 방법은 기판 상에 게이트 라인 및 데이터 라인과, 그 게이트 라인 및 데이터 라인과 접속된 박막 트랜지스터를 형성하는 단계와; 상기 게이트 라인과 데이터 라인의 교차 구조로 정의되어 상기 게이트 라인과 나란한 장면과 상기 데이터 라인과 나란한 단면을 갖는 각 서브 화소 영역에 상기 박막 트랜지스터와 접속된 화소 전극을 형성하는 단계와; 상기 화소 전극을 상기 서브 화소 영역의 단면 방향으로 경유하는 스토리지 라인을 형성하는 단계와; 상기 스토리지 라인의 일측부와 접속된 제1 공통 스토리지 라인과, 상기 스토리지 라인의 타측부와 접속된 제2 공통 스토리지 라인을 형성하는 단계를 포함한다.
- [0030] 상기 제1 및 제2 공통 스토리지 라인은 상기 게이트 라인과 동일한 제1 금속층으로, 상기 스토리지 라인은 상기 스토리지 라인은 상기 데이터 라인과 동일한 제2 금속층으로 형성된다.
- [0031] 또한 본 발명의 액정 패널 제조 방법은 상기 제1 공통 스토리지 라인과 상기 스토리지 라인을 접속시키는 제1 컨택 전극과, 상기 제2 공통 스토리지 라인과 상기 스토리지 라인을 접속시키는 제2 컨택 전극을 형성하는 단계를 추가로 포함한다.
- [0032] 상기 제1 및 제2 컨택 전극 각각은 형성하는 단계는 상기 공통 스토리지 라인 및 상기 스토리지 라인을 각각 노출시키는 컨택홀을 형성하는 단계와; 상기 컨택홀 통해 상기 공통 스토리지 라인과 상기 스토리지 라인을 접속시키는 제3 도전층으로 상기 제1 및 제2 컨택 전극을 형성하는 단계를 포함한다.
- [0033] 또한 본 발명의 액정 패널 제조 방법은 상기 제1 공통 스토리지 라인의 양단과 각각 접속된 제1 공통 패드와,

상기 제2 공통 스토리지 라인의 양단과 각각 접속된 제2 공통 패드를 형성하는 단계를 추가로 포함한다.

[0034] 이와 달리 본 발명의 액정 패널 제조 방법은 상기 제1 및 제2 공통 스토리지 라인의 양단과 공통 접속된 공통 패드를 형성하는 단계를 추가로 포함한다.

[0035] 상기 기술적 과제를 해결하는 것 이외에 본 발명의 다른 특징 및 이점들은 첨부한 도면을 참조한 실시 예에 대한 상세한 설명을 통하여 명백하게 드러나게 될 것이다.

[0036] 이하, 본 발명의 바람직한 실시 예들을 첨부한 도 1 내지 도 5를 참조하여 상세하게 설명하기로 한다.

[0037] 도 1은 본 발명의 실시 예에 따른 액정 표시 장치의 일부를 개략적으로 평면도이다.

[0038] 도 1에 도시된 액정 표시 장치는 화상 표시부(16)와, 화상 표시부(16)의 게이트 라인을 구동하는 게이트 구동부(12, 14)가 형성된 액정 패널(10)과, 화상 표시부(16)의 데이터 라인을 구동하는 데이터 IC(8)가 실장되고 인쇄 회로 기판(이하, PCB)(2)과 액정 패널(10) 사이에 접속된 회로 필름(6)과, PCB(2)에 실장된 타이밍 컨트롤러(4)를 구비한다.

[0039] 액정 패널(10)의 화상 표시부(16)는 적(이하 R), 녹(이하 G), 청(이하 B) 서브 화소로 구성된 다수의 화소들이 매트릭스 형태로 배열되어 화상을 표시한다. 화상 표시부(16)는 R, G, B 서브 화소별로 박막 트랜지스터가 형성된 박막 트랜지스터 기판과, 칼라 필터가 형성된 칼라 필터 기판이 액정을 사이에 두고 합착되어 형성된다. 박막 트랜지스터 기판에는 박막 트랜지스터와 접속된 게이트 라인 및 데이터 라인과 화소 전극이 더 형성된다. 화소 전극과 함께 액정을 구동하는 공통 전극은 박막 트랜지스터 기판 또는 칼라 필터 기판에 형성된다. R, G, B 서브 화소는 수직 방향으로 번갈아가면서 반복적으로 배열되고 같은 색의 서브 화소는 수평 방향의 스트라이프 형태로 배열된다. 다시 말하여, 화상 표시부(16)는 다수의 R 서브 화소로 구성된 R 수평 라인, 다수의 G 서브 화소로 구성된 G 수평 라인, 다수의 B 서브 화소로 구성된 B 수평 라인이 수직 방향으로 번갈아가면서 반복적으로 배열된 구조를 갖는다. 그리고 R, G, B 서브 화소는 장면이 수평 방향으로, 단면이 수직 방향으로 형성된 직사각형 형상을 갖는다. 이와 같이, 화상 표시부(16)에 R, G, B 서브 화소가 수직 방향으로 배열됨에 따라 R, G, B 서브 화소가 수평 방향으로 배열되었던 종래의 액정 패널 보다 데이터 라인 수가 1/3로 감소되고 이 결과 데이터 라인을 구동하는 데이터 IC(8)의 수도 감소된다. R, G, B 서브 화소의 수직 방향 배열로 데이터 라인이 감소한 만큼 게이트 라인이 증가하여 게이트 구동부(12, 14)의 크기가 증가되지만 게이트 구동부(12, 14)의 회로 구성이 데이터 IC(8) 보다 간단하므로 제조 원가를 절감할 수 있다. 특히 아모페스 실리콘(Amorphous Silicon) 박막을 이용한 액정 패널(10)에 게이트 구동부(12, 14)가 내장되므로 제조 원가는 더욱 절감할 수 있다.

[0040] 제1 및 제2 게이트 구동부(12, 14)는 화상 표시부(16)의 양측부에 위치하여 게이트 라인들을 분할 구동한다. 예를 들면, 제1 게이트 구동부(12)는 오드 게이트 라인들을, 제2 게이트 구동부(14)는 이븐 게이트 라인들을 구동한다. 제1 및 제2 게이트 구동부(12, 14)는 다수의 박막 트랜지스터를 포함하는 쉬프트 레지스터로 구성되므로 액정 패널(10)의 박막 트랜지스터 기판에 화상 표시부(16)의 박막 트랜지스터 및 다수의 신호 라인들과 함께 형성되어 비표시 영역에 내장된다.

[0041] 화상 표시부(16)의 데이터 라인들을 분할 구동하는 다수의 데이터 IC(8) 각각은 회로 필름(6) 상에 실장되고 회로 필름(6)은 ACF(Anisotropic Conductive Film)을 통해 액정 패널(10) 및 PCB(2)에 부착된다. 데이터 IC(8)를 실장한 회로 필름(6)으로는 TCP(Tape Carrier Package) 또는 COF(Chip On Film)이 이용된다. 이와 달리 데이터 IC(8)들은 회로 필름(6)을 사용하지 않고 액정 패널(10)의 박막 트랜지스터 기판 상에 COG(Chip On Glass) 방식으로 직접 실장되기도 한다.

[0042] PCB(2)에 실장된 타이밍 컨트롤러(4)는 데이터 IC(8)들과 제1 및 제2 게이트 구동부(12, 14)를 제어한다. 타이밍 컨트롤러(4)로부터의 데이터 신호와 다수의 데이터 제어 신호들은 PCB(2)와 회로 필름(6)을 경유하여 각 데이터 IC(8)에 공급되고, 다수의 게이트 제어 신호들은 PCB(2)와 회로 필름(6) 및 액정 패널(10)의 박막 트랜지스터 기판을 경유하여 제1 및 제2 게이트 구동부(12, 14)로 공급된다.

[0043] 제1 및 제2 게이트 구동부(12, 14)는 타이밍 컨트롤러(4)로부터의 게이트 제어 신호들과 전원부(미도시)로부터의 게이트 온 전압 및 게이트 오프 전압을 이용하여 화상 표시부(16)의 게이트 라인들을 순차 구동한다. 데이터 IC(8)들은 타이밍 컨트롤러(4)로부터의 디지털 데이터를 감마 전압부(미도시)로부터의 감마 전압을 이용하여 아날로그 데이터 신호로 변환하고 화상 표시부(16)의 게이트 라인이 구동되는 각 수평 기간에 동기하여 데이터 라인들로 아날로그 데이터 신호를 공급한다.

- [0044] 도 2는 도 1에 도시된 액정 패널의 박막 트랜지스터 기판을 개략적으로 도시한 평면도이다.
- [0045] 도 2에 도시된 박막 트랜지스터 기판(11)은 도 1에 도시된 액정 패널(10)의 화상 표시부(16)와 대응하는 표시 영역과, 그 표시 영역을 둘러싸는 비표시 영역으로 구분될 수 있다. 박막 트랜지스터 기판(11)의 표시 영역에는 게이트 라인들(GL1 내지 GL_m)과 데이터 라인들(DL1 내지 DL_{n+1})이 교차 구조로 형성되고 그 교차 구조로 정의된 각 서브 화소 영역에는 화소 전극(46)과 박막 트랜지스터(TFT)가 형성된다. 박막 트랜지스터(TFT)는 게이트 라인(GL)으로부터의 게이트 신호에 응답하여 데이터 라인(DL)으로부터의 데이터 신호를 화소 전극(46)에 공급한다. 화소 전극(46)은 R, G, B 서브 화소의 수직 방향 배열에 따라 수평 방향으로 길게, 즉 장변이 수평 방향으로 위치하고 단변이 수직 방향으로 위치하도록 형성된다. 이러한 화소 전극(46)은 칼라 필터 기판의 칼라 필터와 함께 서브 화소의 크기 및 형상을 결정한다.
- [0046] 액정 열화를 방지하기 위하여 데이터 라인(DL1 내지 DL_{n+1})에 공급되는 데이터 신호의 극성은 일정 주기로 인버전되어야 한다. 인버전 방법들 중 도트 인버전 방법은 각 서브 화소가 수평 및 수직 방향으로 인접한 서브 화소와 극성이 상반되게 구동하는 방법으로 가장 우수한 화질을 제공한다. 그러나 도트 인버전 방법을 위해서는 데이터 라인(DL1 내지 DL_{n+1})에 공급되는 데이터 신호가 서브 화소 단위로 인버전되어야 하므로 데이터 신호의 스윙 폭 및 구동 주파수가 증가하여 소비 전력면에서 불리한 단점이 있다. 이를 해결하기 위하여 데이터 라인(DL1 내지 DL_{n+1})과 접속된 박막 트랜지스터(TFT)의 접속 방향을 수직 방향을 따라 가면서 교번적으로 바꿔게 한다. 예를 들면, 오드 게이트 라인(GL1, GL3, ..., GL_n)과 접속된 오드 수평 라인의 박막 트랜지스터(TFT)들은 데이터 라인(DL1 내지 DL_n)의 우측에 위치한 화소 전극(46)과 접속된다. 이븐 게이트 라인(GL2, GL4, ..., GL_n)과 접속된 이븐 수평 라인의 박막 트랜지스터들(TFT)은 데이터 라인(DL2 내지 DL_{n+1})의 좌측에 위치한 화소 전극(46)과 접속된다. 이에 따라 데이터 라인(DL1 내지 DL_{n+1}) 각각에 공급되는 데이터 신호의 극성이 인접한 데이터 라인(DL)의 데이터 신호와 상반되고 프레임 단위로만 인버전되어도 화소 전극(46)은 수평 및 수직 방향으로 인접한 화소 전극(46)과 상반된 극성의 데이터 신호를 충전하여 도트 인버전 방식으로 구동될 수 있게 된다.
- [0047] 그리고 박막 트랜지스터 기판(11)의 표시 영역에는 각 서브 화소의 스토리지 커패시터 형성을 위한 스토리지 라인들(SL1 내지 SL_n) 각각이 데이터 라인(DL1 내지 DL_{n+1})과 나란하게 형성된다. 또한 스토리지 라인들(SL1 내지 SL_n)은 게이트 라인들(GL1 내지 GL_m)과 교차하면서 화소 전극(46)을 수직(단변) 방향으로 경유하게 된다. 이에 따라 스토리지 라인들(SL1 내지 SL_n)이 게이트 라인들(GL1 내지 GL_m)과 나란하게 형성되어 화소 전극(46)의 수평(장변) 방향으로 중첩된 경우 보다 화소 전극(46)과의 중첩 면적이 작으므로 개구율을 향상시킬 수 있게 된다. 스토리지 라인들(SL1 내지 SL_n)은 데이터 라인들(DL1 내지 DL_{n+1})과 동일한 마스크 공정을 통해 소스/드레인 금속으로 형성된다. 다시 말하여, 스토리지 라인(SL)은 도 3에 도시된 바와 같이 게이트 절연막(42) 위에 소스/드레인 금속으로 형성되고, 게이트 절연막(42)은 절연 기판(40) 위에 형성된다. 이에 따라 각 서브 화소의 스토리지 커패시터(Cst)는 화소 전극(46)이 보호막(44)을 사이에 두고 스토리지 라인(SL)과 중첩되어 형성된다.
- [0048] 박막 트랜지스터 기판(11)의 비표시 영역 중 표시 영역을 사이에 둔 좌측 및 우측 비표시 영역에는 게이트 라인들(GL1 내지 GL_n)을 분할 구동하는 제1 및 제2 게이트 구동부(12, 14)가 각각 형성된다. 예를 들어, 좌측 비표시 영역에 위치하는 제1 게이트 구동부(12)는 오드 게이트 라인들(GL1, GL3, ..., GL_{m-1})을 구동하고, 우측 비표시 영역에 위치하는 제2 게이트 구동부(14)는 이븐 게이트 라인들(GL2, GL4, ..., GL_m)을 구동한다. 이러한 제1 및 제2 게이트 구동부(12, 14)는 다수의 박막 트랜지스터들로 구성되어 표시 영역의 박막 트랜지스터(TFT)와 함께 형성된다.
- [0049] 또한 박막 트랜지스터 기판(11)의 화상 표시부를 감싸는 비표시 영역에는 스토리지 라인들(SL1 내지 SL_n)과 공통 접속된 제1 및 제2 공통 스토리지 라인(22, 24)과, 제1 및 제2 공통 스토리지 라인(22, 24)과 스토리지 라인들(SL1 내지 SL_n) 각각을 접속시키는 다수의 제1 및 제2 컨택 전극(30, 32)이 형성된다. 제1 및 제2 공통 스토리지 라인(22, 24)은 스토리지 라인들(SL1 내지 SL_n)의 상단부 및 하단부와 동시에 접속된다. 이에 따라 제1 및 제2 공통 스토리지 라인(22, 24) 중 어느 하나의 공통 스토리지 라인이 단선되면 나머지 공통 스토리지 라인을 통해 공통 전압을 공급할 수 있으므로 제1 및 제2 공통 스토리지 라인(22, 24)은 서로의 리던던시(Redundancy) 역할을 한다.
- [0050] 구체적으로 제1 공통 스토리지 라인(22)은 박막 트랜지스터 기판(11)의 상측 비표시 영역에 형성되고 스토리지 라인들(SL1 내지 SL_n)의 상측부와 제1 컨택 전극(30)을 통해 공통 접속된다. 또한 제1 공통 스토리지 라인(22)은 상측 비표시 영역의 양측으로 신장되어 2개의 제1 공통 패드(21) 각각을 통해 도 1에 도시된 첫번째 및 마

지막번째 회로 필름(6)의 출력 패드와 각각 접속된다. 이에 따라, 제1 공통 스토리지 라인(22)은 도 1에 도시된 PCB(2) 상에 실장된 전원부(미도시)로부터의 공통 전압을 PCB(2)와 회로 필름(6)을 경유하여 공급받아 스토리지 라인(SL1 내지 SLn)들에 공통으로 공급하게 된다.

[0051] 제2 공통 스토리지 라인(24)은 박막 트랜지스터 기판(11)의 비표시 영역 중 하측 비표시 영역에 형성되고 스토리지 라인들(SL1 내지 SLn)의 하측부와 제2 컨택 전극(32)을 통해 공통 접속된다. 또한 제2 공통 스토리지 라인(24)은 하측 비표시 영역의 양측으로 신장되어 굴곡되고 좌측 및 우측 비표시 영역 각각을 따라 상측으로 더 신장되어 2개의 제2 공통 패드(23) 각각을 통해 도 1에 도시된 첫번째 및 마지막회로 필름(6)의 출력 패드와 각각 접속된다. 이때, 제2 공통 스토리지 라인(24)는 좌측 및 우측 비표시 영역에서 제1 및 제2 게이트 구동부(12, 14)의 외곽으로 경유하면서 상측으로 신장된다. 따라서 제2 공통 스토리지 라인(24)은 도 1에 도시된 PCB(2) 상에 실장된 전원부(미도시)로부터의 공통 전압을 PCB(2)와 회로 필름(6)을 경유하여 공급받아 스토리지 라인(SL1 내지 SLn)들에 공통으로 공급한다.

[0052] 제1 및 제2 공통 스토리지 라인(22, 24)은 표시 영역의 게이트 라인(GL)과 함께 동일한 마스크 공정으로 게이트 금속으로 형성되고, 제1 및 제2 컨택 전극(30, 32)은 표시 영역의 화소 전극(46)과 함께 동일한 마스크 공정으로 투명 도전층으로 형성된다.

[0053] 예를 들면, 제1 컨택 전극(30)은 도 4에 도시된 바와 같이 제1 및 제2 컨택홀(34, 36)을 통해 제1 공통 스토리지 라인(22) 및 스토리지 라인(SL)과 접속된다. 제1 공통 스토리지 라인(22)은 절연 기판(40) 위에 게이트 금속으로 형성되고 그 위에는 게이트 절연막(42)이 형성된다. 스토리지 라인(SL)은 게이트 절연막(42) 위에 소스/드레인 금속으로 형성되고 그 위에는 보호막(44)이 형성된다. 제1 컨택홀(34)은 보호막(44) 및 게이트 절연막(42)을 관통하여 제1 공통 스토리지 라인(22)의 일부분이 노출되게 하고, 제2 컨택홀(36)은 보호막(44)을 관통하여 스토리지 라인(SL)의 일부분이 노출되게 한다. 보호막(44) 위에 형성된 제1 컨택 전극(30)은 제1 및 제2 컨택홀(34, 36)을 경유하여 제1 공통 스토리지 라인(22)과 스토리지 라인(SL)을 접속시킨다. 제2 컨택 전극(32)도 도 4에 도시된 제1 컨택 전극(30)과 동일한 구조로 제2 공통 스토리지 라인(24)과 스토리지 라인(SL)을 접속시킨다.

[0054] 그리고 제1 공통 스토리지 라인(22)과 접속된 제1 공통 패드(21)와 제2 공통 스토리지 라인(24)과 접속된 제2 공통 패드(23)는 도 2에 도시된 바와 같이 서로 분리되어 도 1에 도시된 회로 필름(6)에 마련된 각각의 출력 패드와 접속된다. 이와 달리, 제1 및 제2 공통 스토리지 라인(22, 24)은 도 5에 도시된 바와 같이 하나의 공통 패드(20)를 통해 도 1에 도시된 회로 필름(6)에 마련된 출력 패드와 접속되기도 한다. 한 회로 필름(6)에 접속되면서 분리된 제1 및 제2 공통 패드(21, 23) 사이에는 다수의 게이트 구동 신호 입력 패드(미도시)가 위치하게 된다. 다수의 게이트 구동 신호 입력 패드는 게이트 구동부(12, 14)와 접속된 다수의 게이트 구동 신호 공급 라인과 접속되어 도 1에 도시된 PCB(2) 상의 전원부 및 타이밍 컨트롤러(4)로부터 회로 필름(6)을 경유하여 공급받은 다수의 게이트 구동 신호를 게이트 구동부(12, 14)로 공급하게 된다.

[0055] 이와 같이 본 발명에 따른 액정 패널은 R, G, B 서브 화소를 수직 방향으로 배열하여 데이터 라인의 수를 감소시키게 된다. 이때 R, G, B 서브 화소의 장면은 게이트 라인과 나란하게, 단면은 데이터 라인과 나란하게 형성하고, 스토리지 라인을 데이터 라인과 나란하게, 즉 단면 방향으로 각 서브 화소를 경유하도록 형성함으로써 스토리지 라인으로 인한 개구율 감소를 최소화하여 개구율을 확보할 수 있게 된다.

발명의 효과

[0056] 상술한 바와 같이, 본 발명에 따른 액정 패널 및 그 제조 방법은 R, G, B 서브 화소를 수직 방향으로 배열하여 데이터 라인의 수를 감소시키는 구조에서 스토리지 라인을 데이터 라인과 나란하게 형성하여 각 서브 화소를 단면 방향으로 경유하도록 함으로써 스토리지 라인으로 인한 개구율 감소를 최소화하여 개구율을 확보할 수 있게 된다.

[0057] 또한 본 발명에 따른 액정 패널 및 그 제조 방법은 제1 및 제2 공통 스토리지 라인을 다수의 스토리지 라인의 상하부와 동시에 접속시킴으로써 어느 하나의 공통 스토리지 라인이 단선되더라도 나머지 공통 스토리지 라인을 통해 다수의 스토리지 라인에 공통 전압을 공급할 수 있게 된다.

[0058] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한

정되는 것이 아니라 특허 청구의 범위에 의해 정하여 져야만 할 것이다.

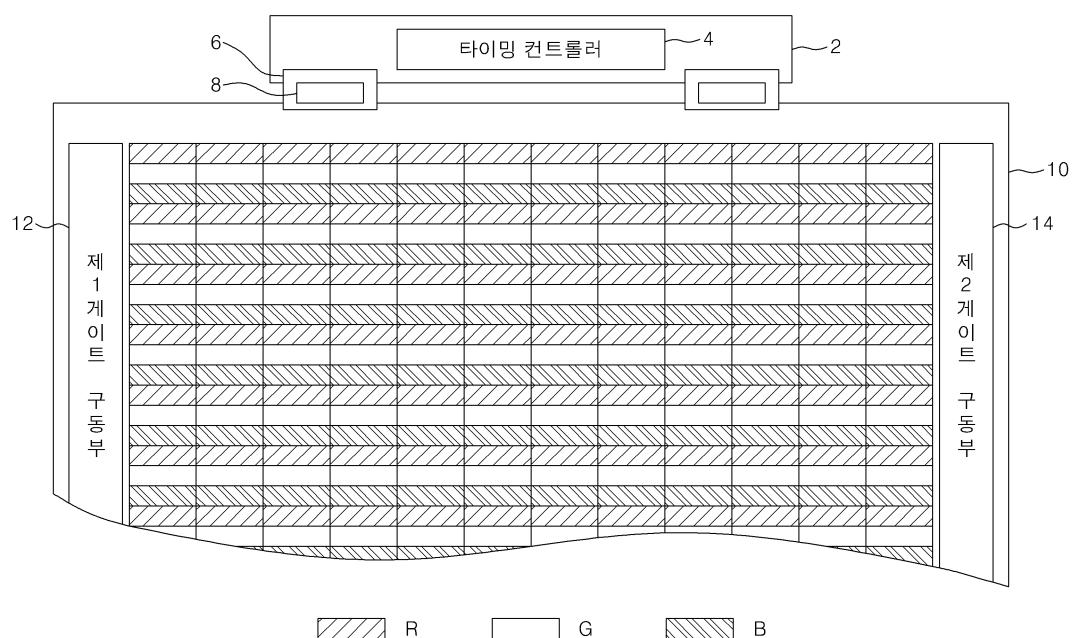
도면의 간단한 설명

- [0001] 도 1은 본 발명의 실시 예에 따른 액정 패널의 일부를 도시한 도면.
- [0002] 도 2는 본 발명의 실시 예에 따른 액정 패널의 박막 트랜지스터 기판을 도시한 도면.
- [0003] 도 3은 도 2에 도시된 스토리지 라인의 연결부를 III-III'선에 따라 절단하여 도시한 단면도.
- [0004] 도 4는 도 2에 도시된 한 서브 화소 영역에 형성된 스토리지 캐패시터를 도시한 단면도.
- [0005] 도 5는 본 발명의 다른 실시 예에 따른 액정 패널의 박막 트랜지스터 기판을 도시한 도면.
- [0006] < 도면의 주요 부분에 대한 부호의 설명 >

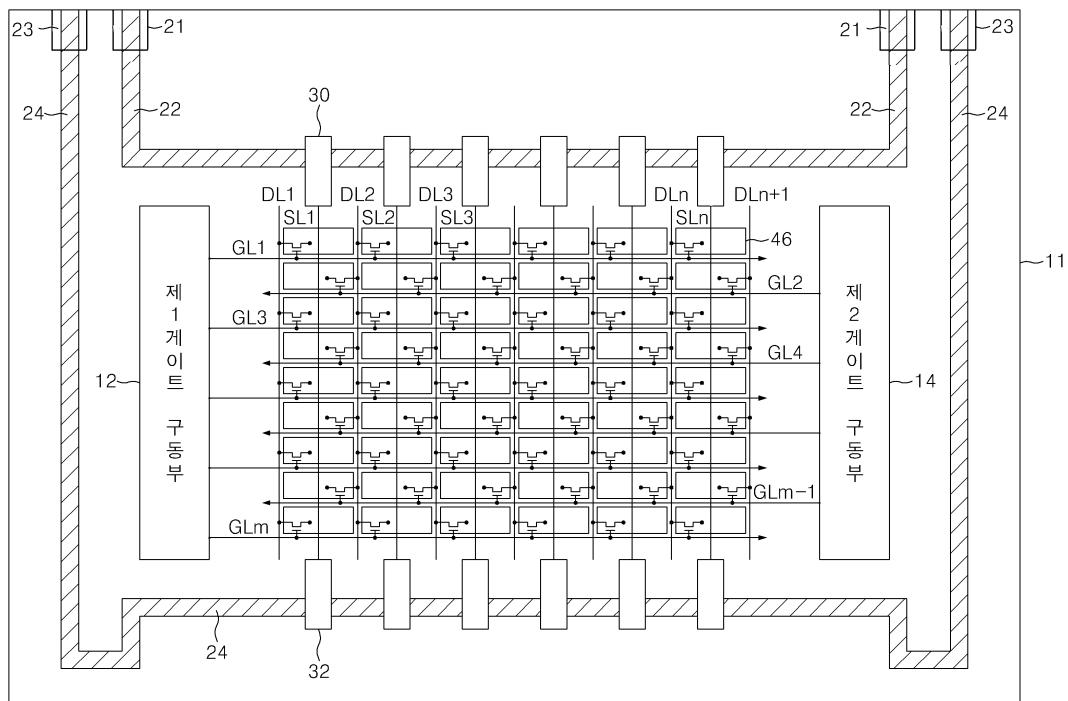
- | | |
|---------------------------|---------------------|
| [0007] 2 : 인쇄 회로 기판 | 4 : 타이밍 컨트롤러 |
| [0008] 6 : 회로 필름 | 8 : 데이터 IC |
| [0009] 10 : 액정 패널 | 11 : 박막 트랜지스터 기판 |
| [0010] 12, 14 : 게이트 구동부 | 16 : 화상 표시부 |
| [0011] 20, 21, 23 : 공통 패드 | 22, 24 : 공통 스토리지 라인 |
| [0012] 30, 32 : 컨택 전극 | 34, 36 : 컨택홀 |
| [0013] 40 : 절연 기판 | 42 : 게이트 절연막 |
| [0014] 44 : 보호박 | 46 : 화소 전극 |

도면

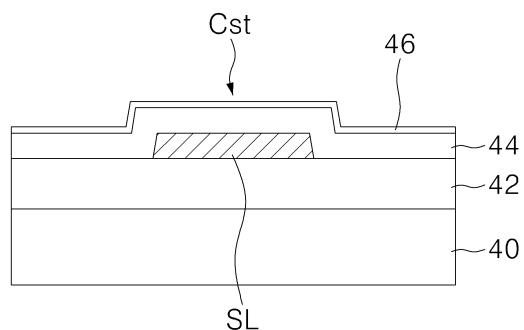
도면1



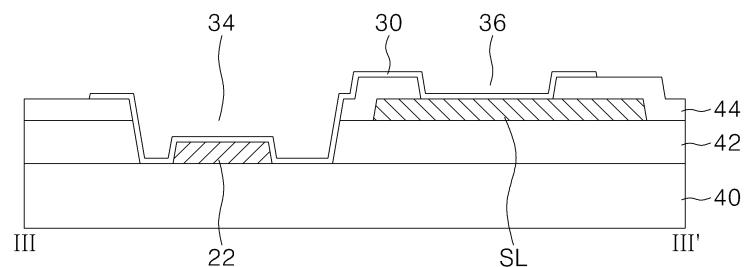
도면2



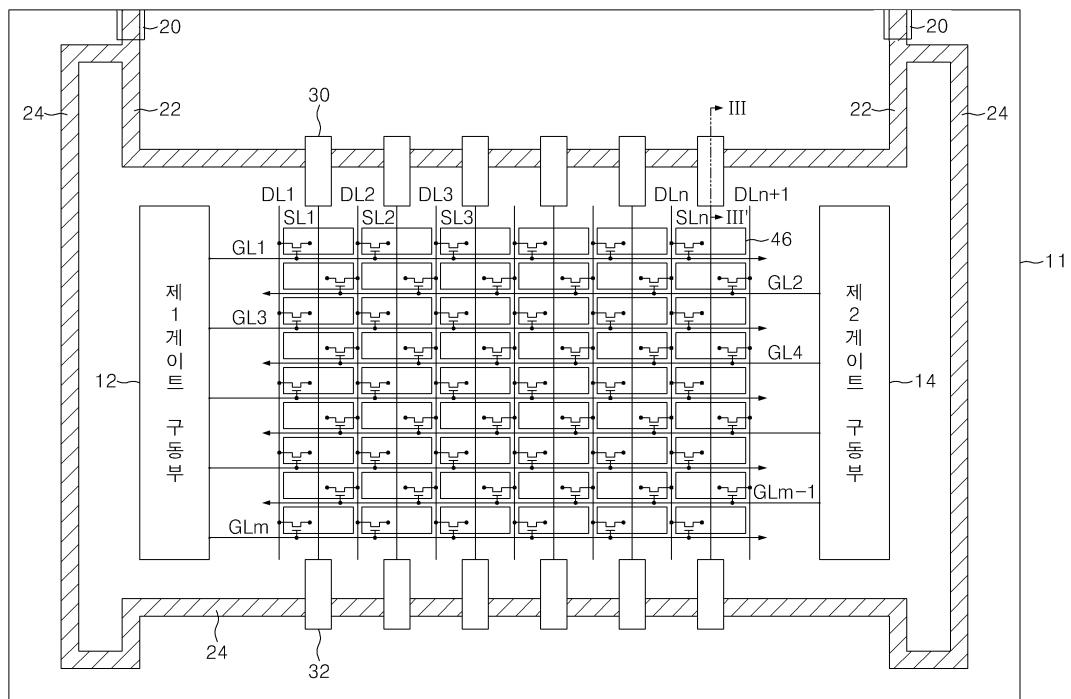
도면3



도면4



도면5



专利名称(译)	标题 : 液晶显示面板及其制造方法		
公开(公告)号	KR101204365B1	公开(公告)日	2012-11-26
申请号	KR1020060004233	申请日	2006-01-16
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM DONG GYU 김동규 KWON YEONG KEUN 권영근 KIM JEONG IL 김정일		
发明人	김동규 권영근 김정일		
IPC分类号	G02F1/1345		
CPC分类号	G02F1/136213 G02F1/136286 G02F1/134336 G02F1/13454 E02D5/30 E02D5/54 E02D5/60 E02D2250 /0023 E02D2600/30 E02D2600/40		
代理人(译)	SE JUN OH KWON , HYUK SOO 宋 , 云何		
其他公开文献	KR1020070075686A		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶面板及其制造方法，该液晶面板能够通过改变子像素排列结构来在减少数据线数量的同时充分确保开口率。为此，本发明包括构成显示区域的多个子像素;多个薄膜晶体管连接到多个子像素中的每一个;多条栅极线连接到薄膜晶体管并沿子像素的长边方向形成;多条数据线连接到薄膜晶体管并沿子像素的短边方向形成;形成多条存储线以沿短边方向穿过子像素;第一公共存储线，共同连接到多条存储线的一侧;并且，第二公共存储线通常连接到多条存储线的另一侧，以及制造该第二公共存储线的方法。

