



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년06월13일
(11) 등록번호 10-1041089
(24) 등록일자 2011년06월07일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2005-7022472

(22) 출원일자(국제출원일자) 2004년06월04일

심사청구일자 2009년04월07일

(85) 번역문제출일자 2005년11월24일

(65) 공개번호 10-2006-0015736

(43) 공개일자 2006년02월20일

(86) 국제출원번호 PCT/US2004/018037

(87) 국제공개번호 WO 2005/001800

국제공개일자 2005년01월06일

(30) 우선권주장

10/456,794 2003년06월06일 미국(US)

(56) 선행기술조사문헌

KR100145280 B1*

KR1020010003439 A*

US05191451 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

엘리엇, 캔디스, 헬렌, 브라운

미국, 캘리포니아 95490, 발레조, 요크 스트리트 521

크레들, 토마스, 로이드

미국, 캘리포니아 95037, 모건 힐, 스콧 블러프 플레이스 407

세르겔, 매튜, 오스본

미국, 캘리포니아 95303, 팔로 알토, 아이리스 웨이 349

(74) 대리인

박영우

전체 청구항 수 : 총 10 항

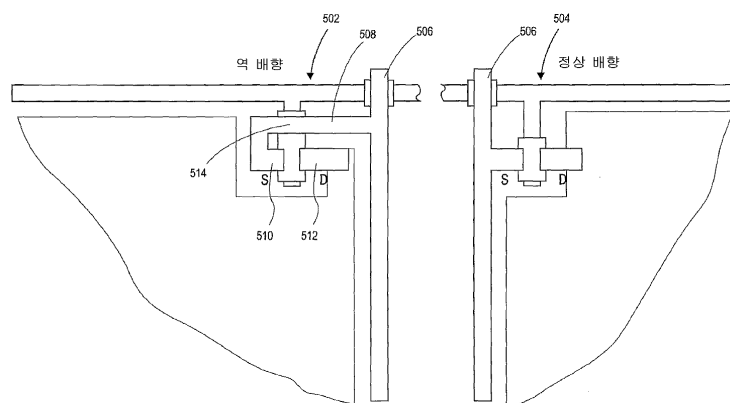
심사관 : 한재균

(54) 액정 디스플레이를 위한 대안적인 박막 트랜지스터

(57) 요약

액정 디스플레이를 위한 대안적인 박막 트랜지스터가 개시되어 있다. 대안적인 트랜지스터는 액정 디스플레이(LCD)와 같은 디스플레이 패널, 특히 대안적인 픽셀 배열을 구비하는 디스플레이 패널을 위해 사용될 수 있다. 이들 트랜지스터는 상이한, 비-전통적인 구성을 사용해서 LCD 패널 상에 배향되는 한편, 오정렬 및 기생 용량을 다룰 수 있다.

대표도



특허청구의 범위

청구항 1

이중 박막 트랜지스터를 구비하는 디바이스로서,

이중 박막 트랜지스터를 위한 적어도 하나의 드레인 전극;

이중 박막 트랜지스터를 위한 적어도 두 개의 게이트 전극을 구비하는 게이트 라인; 및

이중 박막 트랜지스터를 위한 적어도 하나의 소스 전극을 구비하는 소스 라인

을 포함하되, 드레인 전극과 게이트 라인에 의해 크로스오버가 형성되는, 이중 박막 트랜지스터를 구비하는 디바이스.

청구항 2

소스 라인에 연결되는 소스 전극을 포함하는 소스;

게이트 라인에 연결되는 제1 게이트 전극과 제2 게이트 전극을 포함하는 게이트; 및

제1 드레인 전극과 제2 드레인 전극을 포함하는 드레인을 포함하되, 상기 게이트와 상기 소스 사이에 크로스오버가 존재하고,

상기 게이트와 상기 드레인 사이에 적어도 두 개의 크로스오버가 존재하는 것을 특징으로 하는 박막 트랜지스터.

청구항 3

삭제

청구항 4

제2 항에 언급된 박막 트랜지스터를 복수 개 포함하는 디바이스.

청구항 5

복수의 제1 박막 트랜지스터와 복수의 제2 박막 트랜지스터를 포함하는 디바이스이며, 상기 제1 및 제2 박막 트랜지스터는 소스 전극과 드레인 전극을 포함하되,

상기 제1 박막 트랜지스터가 소스 라인에 대해 배치하는 방향과 상기 제2 박막 트랜지스터가 상기 소스 라인에 대해 배치하는 방향은 서로 반대 방향이고, 상기 제1 박막 트랜지스터의 상기 소스 전극 및 상기 드레인 전극은 상기 제2 박막 트랜지스터의 상기 소스 전극 및 상기 드레인 전극과 각각 평행한 것을 특징으로 하는 복수의 박막 트랜지스터를 포함하는 디바이스.

청구항 6

제5 항에 있어서,

상기 제2 박막 트랜지스터는 상기 제1 박막 트랜지스터에서와 동일한 소스 전극과 드레인 전극의 배향을 초래하기 위한 상기 제2 박막 트랜지스터의 상기 소스 전극과 게이트 전극 사이의 크로스오버를 포함하는 것을 특징으로 하는 복수의 박막 트랜지스터를 포함하는 디바이스.

청구항 7

제5 항에 있어서,

박막 트랜지스터의 임의의 오정렬은 상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터에 대해 동일한 것을 특징으로 하는 복수의 박막 트랜지스터를 포함하는 디바이스.

청구항 8

제6 항에 있어서,

상기 제1 박막 트랜지스터는 상기 제2 박막 트랜지스터에서 상기 크로스오버에 의해 영향받는 임의의 기생 용량과 실질적으로 균형을 맞추기 위한 상기 제1 박막 트랜지스터의 상기 소스 전극과 게이트 전극 사이의 크로스오버를 포함하는 것을 특징으로 하는 복수의 박막 트랜지스터를 포함하는 디바이스.

청구항 9

제5 항에 있어서,

상기 디바이스는 상기 제1 박막 트랜지스터와 상기 제2 박막 트랜지스터에 연결되는 픽셀 요소를 더 포함하되;

추가적으로 상기 픽셀 요소는 제거된 적어도 하나의 코너를 구비하는 것을 특징으로 하는 복수의 박막 트랜지스터를 포함하는 디바이스.

청구항 10

제9 항에 있어서,

제거되는 상기 코너에는 상기 제1 박막 트랜지스터 또는 상기 제2 박막 트랜지스터가 위치하는 것을 특징으로 하는 복수의 박막 트랜지스터를 포함하는 디바이스.

청구항 11

게이트 라인과 소스 라인에 연결되는 박막 트랜지스터;

상기 박막 트랜지스터에 연결되는 픽셀 요소; 및

상기 소스 라인으로부터 분기되어 상기 게이트 라인과 상기 픽셀 요소 사이에 삽입되는 적어도 하나의 금속 라인을 포함하는 것을 특징으로 하는 픽셀.

명세서

기술 분야

[0001] 본 발명은 액정 디스플레이를 위한 대안적인 박막 트랜지스터에 관한 것이다.

배경 기술

[0002] 박막 트랜지스터(TFT) 오정렬 및 기생 용량은 액정 디스플레이(LCD)와 같은 전자 디바이스의 성능과 품질을 떨어뜨릴 수 있다. TFT 오정렬, 및 기생 용량에서의 임의의 관련 증가를 정정하기 위한 하나의 공지의 시도가 가타야마 등의 US 특허 번호 5,191,451("'451 특허"라 함)에서 발견된다. 도 1은 '451특허의 "이중 TFT" 배열(100)을 도시한다. 소스 라인(104)이 소스 전극(106)을 통해 TFT에 연결되어 있다. 두 개의 게이트 전극(108)이 게이트 라인(102)에 연결되어 있다. 두 개의 드레인 전극(110)이 픽셀에 연결되며 두 개의 게이트 전극(108)이 활성화될 때 소스 전극으로부터 드레인 전극으로의 전도에 영향을 주도록 형성된다. 게이트와 소스 사이에 추가적인 기생 용량을 생성시킬 수 있는 TFT에 연결되는 두 개의 크로스오버 영역(112)이 존재한다는 것이 주목된다. '451 특허에서 검토된 바와 같이, TFT 배치의 임의의 수직 오정렬은 '451 특허에서 검토된 바와 같이 이러한 이중 TFT 배열에 의해 다소 정정될 수 있다.

[0003] TFT 오정렬의 악영향을 감소시키는 다른 방식은 나카자와의 미국 특허 번호 5,097,297에 나타나 있다("'297 특허"라 함). 도 4는 '297 특허에서 나타나는 방식으로 만들어진 TFT(400)를 도시한다. 도 2에서 보여지는 바와 같이, 게이트 라인(402)은 게이트 신호를 게이트 전극(408)에 전달한다. 소스 라인(404)은 이미지 데이터 소스 전극(406)으로 보낸다. 게이트 전극이 활성화될 때 이미지 데이터는 드레인 전극(410)을 통해 픽셀로 전송된다. 이러한 TFT 실시예는 기생 용량을 감소시키는 것을 돕는 하나의 게이트 크로스오버(412)만을 포함한다는 것이 주목된다.

[0004] 나아가, 종래 LCD는 디스플레이의 픽셀 영역에 트랜지스터를 정렬시키기 위해 동일한 배향을 사용한다. 그러나, 대안적인 픽셀 배열에서, 트랜지스터가 픽셀 영역의 비통상적인 위치에 위치되는 한편, 오정렬 및 기생 용량을 다루는 것이 필요할 수 있다.

[0005] 본 명세서에 병합되고 본 명세서의 일부를 구성하는 첨부 도면은 본 발명의 예시적인 이행에 및 실시예를 도시하며, 설명과 함께 본 발명의 원리를 설명하는데 사용된다.

발명의 상세한 설명

[0006] 이제 이행에 및 실시예에 대해 상세히 언급될 것인데, 그 예는 첨부 도면에 도시되어 있다. 가능한 곳에서, 동일 또는 유사 부분을 언급하기 위해 도면 전체에 걸쳐 동일한 참조 번호가 사용될 것이다.

[0007] 후술하는 이행에 및 실시예는 개시되어 있는 액정 디스플레이를 위한 대안적인 박막 트랜지스터를 개시한다. 대안적인 트랜지스터는 액정 디스플레이(LCD)와 같은 디스플레이 패널, 특히 대안적인 픽셀 배열을 구비하는 디스플레이 패널을 위해 사용될 수 있다. 이들 트랜지스터는 상이한, 비-전통적인 구성을 사용해서 LCD의 패널 상에 배향되는 한편, 오정렬 및 기생 용량을 다룰 수 있다.

실시예

[0017] 도 2 및 도 3은 도 1에 도시된 종래 기술의 이중 FTF 구조에 대한 상이한 대안적인 실시예를 제공한다. 이들 구조는 감소된 소스 대 게이트 용량(reduced source to gate capacitance)을 제공할 수 있는데, 이는 일정 이미지에 크로스토크를 야기할 수 있다. 그러나, 게이트 대 드레인 크로스오버(gate to drain crossover)는 이미지 품질 손상을 줄일 수 있다. 도 3의 실시예의 한 가지 이점은 기생 용량을 감소시킬 수 있는 하나의 크로스오버(332)만이 존재한다는 것이다.

[0018] 위에서 설명된 TFT 재배핑에 의해 유도될 수 있는 기생 용량의 비균일함을 처리하기 위해 다른 세트의 TFT 재설계가 도 5 내지 도 10에 도시되어 있다. TFT가 패널 상에 재배핑됨에 따라, 패널 상의 일부 TFT가 픽셀 영역의 상이한 코너 또는 사분면에 이행되는 것이 가능하다. 예컨대, 일부 TFT는 픽셀 영역의 좌측 상부 코너에 구축될 수 있고, 일부는 픽셀 영역의 우측 상부 코너에 구축될 수 있는 등이다. 이러한 모든 TFT가 동일한 방식으로 구축되는 경우, 소스-드레인 좌측 코너와 우측 코너 이행에 대해 반대로 되는 것이 가능할 것이다. 이러한 구축의 비-균일성은 소정의 TFT 오정렬의 경우에 비균일한 기생 용량을 유도할 수 있다.

[0019] 도 5는 정상 배향(504)으로 만들어진 TFT와 비교해서 역 배향(502)으로 만들어진 TFT의 일 실시예이다. 예시 목적으로, TFT(504)는 일상적인 방식으로 즉, 임의의 유도 기생 용량을 회피하기 위한 임의의 크로스오버 없이 관련 픽셀의 좌측 상부 코너 내에 구축된다. 소스(S) 및 드레인(D) 전극은 좌에서 우 방식으로 배치된다. TFT(502)는 역 배향에서 픽셀 영역의 우측 상부 코너에 구축되어 도시되어 있다-즉, 소스 전극(510)과 드레인 전극(512) 또한 좌에서 우 방식이 되도록 소스 라인(506)으로부터의 크로스오버(514)가 구축된다. 따라서, 수평 방향에서 TFT 오정렬이 존재하는 경우, TFT(502 및 504)는 동일량의 추가 기생 용량을 수신할 것이다-따라서, 패널의 결함을 균일하게 유지시킬 것이다. TFT(502 및 504)가 나란히 도시되며 동일한 열에 연결되나, 이는 기본적으로 예시적인 목적을 위해서라는 점이 인식될 것이다. 두 개의 인접 서브픽셀이 동일한 열/데이터 라인을 공유하는 것이 가능하지 않을 것이며-따라서, TFT(504)와 그 연관 픽셀이 정상 TFT 배향과 역 배향의 TFT(502) 사이의 구별을 나타내기 위해 제공된다.

[0020] 도 6은 TFT(602 및 604)의 다른 실시예를 도시한다. 보여지는 바와 같이, 크로스오버(604)를 통해 추가 기생 용량과의 균형을 맞추기 위해 새로운 크로스오버(606)가 TFT(604)에 추가된다. 도 7은 TFT(702 및 704)의 또 다른 실시예이다. 이 도면에서 보여지는 바와 같이, 각각의 픽셀 요소에 더 작은 영향을 줄 수 있는 게이트 라인 크로스오버(706)를 위해 도 6에 있는 게이트 전극 크로스오버(606)가 제거되었다.

[0021] 도 8 및 도 9는 TFT 구조를 포함해서 제거된 하나의 코너와 매칭시키기 위해 제거된 코너(810 및 910)를 구비하는 픽셀 요소의 실시예이다. 이 도면에서 설계된 바와 같은 이들 픽셀 요소는 정상 픽셀 구조에 비해 기생 용량과의 균형을 맞출 수 있다.

[0022] 도 10은 픽셀 구조의 다른 실시예로서, 이 픽셀 구조는 게이트 라인과 픽셀 요소 사이의 기생 용량으로부터 픽셀 요소를 차폐시키는 것을 도울 수 있는 적어도 하나의 여분 금속 라인(1010)을 채용한다. 추가적으로, 도트 반전 방식(a dot inversion scheme)이 채용되는 경우, 양 라인(1010) 상의 반대 극성이 또한 소스 라인과 픽셀 요소 사이의 임의의 기생 용량과 균형을 맞추는 것을 도울 수 있을 것이다.

[0023] 본 명세서에 개시된 대안적인 TFT 구조와 픽셀 요소와 관련해서, 이러한 구조를 형성하기 위해 표준 LCD 제조 기술이 이행될 수 있다. 더욱이, 열, 게이트, 및 전극 라인은 LCD의 광학 품질을 떨어뜨리지 않도록 투명 전도 산화물과 같은 투명 물질로 형성될 수 있다.

산업상 이용 가능성

[0024] 본 발명은 액정 디스플레이를 위한 대안적인 박막 트랜지스터에 이용 가능하다.

도면의 간단한 설명

[0008] 도 1은 이중 소스/드레인 구조를 구비하는 종래 기술의 TFT를 도시하는 도면.

[0009] 도 2 및 도 3은 이중 소스/드레인 구조를 구비하는 대안적인 TFT를 도시하는 도면.

[0010] 도 4는 이중 게이트 구조를 구비하는 종래 기술의 TFT를 도시하는 도면.

[0011] 도 5는 역 배향 및 정상 배향의 TFT 구조 각각을 도시하는 도면.

[0012] 도 6은 역 배향에서 발견되는 임의의 기생 용량과의 균형을 맞추기 위해 정상 배향에 추가 게이트 크로스오버를 구비하는 정상 배향 및 역 배향의 TFT 구조를 도시하는 도면.

[0013] 도 7은 정상 배향에서 발견되는 임의의 기생 용량과 매칭시키기 위해 역 배향에 한 개 더 적은 게이트 크로스오버를 구비하는 정상 배향 및 역 배향의 TFT 구조를 도시하는 도면.

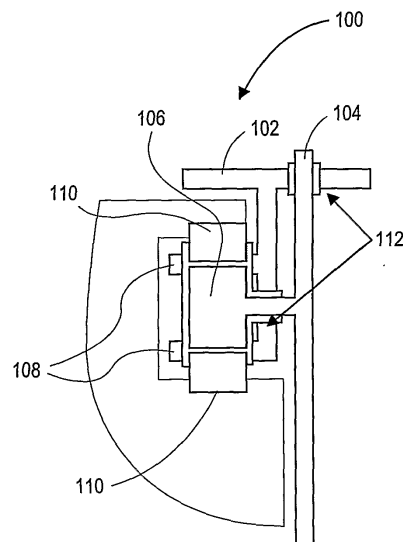
[0014] 도 8은 기생 용량과의 균형을 맞추기 위해 픽셀로부터 제거된 코너를 구비하는 하나의 신규한 픽셀 요소 설계를 도시하는 도면.

[0015] 도 9는 기생 용량과의 균형을 맞추기 위해 제거된 다수의 코너를 구비하는 또 다른 신규한 픽셀 요소 설계를 도시하는 도면.

[0016] 도 10은 기생 효과로부터 픽셀 요소를 차폐시키기 위해 적어도 하나의 여분 라인이 추가되는 또 다른 신규한 픽셀 구조를 도시하는 도면.

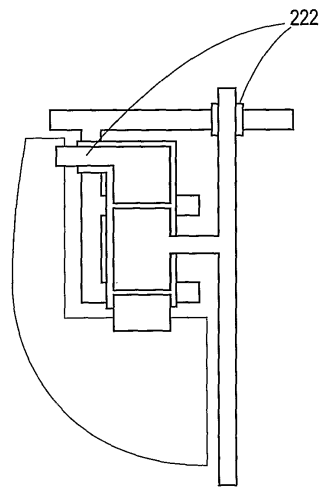
도면

도면1

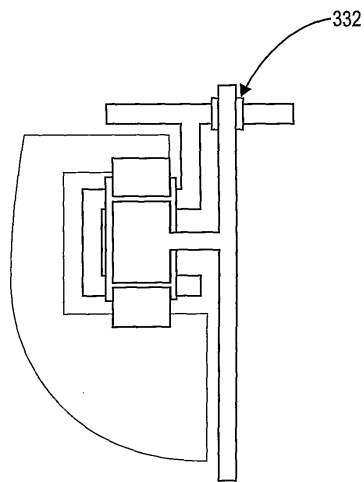


종래 기술

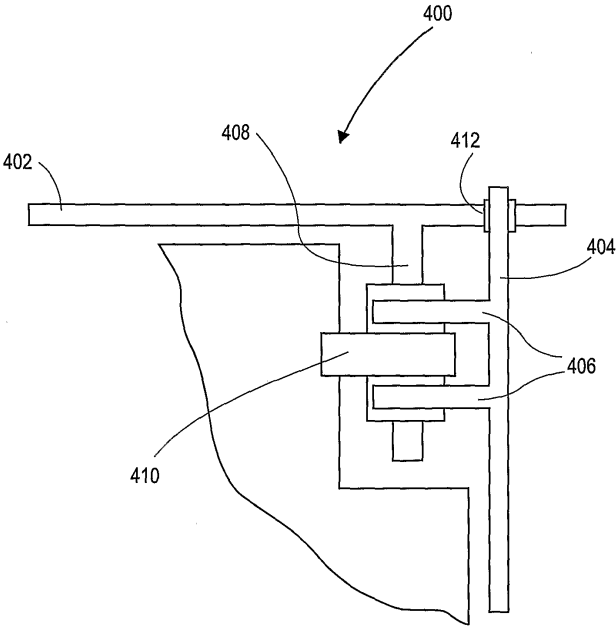
도면2



도면3

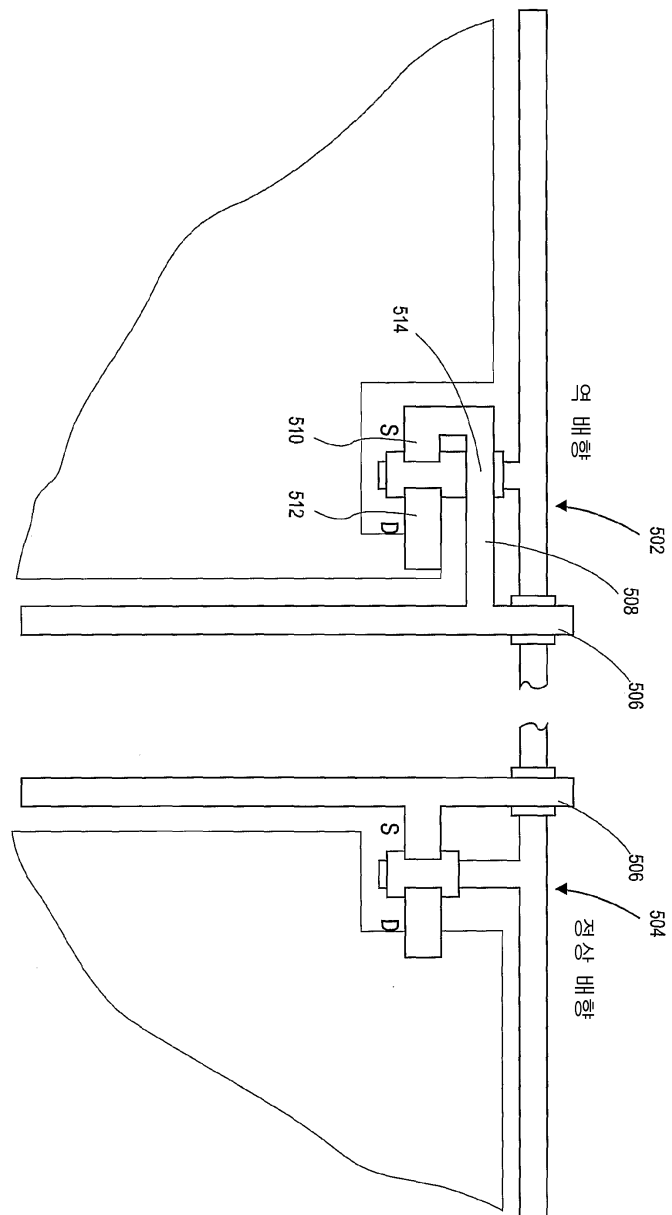


도면4

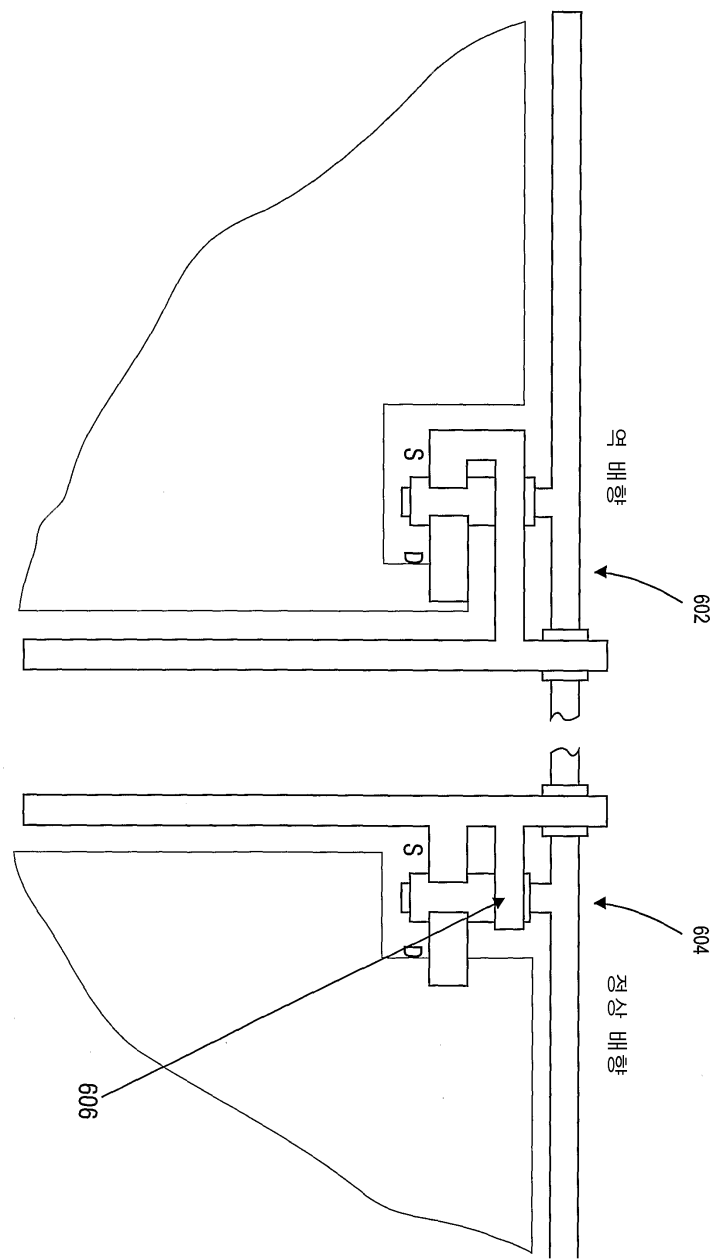


종래 기술

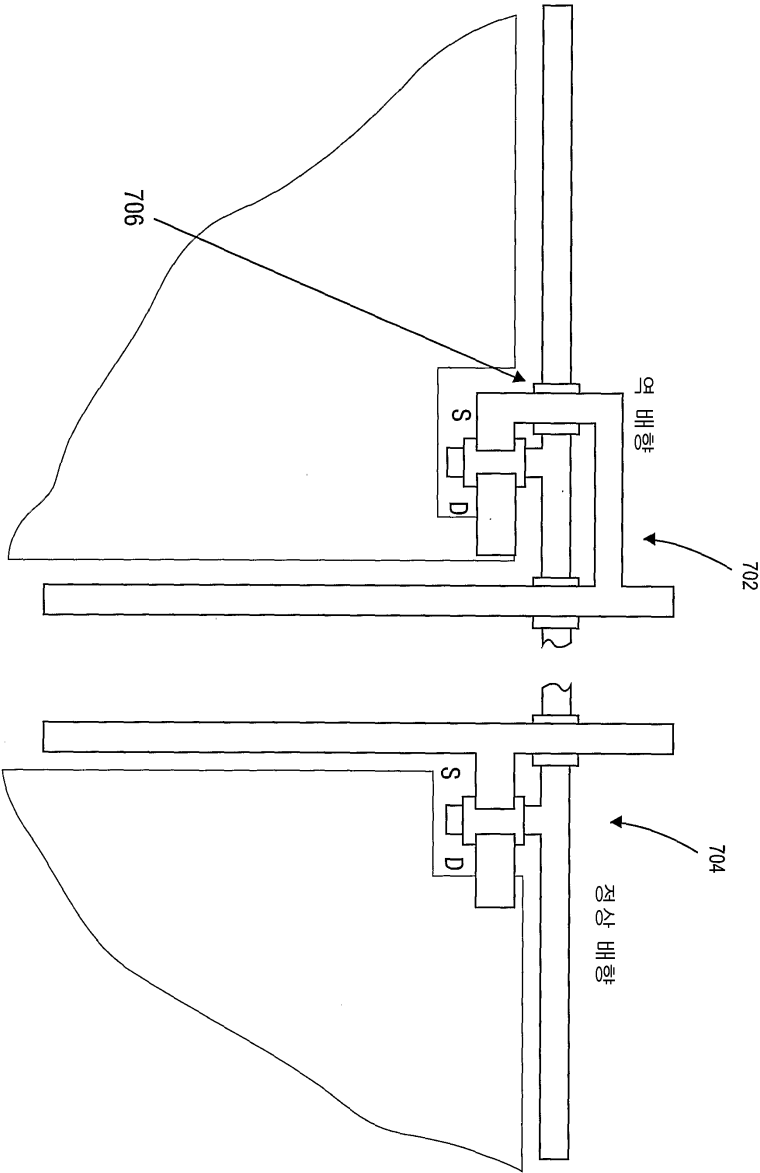
도면5



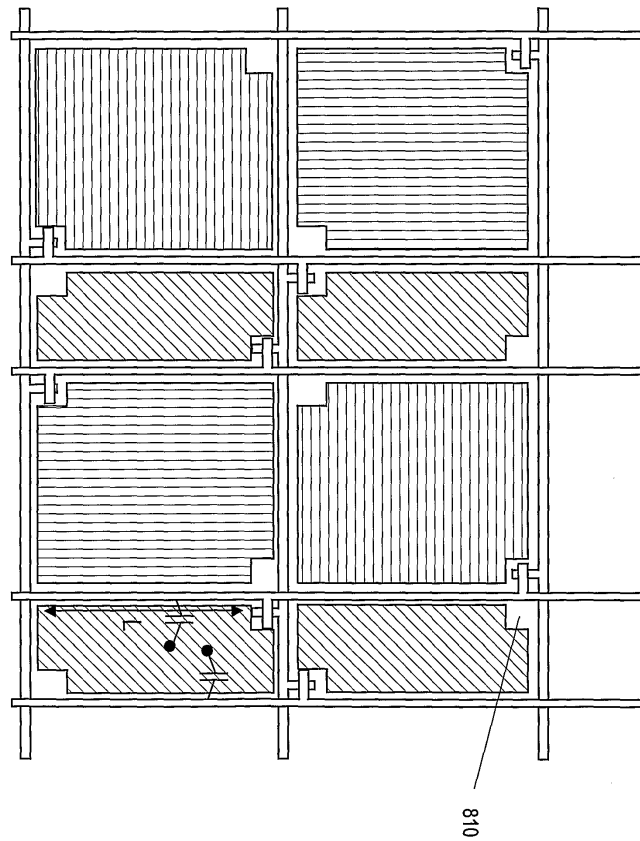
도면6



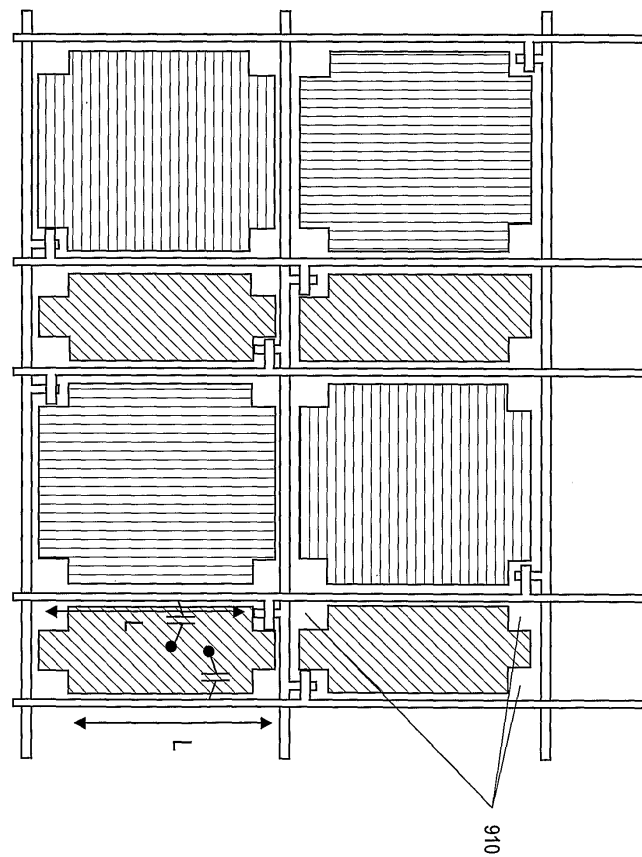
도면7



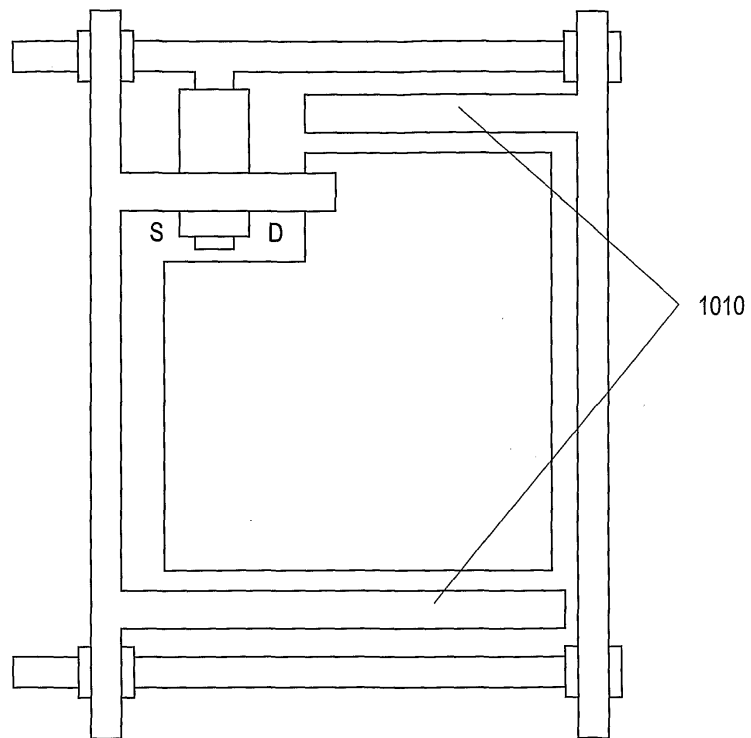
도면8



도면9



도면10



专利名称(译)	用于液晶显示器的替代薄膜晶体管		
公开(公告)号	KR101041089B1	公开(公告)日	2011-06-13
申请号	KR1020057022472	申请日	2004-06-04
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	ELLIOTT CANDICE HELLEN BROWN 엘리엇캔디스헬렌브라운 CREDELLE THOMAS LLOYD 크레들토마스로이드 SCHLEGEL MATTHEW OSBOURNE 셰르겔매튜오스본		
发明人	엘리엇,캔디스,헬렌,브라운 크레들,토마스,로이드 셰르겔,매튜,오스본		
IPC分类号	G02F1/136 G02F1/1368 H01L27/12 H01L29/786		
CPC分类号	H01L27/124 G02F1/1368 H01L27/1214 H01L29/78645		
代理人(译)	英西湖公园		
优先权	10/456794 2003-06-06 US		
其他公开文献	KR1020060015736A		
外部链接	Espacenet		

摘要(译)

公开了一种用于液晶显示器的替代薄膜晶体管。替代晶体管可以用于显示面板，例如液晶显示器（LCD），尤其是具有替代像素阵列的显示面板。这些晶体管可以使用不同的非传统配置在LCD面板上定向，同时处理未对准和寄生电容。

