



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/136 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년02월15일 10-0682691 2007년02월07일
---	-------------------------------------	--

(21) 출원번호	10-2002-0009728	(65) 공개번호	10-2002-0070810
(22) 출원일자	2002년02월23일	(43) 공개일자	2002년09월11일
심사청구일자	2004년12월27일		

(30) 우선권주장 JP-P-2001-00054854 2001년02월28일 일본(JP)

(73) 특허권자 가부시끼가이샤 어드밴스트 디스플레이
일본국 쿠마모토켄 키쿠치군 니시고우시마치 미요시 997번지

(72) 발명자 코니시유키노부
일본국쿠마모토켄키쿠치군니시고우시마치미요시997번지가부시끼가이샤어드밴스트디스플레이내

나카야마아키오
일본국쿠마모토켄키쿠치군니시고우시마치미요시997번지가부시끼가이샤어드밴스트디스플레이내

코바야시카즈히로
일본국쿠마모토켄키쿠치군니시고우시마치미요시997번지가부시끼가이샤어드밴스트디스플레이내

(74) 대리인 신영두

심사관 : 박남현

전체 청구항 수 : 총 3 항

(54) 액정표시장치

(57) 요약

액티브 매트릭스(active matrix)형 액정표시장치의 박막 트랜지스터(TFT) 어레이기판에 있어서, 단자간 쇼트(short)를 저감시키고 생산성 및 신뢰성이 높은 액정표시장치를 얻는다.

TFT 어레이기판 위에 설치되는 신호입력용의 단자부에 있어서, 단자 전극의 아래층에 위치하는 금속 배선을 표시부 측과 기판 단부 측으로 각각 별개의 금속층으로 형성하고, 기판 단부 측의 금속층을 표시부 측의 금속층보다 아래층에 형성함으로써 기판의 절단 및 사면 절단 때에 금속층이 벗겨지는 것을 방지하고 단자간 쇼트를 저감한다.

대표도

도 1a

특허청구의 범위

청구항 1.

화소 전극과 이 화소 전극에 접속된 스위칭 소자와 이 스위칭 소자에 접속된 게이트 배선 및 소스 배선을 갖춘 표시부가 표면에 형성되고, 상기 표시부의 외측에 상기 게이트 배선 및 상기 소스 배선에 외부 신호원으로부터의 전기 배선을 접속하기 위한 단자부가 형성되어 이루어진 TFT 어레이기판, 상기 TFT 어레이기판에 대향하여 배치된 대향 기판과 상기 양 기판 사이에 협지된 액정재료로 이루어진 액정표시장치에 있어서,

상기 단자부가 상기 외부신호원으로부터의 전기 배선이 접속되는 단자 전극과 이 단자 전극의 아래층에 배치된 콘택트 홀을 통하여 상기 단자 전극에 접속되는 제 1의 금속 배선 및 제 2의 금속 배선을 구비하고;

상기 제 1의 금속 배선과 상기 제 2의 금속 배선이, 사이에 절연막을 통하여 형성되어 있으며;

상기 제 1의 금속 배선이 상기 제 2의 금속 배선보다 상층에 있어, 상기 제 2의 금속 배선보다 표시부 측에 있는 것을 특징으로 하는 액정표시장치.

청구항 2.

제1항에 있어서, 상기 제 1의 금속 배선이 상기 소스 배선과 같은 층에 형성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 3.

제1항에 있어서, 상기 제 1의 금속 배선이 상기 게이트 배선과 같은 층에 형성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 4.

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 박막 트랜지스터(이하 TFT라고 칭한다)를 스위칭 소자로서 탑재한 액티브 매트릭스(active matrix)형의 액정표시장치에 대한 것이다.

액정표시장치는 한 쌍의 기판 사이에 액정표시재료를 끼워서 지지하고 있다. 도 5에 한쪽 기판에 있어서의 그 확대 평면도를 나타낸다. 도 5에 나타낸 바와 같이 한쪽 기판에는 종횡의 매트릭스상으로 화소전극(15)이 설치되고, 각 화소전극으로의 전압 인가(印加)를 제어하기 위해서 스위칭(switching)소자가 설치되어 있다. 스위칭 소자로서는 박막 트랜지스터(이하 TFT라고 칭한다)(17)가 이용되는 것이 많다. 그 때문에 이 기판은 TFT 어레이기판이라고 불려진다.

TFT 어레이기판에는 각 TFT(17)에 전기 신호를 공급하기 위하여 게이트 배선(2) 및 소스 배선(9)이 설치되어 있다.

게이트 배선(2)으로의 신호 인가(印加)에 의하여 TFT(17)를 온(on)으로 하면 소스 배선(9)의 전위가 화소전극(15)에 기입된다. 또 한쪽 기관의 표면에는 대향 전극이 설치되어 있고, 대향전극-화소전극 사이의 전위차에 의해 사이에 끼워진 액정이 구동되어 소망의 표시를 얻을 수 있다.

도 4에 TFT 어레이기관의 전체 평면을 나타낸다. 상기 화소 전극(15), TFT(17) 등은 표시부(22)에 설치되고 그 주변에 단자부(20)(21)가 설치되어 있다. 단자부(20)(21)에서는 각각 소스 단자(18) 및 게이트 단자(19)가 설치되어 있고, 소스 단자(18)는 표시부(22)의 소스 배선(9)에, 게이트 단자(19)는 표시부(22)의 게이트 배선(2)에 각각 접속되어 있다.

제조공정 중에 정전기 등에 따라서 TFT(17)가 파괴되는 일이 없도록 소스 단자(18) 및 게이트 단자(19)는 쇼트 링(short ring)(23)에 접속되어 있다.

제조공정의 최종단계에서 TFT 어레이기관의 단부를 잘라 놓고 쇼트 링(23)을 제거하고, 그 후 각 소스 단자(18), 게이트 단자(19)에 신호원으로부터의 배선을 접속하면 액정표시장치는 완성된다.

다음에 TFT 어레이기관의 제조공정을 도 6, 7, 8을 사용하여 설명한다.

도 6, 7에는 TFT 기관상의 TFT 및 소스 단자에 관해서 그 단면이 나타나 있다.

도에 있어서, 1은 유리 기관 등의 투명한 절연성 기관, 혹은 단순한 절연성 기관이다. 2는 기관(1)위에 형성된 게이트 배선이고 알루미늄(Al) 또는 크롬(Cr) 등의 금속층으로 형성된다.

4는 게이트 배선(2) 위에 기관(1)의 전면에 걸쳐서 형성된 게이트 절연막이며 실리콘(silicon) 질화막으로 이루어진다.

5는 게이트 절연막(4)을 통하여 게이트 배선(2) 위쪽에 형성된 반도체 층이며 아모르포스(amorphous) 실리콘막 등으로 이루어진다. 6은 반도체 층(5)위에 형성된 콘택트층이며, n+ 형 아모르포스 실리콘막으로 이루어진다.

7 및 8은 각각 콘택트층(6)위에 형성된 소스 전극, 드레인 전극이며, 9는 소스 전극(7) 및 드레인 전극(8)의 형성과 동시에 형성된 소스 배선, 10은 콘택트층(6)을 선택적으로 에칭(etching)함으로써 형성된 채널(channel)부이다. 11은 TFT보호를 위한 패시베이션(passivation)막이고, 실리콘 질화막으로 이루어진다.

12는 화소전극으로의 접속을 위해 드레인 전극(8)위의 패시베이션막(11)에 형성된 콘택트 홀, 13은 단자전극으로의 접속을 위해 소스 배선(9)위의 패시베이션막(11)에 형성된 콘택트 홀이다.

또, 15는 콘택트 홀(12)을 통하여 드레인 전극(8)으로 접속된 화소전극이며, ITO막으로 이루어진다. 16은 화소전극(15)과 동시에 형성되고, 콘택트 홀(13)을 통하여 소스 배선(9)에 접속된 단자 전극이다.

도 8은, 도 7(c)에서의 소스 단자(18)를 확대하여 나타낸 도면이며, 도 8(a)은 소스 단자(18)의 평면을, 도 8(b)는 도 8(a)의 화살표 B-B에서 본 단면을 각각 나타내고 있다.

TFT 어레이기관의 제조에 대하여는 우선 절연성 기관(1)의 표면에 예를 들면 크롬(Cr)이나 알루미늄(Al)등의 금속막을 스퍼터(sputter)법에 의해 성막(成膜)하고, 사진 제판법에 의해 형성된 레지스트(resist)를 이용하여 패터닝(patterning)하고 게이트 배선(2)을 형성한다. (도 6(a)참조)

다음으로 플라즈마(plasma) CVD법에 의해 게이트 절연막(4)으로 되는 실리콘 질화막을 전면에 형성하고(도 6(b)), 또 아모르포스 실리콘막 및 불순물이 도포된 순차 성막한 뒤, 사진 제판법에 의해 형성된 레지스트를 이용하여 아모르포스 실리콘막 및 n+ 형 아모르포스 실리콘막을 동시에 패터닝하고 게이트 배선(2)의 상부에 TFT 반도체층(5) 및 콘택트 층(6)을 형성한다. (도 6(c)참조)

그 다음, 도 7(a)에 나타낸 바와 같이 소스 전극, 드레인 전극 및 소스 배선을 형성하기 위하여 우선 스퍼터법 등에 의해 크롬(Cr)막 또는 알루미늄(Al)막 등의 금속막을 성막하고, 사진 제판법에 의해 형성된 레지스트를 이용하여 패터닝하고, 소스 전극(7), 드레인 전극(8) 및 소스 배선(9)을 형성한다. 뒤이어, 드라이 에칭(dry etching)법에 의해 소스 전극(7) 및 드레인 전극(8)에 덮여지지 않은 부분의 n+ 아모르포스 실리콘막(콘택트 층(6))을 에칭하여 채널부(10)를 형성한다.

다음에, 도 7(b)에 나타낸 바와 같이 TFT를 보호하기 위하여 플라즈마 CVD법 등에 의해 실리콘질화막을 성막하고 패시베이션막(11)을 형성한다. 그 후 사진 제판법에 의해 형성된 레지스트를 이용하여 드라이 에칭법에 의해 화소전극과 드레인 전극(8)과를 접속하기 위한 콘택트 홀(12) 및 소스 배선(9)과 단자 전극을 접속하기 위한 콘택트 홀(13)을 형성한다.

최후로 도 7(c)에 나타낸 바와 같이 투명도전막으로서 ITO막을 스퍼터법 등에 의해 성막한 후 사진 제판법에 의해 형성된 레지스트를 이용하여 패터닝하고, 화소전극(15)을 형성함과 동시에 외부 신호원과의 접속을 위한 단자 전극(16)을 형성한다.

이와 같이 하여 제조된 TFT 어레이기판에 관해서 소스 단자(18)의 확대도를 도 8에 나타낸다. 이미 설명한 바와 같이 소스 단자(18)의 최상층에는 외부신호원과의 접속을 위한 단자 전극(16)이 형성되고 단자 전극(16)은 콘택트 홀(13)을 통하여 소스 배선(9)에 접속되어 있다. 그리고 소스 배선(9)의 한쪽 끝은 TFT(17)의 소스 전극(7)에 접속되어 있다. 한편, 소스 배선(9)의 또 다른 쪽 끝은 쇼트 링(23)에 이미 접속되어 있다.

제조공정의 최종단계에서, TFT 어레이기판의 단부(端部)를 절단위치(24)에서 자르고 또 사선으로의 사면(斜面) 절단(beveling)을 행하여 쇼트 링(23)을 제거한다. 이때 사면 절단 공정에 의해 기판 단면에 있어서 소스 배선(9)이 박리하고, 박리된 금속막 편끼리 접촉해서 서로 이웃하는 단자 끼리를 단락시켜 인접 배선사이의 쇼트(short)를 발생시킨다고 하는 문제가 있었다. 또 특별히 절단위치를 단자 전극에 아주 가깝게 한 경우나 제조장치의 정도(精度)등에 의하여 절단위치 단자 전극 가까이 까지 이르게되는 경우 등에 있어서는 박리된 금속막 편이 이웃 단자의 단자 전극에 접촉해서 역시 인접 배선 사이의 쇼트를 발생시킨다고 하는 문제가 있었다.

이상과 같이 종래의 TFT 어레이기판에서는, 도 8에 나타낸 바와 같이, 소스 단자(18)에 있어서 단자 전극(16)의 하층의 금속층은 표시부 측, 쇼트 링 측과 모두 같은 층의 금속층, 즉 소스 배선(9)에 형성되어 있다.

이 구조에 있어서는 기판의 절단 및 사면 절단 공정 때에 절단위치(24)에서 사면 절단을 행하는 경우 단자부 단면의 소스 배선(9)이 사면 절단공정에 의해 벗겨지고, 벗겨져 떨어진 금속막 조각끼리가 접촉하여 서로 이웃하는 단자 끼리를 단락시켜 인접 배선 사이의 쇼트를 발생시키는 등의 문제가 있었다. 또 벗겨진 금속막 조각이 단자 전극에 접촉하고 서로 이웃하는 단자 끼리를 단락시켜 인접 배선 사이의 쇼트를 발생시키는 등의 문제가 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술과 같은 문제점을 해소하기 위한 것으로, 기판의 절단 및 사면 절단공정에 의해 금속층의 벗겨짐을 방지하고 신뢰성이 높은 액정표시 장치를 얻는 것을 목적으로 한다.

발명의 구성

본 발명에 따른 액정표시장치는 한 쌍의 기판 사이에 액정재료가 끼워져 있고 한쪽의 기판에 화소전극과 이 화소전극에 전기적으로 접속된 스위칭 소자와 이 스위칭 소자에 전기적으로 접속된 게이트 배선 및 소스 배선 등을 갖춘 표시부가 형성되고, 이 표시부의 외측에 상기 게이트 배선 및 상기 소스 배선에 외부신호원으로부터의 전기적 배선을 접속하기 위한 단자부가 형성되어 있는 액정표시장치에 있어서,

상기 단자부가 기판의 최상층에 위치하고 상기 외부신호원으로부터의 전기배선이 접속되는 단자 전극과 이 단자 전극의 아래층에 배치된 콘택트 홀을 통하여 상기 단자 전극에 접속되는 제 1의 금속 배선 및 제 2의 금속 배선을 갖추고,

상기 제 1의 금속 배선과 상기 제 2의 금속 배선이, 사이에 절연막을 통하여 형성되어 있는 것을 특징으로 한다.

또 제 1 및 제 2의 금속 배선의 한쪽이 상기 게이트 배선과 같은 층에 형성되고,

다른 쪽이 상기 소스 배선과 같은 층에 형성되어 있는 것을 특징으로 한다.

또한, 제 1 및 제 2의 금속 배선의 한쪽이 소스 배선에 접속되어 있고, 다른 쪽의 금속 배선은 이 금속 배선보다도 아래층 측에 형성되어 있는 것을 특징으로 한다.

또는, 제 1 및 제 2의 금속 배선의 한 쪽이 게이트 배선에 접속되어 있고, 다른 쪽의 금속배선은 이 금속 배선보다도 아래층 측에 형성되어 있는 것을 특징으로 한다.

이하, 본 발명의 일 실시의 형태에 관해서, 도면에 기초하여 설명한다.

(실시례 1)

도 1, 2는 본 발명의 실시례 1에 의한 액정표시장치의 TFT 어레이기판에 관하여 TFT 및 소스 단자의 제조공정을 보여주는 단면도이다.

도에 있어서, 1은 유리기판 등의 투명한 절연성 기판 혹은 단순한 절연성 기판이다. 2, 3은 각각 기판(1) 위에 형성된 게이트 배선, 쇼트 링으로의 취출 배선이고, 알루미늄(Al) 또는 크롬(Cr)등의 금속층으로 형성된다.

4는 게이트 배선(2) 및 취출 배선(3) 위에 기판(1)의 전면에 미치게 형성된 게이트 절연막이고, 실리콘질화막으로 이루어진다.

5는 게이트 절연막(4)을 통하여 게이트 배선(2)의 상방에 형성된 반도체층이고, 아모르포스 실리콘막 등으로 이루어진다. 6은 반도체 층(5) 상에 형성된 콘택트층이고, n+ 형 아모르포스 실리콘막으로 이루어진다. 7 및 8은 각각 콘택트층(6) 위에 형성된 소스 전극, 드레인 전극이고, 9는 소스 전극(7) 및 드레인 전극(8)의 형성과 동시에 형성된 소스 배선, 10은 콘택트층(6)을 선택적으로 에칭함으로써 형성된 채널부이다. 11은 TFT보호를 위한 패시베이션막이고, 실리콘질화막으로 이루어진다.

12는 화소 전극으로의 접속을 위해서 드레인 전극(8) 상의 패시베이션막(11)에 형성된 콘택트 홀, 13은 소스 배선(9)과 단자 전극을 접속하기 위한 소스 배선(9)상의 패시베이션막(11)에 형성된 콘택터 홀, 14는 단자 전극과 취출 배선(3)을 접속하기 위해서 취출 배선(3)상의 게이트 절연막(4) 및 패시베이션막(11)에 형성된 콘택트 홀이다.

게다가, 15는 콘택트 홀(12)을 통하여 드레인 전극(8)에 접속된 화소전극이고, ITO막으로 이루어진다. 16은 화소 전극(15)과 동시에 형성된 콘택트 홀(13)(14)을 통하여 소스 배선(9), 취출 배선(3)에 접속된 단자 전극이다.

도 3은, 도 2(c)에 있어서의 소스 단자(18)를 확대하여 나타내는 도면이고, 도 3(a)가 소스 단자(18)의 평면을, 도 3(b)는 도 3(a)의 화살표에서 A-A에서 본 단면을 각각 나타내고 있다.

다음으로 본 실시례 1에 의한 액정표시장치의 TFT 어레이기판의 제조방법을 설명한다. 먼저, 도 1(a)에 나타내는 바와 같이, 절연성 기판(1)의 표면에 예를 들면, 크롬(Cr)이나 알루미늄(Al)등의 금속막을 스퍼터법에 의해 성막한 뒤, 사진 제판법에 의해 형성된 레지스트를 이용하여 패터닝하고, 게이트 배선(2) 및 쇼트 링으로의 취출 배선(3)을 형성한다.

크롬(Cr)막, 알루미늄(Al)막 등의 금속막의 패터닝에서는 웨트 에칭(wet etching)법을 이용하나, 미리 에칭액의 조성을 검토하고, 크롬(Cr)막이나 알루미늄(Al)막 등의 금속막의 에칭 단면을 테이퍼(taper) 형상으로 형성함으로써 이 금속층의 상층에 형성하는 막의 피막성을 향상시킬 수 있다.

다음으로, 플라즈마 CVD법에 의해 게이트 절연막(4)으로 된 실리콘질화막을 전면에 형성하고(도 1(b)), 또 아모르포스 실리콘막과 불순물이 도핑된 n+ 형 아모르포스 실리콘막을 순차 성막한 뒤, 사진 제판법에 의해 형성된 레지스트를 이용하여 아모르포스 실리콘막 및 n+ 형 아모르포스 실리콘막을 동시에 패터닝하고, 게이트 배선(2)의 상방에 TFT의 반도체 층(5) 및 콘택트층(6)을 형성한다.(도 1 (c))

또, 도 2(a)에 나타낸 바와 같이, 소스 전극, 드레인 전극 및 소스 배선을 형성하기 위하여, 우선 스퍼터법에 의해 크롬(Cr)막 혹은 알루미늄(Al)막 등의 금속막을 성막하고, 사진 제판법에 의해 형성된 레지스트를 이용하여 패터닝하고, 소스 전극(7), 드레인 전극(8) 및 소스 배선(9)을 형성한다.

계속하여, 드라이 에칭법에 의해 소스 전극(7) 및 드레인 전극(8)에 덮여서 가리워 지지 않은 부분의 n+ 형 아모르포스 실리콘막(콘택트 층(6))을 에칭하여 채널부(10)를 형성한다.

다음에, 도 2(b)에 나타내는 바와 같이 TFT를 보호하기 위하여 플라즈마 CVD법 등에 의해 실리콘 질화막을 성막하고, 패시베이션막(11)을 형성한다.

그 후 사진 제판법에 의해 형성된 레지스트를 이용하여 드라이 에칭법에 의해 화소 전극과 드레인 전극(8)을 접속하기 위한 콘택트 홀(12)과, 소스 배선(9)과 단자 전극을 접속하기 위한 콘택트 홀(13) 및 단자 전극과 취출 배선(3)을 접속하기 위한 콘택트 홀(14)을 형성한다.

최후로 도 2(c)에 나타내는 바와 같이 투명도전막으로서 ITO막을 스퍼터법 등에 의해 성막한 후, 사진 제판법에 의해 형성된 레지스트를 이용하여 패터닝하고, 화소 전극(15)을 형성함과 동시에 단자 전극(16)을 형성한다.

따라서, 소스 배선(9)은 콘택트 홀(13), 단자 전극(16) 및 콘택트 홀(14)을 통하여 쇼트 링으로의 취출 배선(3)에 전기적으로 접속되어 있다.

이상의 공정에 의해 형성된 TFT 어레이기판의 표면에 또 배향막을 형성하고 투명 절연성 기판 위에 차광막, 대향(對向) 전극, 배향막 등을 형성하여 이루어진 대향 기판을 대향 배치하고, 양 기판 사이에 액정 재료를 주입하여 밀봉(seal)재로 봉입하고, 그 뒤 TFT 어레이기판의 단부를 절단하여 쇼트 링(23)을 제거하고, 절단면의 사면 절단 공정을 행함으로써 액정표시 장치를 구성한다.

실시례 1에 의한 액정표시장치의 TFT 어레이기판에 있어서는, 도 3a 및 3b의 소스 단자(18)의 확대도에 나타낸 바와 같이 단자부 형성 때에 단자 전극(16)의 하층의 금속배선을 표시부 측과 기판 단부 측에 각각 다른 금속층으로 형성한다. 결국 표시부 측의 금속 배선인 소스 배선(9)은 소스 전극(7)이나 드레인 전극(8)과 동일한 금속층으로 형성되고, 기판 단부 측, 즉 쇼트 링측의 금속 배선인 취출 배선(3)은 게이트 배선(2)과 동일한 금속층으로 형성된다.

본 발명에 따르면, 도 3에 나타낸 절단위치(24)에 있어서 금속 배선, 즉 취출 배선(3)이 게이트 절연막(4)보다도 아래층에 있다. 그러므로, 기판 절단시의 사면 절단공정에 의해 취출 배선(3)이 깎여지게 되는 일이 없게 된다.

혹은 깎여지는 양이 적게 되고, 금속막편의 발생을 최소한으로 억제하는 것이 가능하다. 또, 상층에 위치하는 게이트 절연막(4)이 누르는 역할을 다하기 위해서도 취출 배선(3)의 박리를 억제하여 금속막편의 발생을 막고 단자 간 단락의 발생을 방지할 수가 있다.

더욱이, 상기 본 실시례에서는 소스 전극 및 소스 배선이 게이트 배선보다도 위층에 형성되고, 소스 단자에서의 단락이 문제가 되는 TFT 어레이기판을 예로서 설명을 하였다. 그러나, 게이트 배선이 소스 배선보다도 위층에 형성되어 있는 TFT 어레이기판으로 되어 있어도 본 발명에 의해 절단, 사면 절단 위치에서의 게이트 배선 단부의 박리를 억제하여 단자 사이의 단락을 방지하는 것이 가능하다.

발명의 효과

이상과 같이, 본 발명에 의하면, 단자부에서 단자 전극의 아래층에 위치하는 금속 배선에 있어서, 기판 단부 측의 금속 배선을 표시부 측의 금속 배선과 별개 층에 형성하고 있기 때문에 기판의 절단 및 사면 절단 공정시에 금속 배선이 벗겨져 금속막편을 생기게 하는 것을 막고, 금속막편에 의한 단자간 쇼트를 방지하고, 한층 신뢰성이 높은 액정표시장치를 얻을 수 있다.

또한, 절단 및 사면 절단을 행하는 위치를 단자 전극에 아주 가까운 곳으로 하여도 단자간 쇼트를 생기게 할 수가 없기 때문에 고 정도의 절단, 사면 절단 설비가 불필요하게 되고 액정표시장치의 소형화가 가능하게 되며 절단될 부분을 작게 하여 재료의 낭비를 적게 할 수 있는 등의 이점이 있다.

도면의 간단한 설명

도 1a, 1b, 1c는 본 발명의 실시례 1에 의한 액정표시장치의 TFT 어레이(array)기판의 제조 공정을 보여주는 단면도,

도 2a, 2b, 2c는 상기 도 1에 이어지는 공정을 나타내는 것으로, 본 발명의 실시례 1에 의한 액정표시장치의 TFT 어레이 기판의 제조 공정을 보여주는 단면도,

도 3은 본 발명의 실시례 1에 의한 액정표시장치의 TFT 어레이기판에 관하여 단자부를 확대하여 나타내는 것으로, 도 3a는 평면도 및 도 3b는 단면도,

도 4는 액정표시장치의 TFT 어레이기판의 전체를 나타내는 개략 평면도,

도 5는 액정표시장치의 TFT 기판, 특히 표시부의 화소(畫素)를 나타내는 평면도,

도 6a, 6b, 6c는 종래의 기술에 의한 액정표시장치의 TFT 어레이기판의 제조 공정을 나타내는 단면도,

도 7a, 7b, 7c는 종래의 기술에 의한 액정표시장치의 TFT 어레이기판의 제조 공정을 나타내는 단면도,

도 8은 종래의 기술에 의한 액정표시장치의 TFT 어레이기판에 관하여 단자부를 확대하여 나타내는 것으로, 도 8a는 평면도이고 도 8b는 단면도.

※도면의 주요 부분에 대한 부호의 설명

1 : 기판 2 : 게이트(gate) 배선

4 : 게이트 절연막(絶緣膜) 5 : 반도체층

7 : 소스(source) 전극 8 : 드레인 전극

9 : 소스 배선 11 : 패시베이션막

12, 13, 14 : 콘택트 홀(contact hole)

15 : 화소 전극 16 : 단자 전극

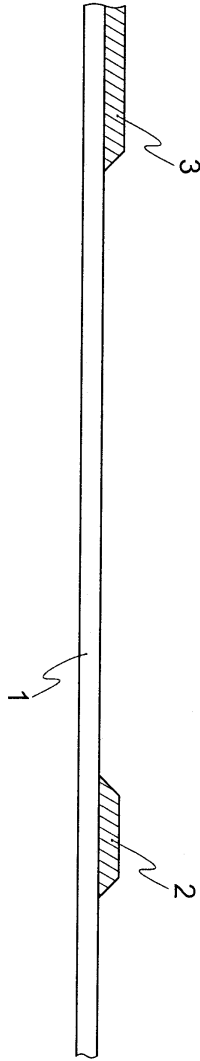
17 : TFT(박막 트랜지스터) 18 : 소스 단자

20, 21 : 단자부 22 : 표시부

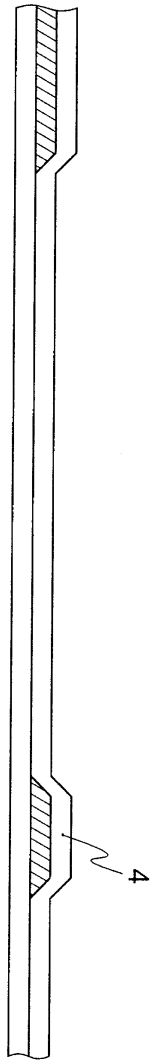
24 : 절단위치

도면

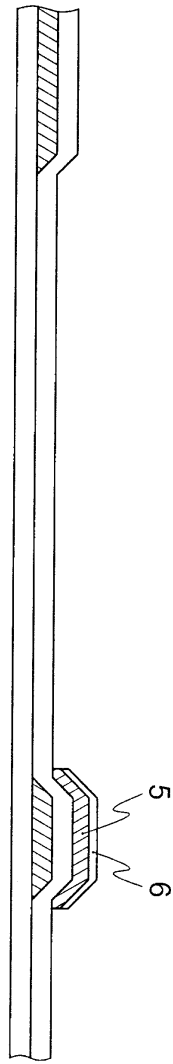
도면1a



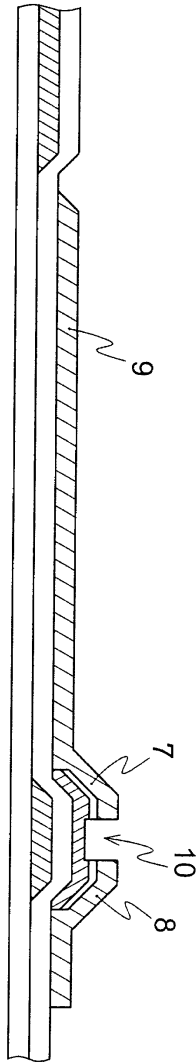
도면1b



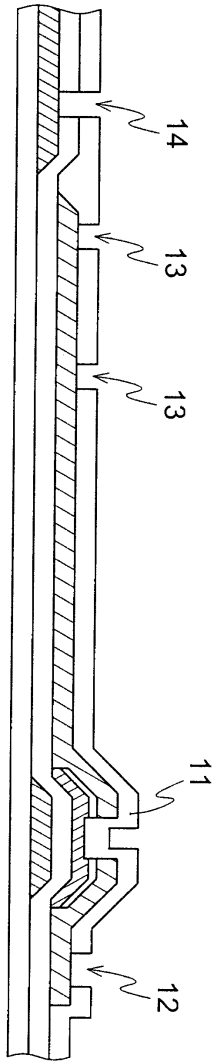
도면1c



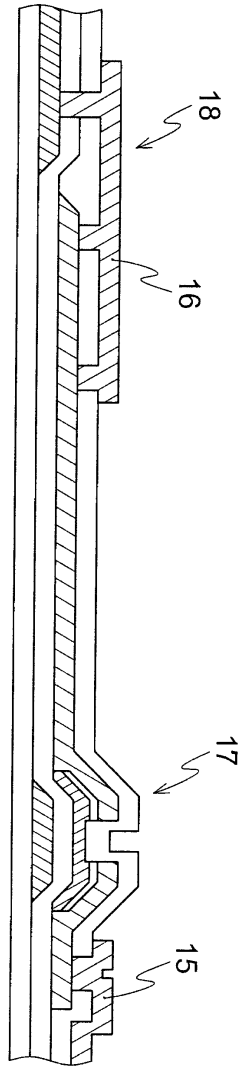
도면2a



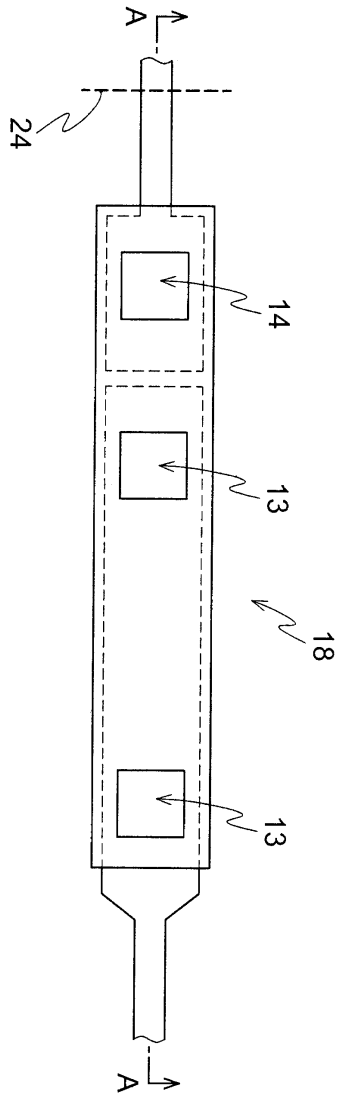
도면2b



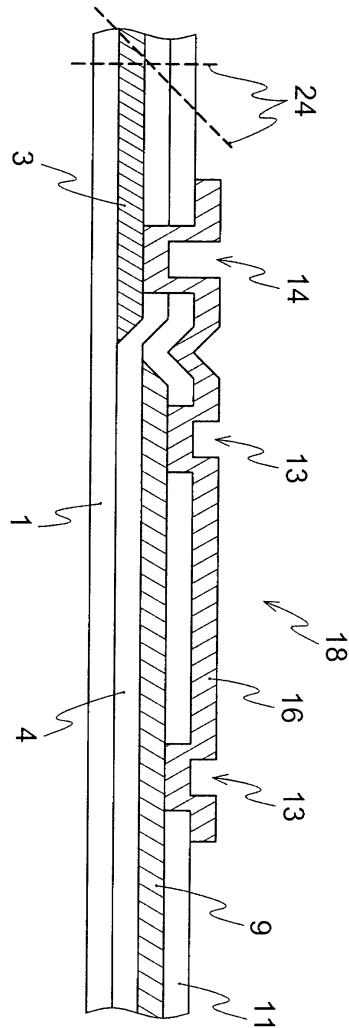
도면2c



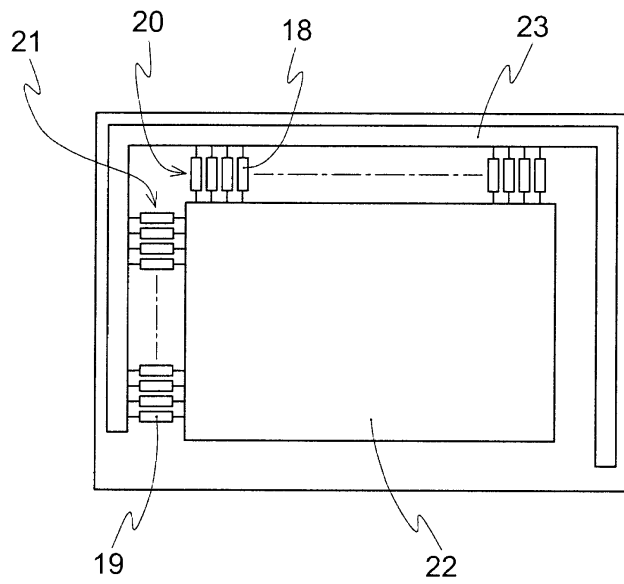
도면3a



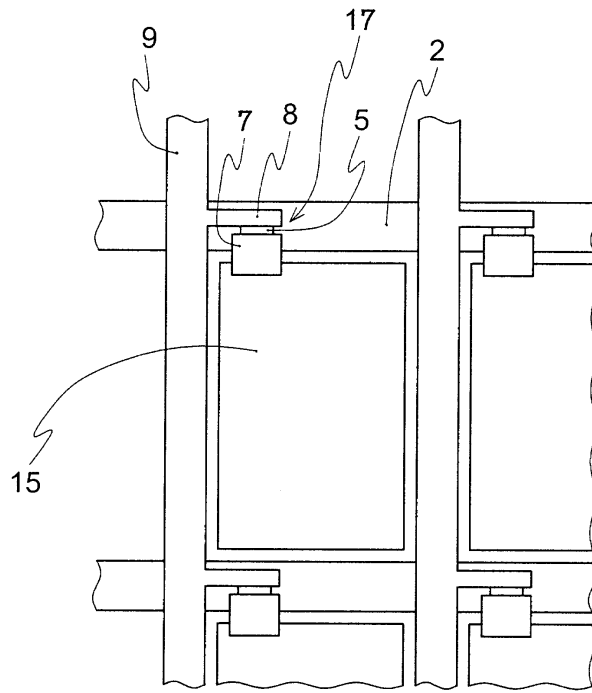
도면3b



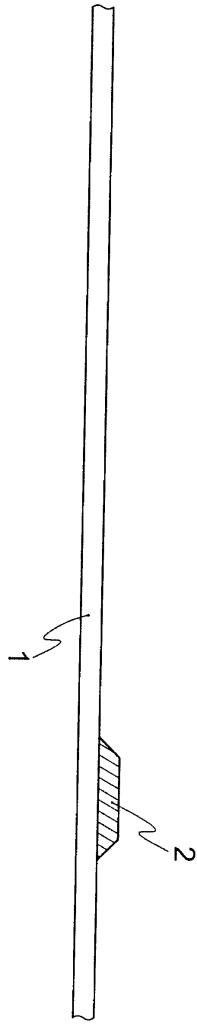
도면4



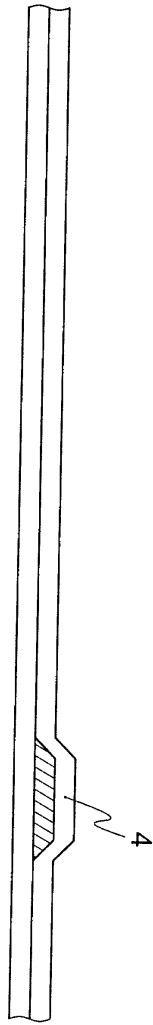
도면5



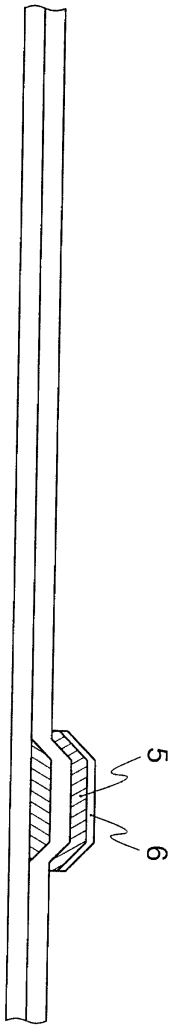
도면6a



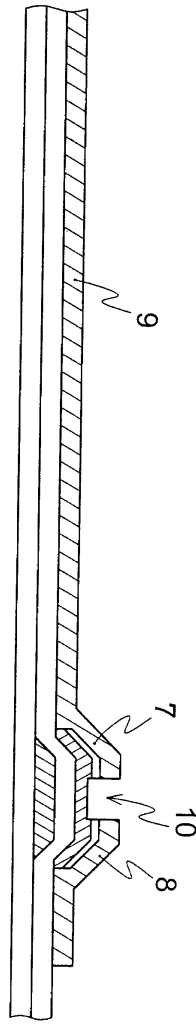
도면6b



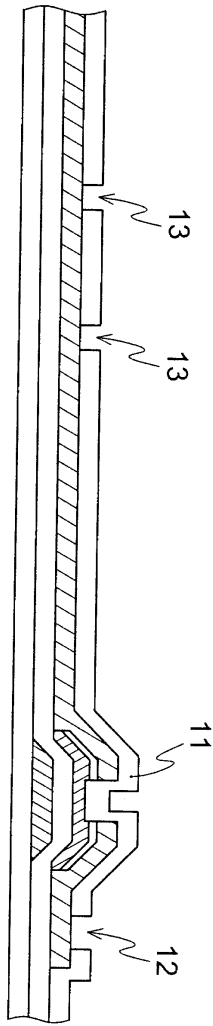
도면6c



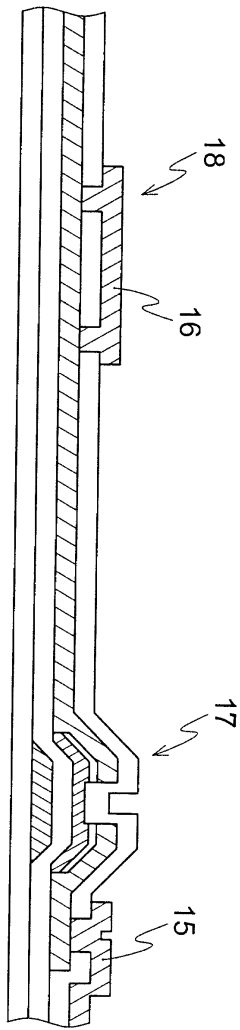
도면7a



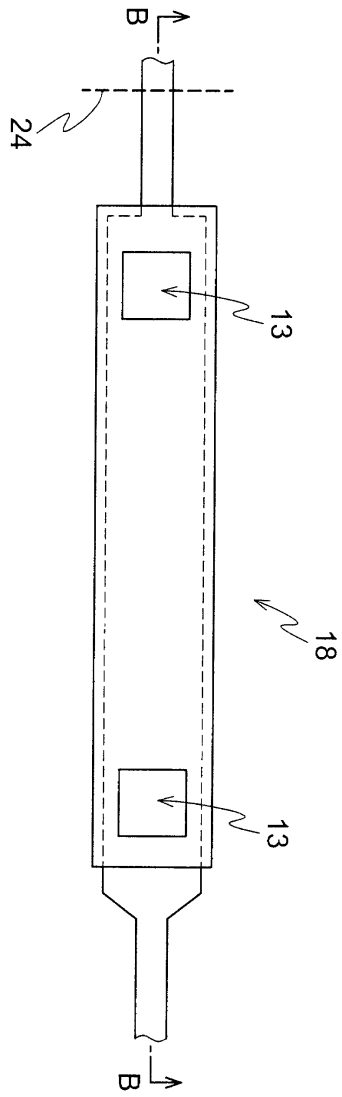
도면7b



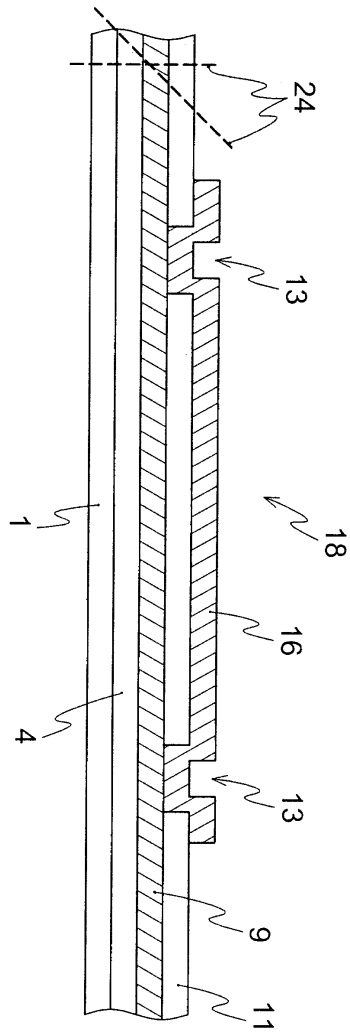
도면7c



도면8a



도면8b



专利名称(译)	液晶显示器		
公开(公告)号	KR100682691B1	公开(公告)日	2007-02-15
申请号	KR1020020009728	申请日	2002-02-23
申请(专利权)人(译)	可否给点这两次的显示		
当前申请(专利权)人(译)	可否给点这两次的显示		
[标]发明人	KONISHI YUKINOBU NAKAYAMA AKIO 나카야마아키오 KOBAYASHI KAZUHIRO 코바야시카즈히로		
发明人	코니시유키노부 나카야마아키오 코바야시카즈히로		
IPC分类号	G02F1/136 G02F1/1368 G02F1/1345 G02F1/1362 H01L21/28 H01L21/3205 H01L21/768 H01L29/786		
CPC分类号	G02F1/136204 G02F1/136286 G02F1/13458		
优先权	2001054854 2001-02-28 JP		
其他公开文献	KR1020020070810A		
外部链接	Espacenet		

摘要(译)

对于有源矩阵型液晶显示装置的薄膜晶体管 (TFT) 阵列面板, 可以获得具有高生产率和可靠性的端子间短路的液晶显示器。对于安装在 TFT 阵列基板上的信号输入端子单元, 位于端子电极下层的金属布线形成显示单元, 基板切回端侧形成相应的单独金属层。通过在下层上形成比显示单元的金属层更低的基板切割端侧的金属层, 防止金属层在基板的切割和脱离时间中脱落, 并且端子间短路减少。LCD, 阵列和薄膜晶体管。

