

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/36 (2006.01)		(45) 공고일자	2006년06월30일
		(11) 등록번호	10-0594232
		(24) 등록일자	2006년06월21일
(21) 출원번호	10-2003-0069730	(65) 공개번호	10-2005-0026841
(22) 출원일자	2003년10월07일	(43) 공개일자	2005년03월16일

(30) 우선권주장	10/658,770	2003년09월10일	미국(US)
(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416		
(72) 발명자	최창희 경기도수원시팔달구영통동청명마을4단지아파트411동1501호 김도운 경기도화성군태안읍병점리201-2신미주아파트105동1203호 박정태 경기도용인시수지읍풍덕천리삼성5차515동404호 이승정 서울특별시관악구신림11동1567-4		
(74) 대리인	리앤목특허법인		

심사관 : 이병우

(54) 박막 트랜지스터-액정 표시 장치 구동을 위한 하이 슬루레이트 증폭회로

요약

박막 트랜지스터-액정 표시 장치 구동을 위한 슬루 레이트가 큰 증폭회로가 개시된다. 상기 증폭회로는 슬루 레이트 특성을 개선한다. 따라서, 액정 표시 장치(LCD)의 소오스 라인 구동을 위하여 출력 버퍼에 사용되는 경우에 부하를 빠른 시간에 충방전시키므로 잔상 효과를 제거할 수 있는 효과가 있다.

대표도

도 6

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 출력 버퍼를 나타내는 블록도이다.

도 2는 다른 종래의 출력 버퍼를 나타내는 블록도이다.

도 3은 도 2의 출력 버퍼의 동작 설명을 위한 타이밍도이다.

도 4는 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 블록도이다.

도 5는 본 발명의 일실시예에 따른 소오스 구동부를 나타내는 블록도이다.

도 6은 본 발명의 일실시예에 따른 출력 버퍼를 나타내는 블록도이다.

도 7은 본 발명의 일실시예에 따른 도 6의 제2 컨트롤러를 나타내는 블록도이다.

도 8a는 본 발명의 일실시예에 따른 도 7의 하이 신호 생성부를 나타내는 블록도이다.

도 8b는 본 발명의 일실시예에 따른 도 7의 로우 신호 생성부를 나타내는 블록도이다.

도 9는 본 발명의 일실시예에 따른 도 6의 출력 버퍼의 동작 설명을 위한 타이밍도이다.

도 10a는 도 6의 제1 오피앰프 및 풀업 트랜지스터의 회로도를 나타내는 일례이다.

도 10b는 도 6의 제2 오피앰프 및 풀다운 트랜지스터의 회로도를 나타내는 일례이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터(thin film transistor:TFT)-액정 표시 장치(liquid crystal display)(LCD)에 관한 것으로, 특히 박막 트랜지스터-액정 표시 장치(TFT-LCD)에 구비되는 LCD 패널의 소오스 라인 구동 회로에 관한 것이다.

액정 표시 장치(LCD)는 현재 가장 널리 사용되고 있는 평판 표시장치들(flat panel displays) 중의 하나이다. LCD 패널은 전계를 형성하기 위한 다수의 전극들을 구비하는 상판과 하판으로 구성되고, 상판과 하판 사이에는 액정층으로 이루어져 있으며, 이외에도 빛을 편광(polarizing)시키기 위하여 상판과 하판에 부착되는 편광판을 구비한다. 액정 표시 장치(LCD)에서 빛의 밝기는 액정 분자를 재배열시키기 위한 전극에 계조에 따른 전압을 인가함으로써 조절된다. LCD 패널의 하판에는 계조 전압이 전극에 인가되도록 스위칭하기 위하여, 전극에 연결된 박막 트랜지스터(TFT)와 같은 다수의 스위칭 소자들이 구비되어 있다.

액정 표시 장치(LCD)는 소오스 구동부와 게이트 구동부로 이루어진 구동 회로부와 스위칭 소자들을 통하여 전극에 계조 전압을 공급하기 위하여 상기 구동 회로부를 컨트롤하는 컨트롤러부를 구비한다. 일반적으로, 상기 컨트롤러부는 상기 LCD 패널 외부에 배치되고, 상기 구동 회로부는 LCD 패널 상에 배치되거나 LCD 패널 외부에 배치된다.

도 1은 LCD 패널에 인가될 계조 전압을 버퍼링하는 종래의 출력 버퍼를 나타내는 블록도이다. 도 1에서, 출력 버퍼는 N 개의 R2R 증폭기들(rail-to-rail amplifiers)(102)을 구비하고, 각각의 증폭기는 병렬적으로 버퍼링되는 N 개의 소오스 전압들 중 어느 하나의 소오스 전압을 버퍼링한다. 도 1에 도시된 바와 같은 증폭기(102)는 양호한 슬루 레이트(slew rate) 출력 특성을 나타내지만, 아직 해결해야할 문제점들이 있다. 즉, 전류 소모가 크고, 소오스 구동 회로 설계에서 큰 레이아웃(layout) 면적을 차지하는 문제점이 있다.

도 2는 도 1에 구현된 증폭기 특성을 개선하기 위한 다른 종래의 출력 버퍼를 나타내는 블록도이다. 도 2에서, 출력 버퍼는 다수의 증폭 회로들(202)과 제어기(208)를 구비한다. 증폭 회로들(202) 각각은, P형 트랜지스터들을 사용하여 하나의 소오스 전압을 버퍼링하는 P형 오퍼앰프(operational amplifier)(204), 및 N형 트랜지스터들을 사용하여 하나의 소오스 전압을 버퍼링하는 N형 오퍼앰프(206)를 구비한다.

주지된 바와 같이, LCD 패널에 주입되는 액정의 물질 특성이 나빠지는 것을 방지하기 위하여, 출력 버퍼는 공통 전압(Vcom)보다 큰 정극성(positive polarity) 전압과 공통 전압(Vcom)보다 작은 부극성(negative polarity) 전압으로 계조 전압을 공급한다. 예를 들어, 공통 전압(Vcom)은 일정하게 $1/2V_{DD}$ 전압을 가질 수도 있고, 또한 이 전압은 현재 다양하게 응용되어 프레임 단위로 반전되는 전압일 수도 있다. P형 오퍼앰프(204)는 서로 반전 관계에 있는 계조 전압 중 정극성 전압을 버퍼링하고, N형 오퍼앰프(206)는 계조 전압 중 부극성 전압을 버퍼링한다. P형 오퍼앰프(204) 및 N형 오퍼앰프(206) 각각의 출력단은 서로 연결되어 있다. 제어기(208)는 P형 오퍼앰프(204)가 온(on)이면 N형 오퍼앰프(206)를 오프(off)시키고, N형 오퍼앰프(206)가 온(on)이면 P형 오퍼앰프(204)를 오프(off)시킨다.

제어기(208)는 제1 제어신호(CTL-H) 및 제2 제어신호(CTL-L)를 통하여 오퍼앰프들(204, 206)을 온오프시킨다. 타이밍 콘트롤러(미도시)는 출력 버퍼를 통해서 출력되는 계조 전압의 극성을 지시하는 극성 신호(POL)를 발생시키고, 이에 따라 제어기(208)는 극성 신호(POL)의 제어를 받아 상기 제어신호들(CTL-H, CTL-L)을 발생시킨다.

도 3은 도 2의 출력 버퍼의 동작 설명을 위한 타이밍도이다. 도 3에서, (a)는 상기 타이밍 콘트롤러에 의하여 생성되는 출력 인에이블 신호(output enable signal)를 나타내는 파형도이다. 도 3에서, (b)는 극성 신호(POL)를 나타내는 파형도이다. 도 3에서, (c) 및 (d) 각각은 제어기(208)에서 출력되는 제1 제어신호(CTL-H) 및 제2 제어신호(CTL-L)를 나타내는 파형도이다. 도 3에서, (e)는 P형 오퍼앰프(204)의 출력을 나타내는 파형도(VH PART)이다. 도 3에서, (f)는 N형 오퍼앰프(206)의 출력을 나타내는 파형도(VL PART)이다.

도 3에서, (c) 및 (e)에 도시된 바와 같이, P형 오퍼앰프(204)의 출력 파형(VH PART)은 제1 제어신호(CTL-H)의 극성과 같고, 마찬가지로, (d) 및 (f)에 도시된 바와 같이, N형 오퍼앰프(206)의 출력 파형(VL PART)은 제2 제어신호(CTL-L)의 극성과 같다. 그러나, 참조 번호 302와 같이, P형 오퍼앰프(204)의 출력 파형(VH PART)은 상승 시간(rising time)이 길고, 참조 번호 304와 같이, N형 오퍼앰프(206)의 출력 파형(VL PART)은 하강 시간(falling time)이 길다.

이와 같이, 종래의 출력 버퍼의 특성이 느린 상승 시간 및 하강 시간을 가지므로, 이를 구비하는 액정 표시 장치(LCD)는 동영상상을 표시할 때 잔상을 나타내는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는, 액정 표시 장치(LCD)를 구동하기 위하여 슬루 레이트가 큰 증폭회로를 제공하는 데 있다.

발명의 구성 및 작용

상기의 기술적 과제를 달성하기 위한 본 발명에 따른 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭 회로는, 오퍼앰프; 상기 오퍼앰프의 출력단에 연결된 풀업 트랜지스터; 상기 오퍼앰프의 출력단에 연결된 풀다운 트랜지스터; 및 상기 풀업 트랜지스터 및 상기 풀다운 트랜지스터 각각을 선택적으로 활성화시키는 콘트롤 회로를 구비하는 것을 특징으로 한다.

상기 콘트롤 회로는, 극성 신호 주기의 $1/2$ 또는 출력 인에이블 신호 주기보다 작은 시간 동안, 상기 풀업 트랜지스터 및 상기 풀다운 트랜지스터 각각을 선택적으로 활성화시킬 수 있는 것을 특징으로 한다. 상기 콘트롤 회로는, 상기 극성 신호 주기의 $1/20$ 또는 상기 출력 인에이블 신호 주기의 $1/10$ 보다 작은 시간 동안, 상기 풀업 트랜지스터 및 상기 풀다운 트랜지스터 각각을 선택적으로 활성화시킬 수 있는 것을 특징으로 한다. 상기 콘트롤 회로는, 상기 극성 신호 주기의 $1/200$ 또는 상기 출력 인에이블 신호 주기의 $1/100$ 보다 작은 시간 동안, 상기 풀업 트랜지스터 및 상기 풀다운 트랜지스터 각각을 선택적으로 활성화시킬 수 있는 것을 특징으로 한다.

상기 콘트롤 회로는 상기 풀업 트랜지스터의 활성화 시간을 결정하는 제1 펄스를 발생시켜 출력하는 로우 신호 생성부; 및 상기 풀다운 트랜지스터의 활성화 시간을 결정하는 제2 펄스를 발생시켜 출력하는 하이 신호 생성부를 구비하는 것을 특

정으로 한다. 상기 제1 펄스 및 상기 제2 펄스는, 출력 인에이블 신호에 대한 함수에 의하여 결정되는 것을 특징으로 한다. 상기 로우 신호 생성부 및 상기 하이 신호 생성부 각각은, 상기 펄스들 각각의 출력을 출력 인에이블 신호보다 지연시키는 최소한 하나의 지연부를 포함하는 것을 특징으로 한다.

상기 오피앰프는, 정극성 신호 증폭 회로 및 부극성 신호 증폭 회로를 구비하는 것을 특징으로 한다. 상기 정극성 신호 증폭 회로는, 다수의 트랜지스터들을 구비하는 전압 폴로어 형태를 가지는 것을 특징으로 한다. 상기 정극성 신호 증폭 회로는, 최소한 하나의 콘덴서를 더 구비하는 것을 특징으로 한다. 상기 부극성 신호 증폭 회로는, 다수의 트랜지스터들을 구비하는 전압 폴로어 형태를 가지는 것을 특징으로 한다. 상기 부극성 신호 증폭 회로는, 최소한 하나의 콘덴서를 더 구비하는 것을 특징으로 한다.

상기 풀업 트랜지스터는, 상기 정극성 신호 증폭 회로의 출력단에 연결되고, 상기 풀다운 트랜지스터는, 상기 부극성 신호 증폭 회로의 출력단에 연결되는 것을 특징으로 한다. 상기 콘트롤 회로는, 출력 인에이블 신호의 제어를 받아 상기 풀업 트랜지스터 및 상기 풀다운 트랜지스터 각각을 선택적으로 콘트롤 할 수 있는 것을 특징으로 한다.

상기의 기술적 과제를 달성하기 위한 본 발명에 따른 액정 표시 장치는, LCD 패널; 및 상기 LCD 패널에 연결된 다수의 소오스 드라이버들을 구비하고, 상기 소오스 드라이버들 각각은 출력 버퍼를 구비하며, 상기 출력 버퍼는, 오피앰프; 상기 오피앰프의 출력단에 연결된 풀업 트랜지스터; 상기 오피앰프의 출력단에 연결된 풀다운 트랜지스터; 및 상기 풀업 트랜지스터 및 상기 풀다운 트랜지스터 각각을 선택적으로 활성화시키는 콘트롤 회로를 구비하는 것을 특징으로 한다.

상기 콘트롤 회로는, 다음 시간들, 극성 신호 주기의 1/2보다 작은 시간; 출력 인에이블 신호 주기보다 작은 시간; 극성 신호 주기의 1/20보다 작은 시간; 출력 인에이블 신호 주기의 1/10보다 작은 시간; 극성 신호 주기의 1/200보다 작은 시간; 및 출력 인에이블 신호 주기의 1/100보다 작은 시간 중 어느 하나의 시간 동안 상기 풀업 트랜지스터 및 상기 풀다운 트랜지스터 각각을 선택적으로 활성화시킬 수 있는 것을 특징으로 한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

본 발명의 일실시예에 따른 일부 사항은 다음과 같은 점을 기초로 하고있다. P형 오피앰프 및 N형 오피앰프의 출력단에 하나 이상의 풀업/풀다운 트랜지스터들을 부가하는 것은 실질적으로 상승/하강 시간을 개선시킬 수 있다. 그러나, 만일 풀업/풀다운 트랜지스터들이 상기 오피앰프들과 비슷한 시간동안 또는 실질적으로 같은 시간동안 동작된다면, 상기 풀업/풀다운 트랜지스터들은 역시 출력 버퍼에 의하여 소모되는 전류량을 실질적으로 증가시킨다. 만일, 하나 이상의 풀업/풀다운 트랜지스터들이 상기 오피앰프들보다 짧은 시간동안 동작된다면, 출력 버퍼에 의하여 소모되는 전류량의 증가없이 상승/하강 시간이 상당히 개선될 수 있다.

도 4는 본 발명의 일실시예에 따른 액정 표시 장치(400)를 나타내는 블록도이다. 도 4를 참조하면, 상기 액정 표시 장치(400)는 박막 트랜지스터 액정 표시 장치(TFT-LCD)(404), 및 상기 TFT-LCD(404)에 디스플레이 데이터(display data)를 제공하는 그래픽 콘트롤러(graphic controller)(402)를 구비한다. 본 발명의 일실시예에 따른 상기 그래픽 콘트롤러(402)는 상기 TFT-LCD(404)에 구비된 신호 수신부(416)에 상기 디스플레이 데이터를 전송하는 신호 전송부(signal-sending unit)(406)를 구비한다. 다양한 신호 처리 기술들, 특히, 저전압 차동 신호화(low voltage differential signaling)(LVDS) 기술이 상기 신호 전송부(406) 및 상기 신호 수신부(416)에 적용될 수 있다.

도 4를 참조하면, 상기 TFT-LCD(404)는 타이밍 콘트롤러(timing controller)(408), 게이트 구동부(412), 소오스 구동부(414), 및 TFT-LCD 패널(410)을 더 구비한다. 상기 신호 수신부(416)는 상기 타이밍 콘트롤러(408)의 일부이고, 상기 타이밍 콘트롤러(408)는 신호 송신부(418)를 구비한다. 상기 타이밍 콘트롤러(408)는 상기 신호 수신부(416)에서 수신되는 디스플레이 데이터를 처리하여 상기 처리된 데이터를 상기 신호 송신부(418)를 통하여 게이트 구동부(412), 및 소오스 구동부(414)에 전송한다. 상기 신호 송신부(418)는 상기 신호 전송부(406) 및 상기 신호 수신부(416)와 같은 신호 처리 기술, 예를 들어, LVDS 기술을 사용할 수 있다. 또는, 다른 기술, 예를 들어, 스윙폭 축소 차동 신호화(reduced swing differential signaling)(RSDS) 기술이 사용될 수 있다. RSDS 기술은 이 분야에서 통상의 지식을 가진 당업자에게 잘 알려져 있는 기술이다.

도 5는 본 발명의 일실시예에 따른 소오스 구동부(414)를 나타내는 블록도이다. 상기 소오스 구동부(414)는 N 비트 쉬프트 레지스터(shift register)(502), 데이터 래치들(latches)(504), 디지털 아날로그 변환기(digital-to-analog converter)(506), 및 출력 버퍼(508)를 구비한다. 이러한 구성 요소들은, 데이터가 상기 타이밍 콘트롤러(408)에서 출력되어 502 내지 508을 거쳐, 상기 TFT-LCD 패널(410)로 출력되도록 하기 위하여, 연속적으로 연결되어 있다. 디지털 아날로그 변환기(506)는 저항이나 콘덴서로 구현될 수 있다.

도 6은 본 발명의 일실시예에 따른 출력 버퍼(600)를 나타내는 블록도이다. 상기 출력 버퍼(600)는 도 5의 출력 버퍼(508)와 같은 기능을 한다.

도 6의 상기 출력 버퍼(600)는 다수의 증폭 회로들(602), 제1 콘트롤러(608), 및 제2 콘트롤러(616)를 구비한다. 다수의 증폭 회로들(602) 각각은 제1 오피앰프(604), 제2 오피앰프(606), 최소한 하나의 풀업(pull-up) 트랜지스터(612), 및 최소한 하나의 풀다운(pull-down) 트랜지스터(610)를 구비한다. 본 발명의 일실시예에 따라서, 상기 제1 오피앰프(604)는 P형 트랜지스터들로 구성된 N 비트 오피앰프일 수 있고, 상기 제2 오피앰프(606)는 N형 트랜지스터들로 구성된 N 비트 오피앰프일 수 있다. 여기서, N은 양의 정수이고, 입력되는 데이터 개수이다. 예를 들어, 상기 오피앰프들(604, 606) 각각은 도 10a 및 도 10b에 도시된 전압 폴로어(voltage follower) 형태를 가지는 오피앰프일 수 있다. 상기 풀업 트랜지스터(612)는 친화성을 더 좋게 하기 위하여 상기 제1 오피앰프(604)를 구성하는 트랜지스터들과 같은 불순물 형태인 P형으로 하는 것이 바람직하다. 마찬가지로, 상기 풀다운 트랜지스터(610)는 상기 제2 오피앰프(606)를 구성하는 트랜지스터들과 같은 불순물 형태인 N형으로 하는 것이 바람직하다.

도 6의 상기 제1 콘트롤러(608)는 상기 제1 오피앰프(604), 및 상기 제2 오피앰프(606) 각각을 제어하기 위하여 콘트롤 신호들(CTL-H, CTL-L)을 생성한다. 상기 제1 오피앰프(604)는 주기적으로 반전되는 입력신호의 정극성 신호를 처리하고, 상기 제2 오피앰프(606)는 주기적으로 반전되는 입력신호의 부극성 신호를 처리한다. 여기서, 상기 주기적으로 반전되는 입력신호는 상기 디지털 아날로그 변환기(506)로부터 출력된다. 상기 제1 오피앰프(604) 및 상기 제2 오피앰프(606)의 출력단들은 서로 연결되고, 이 출력단들에서 출력 버퍼(600)의 출력 신호가 출력된다.

상기 제1 콘트롤러(608)는 상기 제1 오피앰프(604)가 턴온(turn on) 또는 활성화되면, 상기 제2 오피앰프(606)가 턴오프(turn off)되도록 제어하고, 반대로, 상기 제2 오피앰프(606)가 턴온 또는 활성화되면, 상기 제1 오피앰프(604)가 턴오프되도록 제어한다. 상기 제1 콘트롤러(608)는 제2 콘트롤 신호(CTL-L)를 통해 상기 제2 오피앰프(606)를 턴온/턴오프 시키고, 제1 콘트롤 신호(CTL-H)를 통해 상기 제1 오피앰프(604)를 턴온/턴오프 시킨다. 상기 타이밍 콘트롤러(408)는 출력 버퍼(600)를 통해서 출력되는 데이터의 극성을 지시하는 극성 신호(POL)를 발생시키고, 이에 따라 상기 제1 콘트롤러(608)는 극성 신호(POL)의 제어를 받아 상기 콘트롤 신호들(CTL-H, CTL-L)을 발생시킨다.

상기 제1 오피앰프(604) 및 상기 제2 오피앰프(606)의 출력단들은 서로 연결되어 있을 뿐만 아니라, 풀업 트랜지스터(612)를 통하여 시스템 소오스 전압(VDD)에 연결될 수 있고, 풀다운 트랜지스터(610)를 통하여 시스템 접지 전압(VSS)에 연결될 수 있다.

도 6의 상기 제2 콘트롤러(616)는 제1 펄스(half pull up:HPU) 및 제2 펄스(half pull down:HPD) 각각을 통하여 상기 풀업 트랜지스터(612) 및 상기 풀다운 트랜지스터(610)를 제어한다. 아래에서 더 기술하기 전에, 상기 풀업 트랜지스터(612) 및 상기 풀다운 트랜지스터(610)는 상기 제1 오피앰프(604) 및 상기 제2 오피앰프(606)보다 더 짧은 시간 동안 동작되고, 이에 따라, 출력 버퍼(600)에 의하여 소모되는 전류량의 상당한 증가없이 상승/하강 시간을 상당히 개선시킬 수 있다. 상기 풀업 트랜지스터(612) 및 상기 풀다운 트랜지스터(610) 각각은 상기 제2 콘트롤러(616)에 의하여 생성된 상기 제1 펄스(HPU) 및 상기 제2 펄스(HPD)를 통하여 동작된다.

도 7은 본 발명의 일실시예에 따른 도 6의 제2 콘트롤러(616)를 나타내는 블록도이다.

도 6의 상기 제2 콘트롤러(616)는 상기 출력 인에이블 신호(OE)의 제어를 받아 상기 제1 펄스(HPU) 및 상기 제2 펄스(HPD) 각각을 생성하는 로우 신호 생성부(704) 및 하이 신호 생성부(704)를 포함한다. 여기서, 상기 출력 인에이블 신호(OE)는 도 4의 타이밍 콘트롤러(408)에 의하여 생성될 수 있다.

도 8a는 본 발명의 일실시예에 따른 도 7의 하이 신호 생성부(702)를 나타내는 블록도이다. 상기 하이 신호 생성부(702)는 다수의 비반전(또는 버퍼링하는) 회로들(802)(여기서는 예를 들어, 4개), 인버터(inverter)(804), 및 논리합(OR) 회로(806)를 포함한다. 상기 다수의 비반전 회로들(802)은 상기 출력 인에이블 신호(OE)와 상기 인버터(804) 사이에 직렬 연결되어 있다. 상기 인버터(804)의 출력단은 상기 논리합(OR) 회로(806)의 두 입력단들 중의 하나에 연결된다. 상기 논리

합(OR) 회로(806)의 다른 입력단은 직접 상기 출력 인에이블 신호(OE)를 수신한다. 상기 하이 신호 생성부(702)는 상기 제1 오피앰프(604)의 턴온 시점보다 상기 풀업 트랜지스터(612)의 턴온 시점을 지연시켜서, P형의 상기 제1 오피앰프(604)의 턴온 시간보다 상대적으로 짧은 시간 동안 상기 풀업 트랜지스터(612)를 턴온 시킨다.

도 8b는 본 발명의 일실시예에 따른 도 7의 로우 신호 생성부(704)를 나타내는 블록도이다. 상기 로우 신호 생성부(704)는 다수의 비반전(또는 버퍼링하는) 회로들(808)(여기서는 예를 들어, 4개), 인버터(810), 및 논리곱(AND) 회로(812)를 포함한다. 상기 다수의 비반전 회로들(808)은 상기 출력 인에이블 신호(OE)와 상기 인버터(810) 사이에 직렬 연결되어 있다. 상기 인버터(810)의 출력단은 상기 논리곱(AND) 회로(812)의 두 입력단들 중의 하나에 연결된다. 상기 논리곱(AND) 회로(812)의 다른 입력단은 직접 상기 출력 인에이블 신호(OE)를 수신한다. 상기 로우 신호 생성부(704)는 상기 제2 오피앰프(606)의 턴온 시점보다 상기 풀다운 트랜지스터(610)의 턴온 시점을 지연시켜서, N형의 상기 제2 오피앰프(606)의 턴온 시간보다 상대적으로 짧은 시간 동안 상기 풀다운 트랜지스터(610)를 턴온 시킨다.

이하, 상기 풀업 트랜지스터(612) 및 상기 풀다운 트랜지스터(610)의 턴온 시간(또는 동작 시간)을 수식적으로 설명한다. 상기 극성 신호(POL) 주기는 약 $80\mu s$ 라고 가정한다. 위에서 기술된 바와 같이, 상기 제1 오피앰프(604)는 상기 극성 신호(POL)의 정극성(positive polarity) 기간 동안 동작하고, 상기 제2 오피앰프(606)는 상기 극성 신호(POL)의 부극성(negative polarity) 기간 동안 동작한다. 이때, 상기 제1 오피앰프(604) 및 상기 제2 오피앰프(606)는 약 $40\mu s$ 동안 턴온 된다. 상기 풀업 트랜지스터(612) 및 상기 풀다운 트랜지스터(610) 각각은 상기 극성 신호(POL)가 정극성에서 부극성으로(또는 부극성에서 정극성으로) 트랜지션(transition)한 후 $0.5\mu s$ 정도의 지연시간 후에 턴온 될 수 있다. 상기 풀업 트랜지스터(612) 및 상기 풀다운 트랜지스터(610) 각각은 턴온 된 상태를 $0.1\mu s$ 동안 유지하고, 그 후에는 상기 극성 신호(POL)의 다음 트랜지션 때까지 턴오프 될 수 있다.

이 분야에서 통상의 지식을 가진 당업자라면, 상기 출력 버퍼(600)가 적용된 상황에 따라, 상기 지연 시간이나 턴온 시간 등이 달라질 수 있다는 것을 이해할 것이다. 상기 턴온 시간(또는 활성화 시간)은 출시된 제품의 반품을 줄일 수 있도록 하는 경제적 목적에 맞게 선택된다. 상기 턴온 시간이 증가할수록, 출력 버퍼(600)에 의하여 소모되는 전류량이 증가하면서, 슬루 레이트는 더욱더 개선된다. 따라서, 소비 전력의 증가라는 단점과 슬루 레이트의 개선이라는 장점 사이에서 적절히 선택되어야 한다.

상기 풀업 트랜지스터(612) 및 상기 풀다운 트랜지스터(610) 각각은 극성 신호 주기(POL)의 1/20보다 작은 시간, 또는 출력 인에이블 신호(OE) 주기의 1/10보다 작은 시간 중 어느 하나의 시간 동안 활성화될 수도 있다. 또한, 상기 풀업 트랜지스터(612) 및 상기 풀다운 트랜지스터(610) 각각은 극성 신호 주기(POL)의 1/200보다 작은 시간, 또는 출력 인에이블 신호(OE) 주기의 1/100보다 작은 시간 중 어느 하나의 시간 동안 활성화될 수도 있다.

도 9는 본 발명의 일실시예에 따른 도 6의 출력 버퍼(600)의 동작 설명을 위한 타이밍도이다. 도 9에서, (a)는 도 4의 타이밍 콘트롤러(408)에 의하여 생성될 수 있는 출력 인에이블 신호(OE)를 나타내는 파형도이다. 도 9에서, (b)는 극성 신호(POL)를 나타내는 파형도이다. 도 9에서, (c) 및 (d) 각각은 도 6의 제1 콘트롤러(608)에서 생성되는 제1 콘트롤 신호(CTL-H) 및 제2 콘트롤 신호(CTL-L)를 나타내는 파형도이다. 도 9에서, (e)는 제1 펄스(HPU)를 나타내는 파형도이다. 도 9에서, (f)는 제2 펄스(HPD)를 나타내는 파형도이다. 도 9에서, (g)는 상기 제1 펄스(HPU)에 따라 상기 풀업 트랜지스터(612)에 의하여 풀업 될 때, 제1 오피앰프(604)의 출력 신호를 나타내는 파형도(VH PART)이다. 도 9에서, (h)는 상기 제2 펄스(HPD)에 따라 상기 풀다운 트랜지스터(610)에 의하여 풀다운 될 때, 제2 오피앰프(606)의 출력 신호를 나타내는 파형도(VL PART)이다.

도 9에서 (c) 및 (g)에 도시된 바와 같이, 제1 오피앰프(604)의 출력 신호 파형(VH PART)은 제1 콘트롤 신호(CTL-H)의 극성과 같고, 마찬가지로, (d) 및 (h)에 도시된 바와 같이, 제2 오피앰프(606)의 출력 파형(VL PART)은 제2 콘트롤 신호(CTL-L)의 극성과 같다. 그러나, 종래 기술과는 달리, 그 추적 슬루 레이트는 더 좋다. 즉, 참조 번호 902와 같이, 제1 오피앰프(604)의 출력 신호 파형(VH PART)은 상승 시간(rising time)이 빠르고, 참조 번호 904와 같이, 제2 오피앰프(606)의 출력 파형(VL PART)은 하강 시간(falling time)이 빠르다. 따라서, 도 4의 LCD 패널(410)에서 소오스 라인의 RC(resistive-capacitive) 부하는 매우 크므로, 도 2의 종래 기술의 출력 버퍼에 비하여, 도 6의 출력 버퍼(600)는 소오스 라인 부하를 더 빠르게 충전/방전(charge/discharge) 할 수 있다.

도 10a는 도 6의 제1 오피앰프(604) 및 풀업 트랜지스터(610)의 회로도를 나타내는 일례이다. 도 10b는 도 6의 제2 오피앰프(606) 및 풀다운 트랜지스터(610)의 회로도를 나타내는 일례이다.

도 10a에서, 제1 오피앰프(604)는 다수의 트랜지스터들(1002~1016)을 포함하는 전압 폴로어 형태를 가진다. 상기 제1 오피앰프(604)는 최소한 하나의 콘덴서(1018)를 더 포함할 수 있다. 전압 폴로어는 이 분야에서 통상의 지식을 가진 자에게 잘 알려져 있으므로, 자세한 설명은 생략한다. 도 10a에서, 입력단으로 입력되는 입력 신호(INPUT)는 제1 펄스(HPU)에 응답하여 출력단을 통하여 출력 신호(OUTPUT)로 변환된다.

도 10b에서, 제2 오피앰프(606)는 다수의 트랜지스터들(1022~1036)을 포함하는 전압 폴로어 형태를 가진다. 상기 제2 오피앰프(606)는 최소한 하나의 콘덴서(1038)를 더 포함할 수 있다. 전압 폴로어는 이 분야에서 통상의 지식을 가진 자에게 잘 알려져 있으므로, 자세한 설명은 생략한다. 도 10b에서, 입력단으로 입력되는 입력 신호(INPUT)는 제2 펄스(HPD)에 응답하여 출력단을 통하여 출력 신호(OUTPUT)로 변환된다.

이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 증폭회로는 슬루 레이트 특성을 개선한다. 따라서, 액정 표시 장치(LCD)의 소오스 라인 구동을 위하여 출력 버퍼에 사용되는 경우에 부하를 빠른 시간에 충방전시키므로 잔상 효과를 제거할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

제1 오피앰프;

제2 오피앰프;

상기 제1 오피앰프의 출력단에 연결된 풀업 트랜지스터;

상기 제2 오피앰프의 출력단에 연결된 풀다운 트랜지스터; 및

상기 풀업 트랜지스터 및 상기 풀다운 트랜지스터 각각을 선택적으로 활성화시키는 콘트롤 회로를 구비하는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭회로.

청구항 2.

제 1항에 있어서, 상기 콘트롤 회로는,

극성 신호 주기의 1/2 또는 출력 인에이بل 신호 주기보다 작은 시간 동안, 상기 풀업 트랜지스터 및 상기 풀다운 트랜지스터 각각을 선택적으로 활성화시킬 수 있는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭회로.

청구항 3.

제 2항에 있어서, 상기 콘트롤 회로는,

상기 극성 신호 주기의 $1/20$ 또는 상기 출력 인에이블 신호 주기의 $1/10$ 보다 작은 시간 동안, 상기 풀업 트랜지스터 및 상기 풀다운 트랜지스터 각각을 선택적으로 활성화시킬 수 있는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭회로.

청구항 4.

제 3항에 있어서, 상기 콘트롤 회로는,

상기 극성 신호 주기의 $1/200$ 또는 상기 출력 인에이블 신호 주기의 $1/100$ 보다 작은 시간 동안, 상기 풀업 트랜지스터 및 상기 풀다운 트랜지스터 각각을 선택적으로 활성화시킬 수 있는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭회로.

청구항 5.

제 1항에 있어서, 상기 콘트롤 회로는,

상기 풀업 트랜지스터의 활성화 시간을 결정하는 제1 펄스를 발생시켜 출력하는 로우 신호 생성부; 및

상기 풀다운 트랜지스터의 활성화 시간을 결정하는 제2 펄스를 발생시켜 출력하는 하이 신호 생성부를 구비하는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭회로.

청구항 6.

제 5항에 있어서, 상기 제1 펄스 및 상기 제2 펄스는,

출력 인에이블 신호에 대한 함수에 의하여 결정되는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭회로.

청구항 7.

제 5항에 있어서, 상기 로우 신호 생성부 및 상기 하이 신호 생성부 각각은,

상기 펄스들 각각의 출력을 출력 인에이블 신호보다 지연시키는 최소한 하나의 지연부를 포함하는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭회로.

청구항 8.

제 1항에 있어서,

상기 제1 오피앰프는 정극성 신호 증폭 회로를 구비하고,

상기 제2 오피앰프는 부극성 신호 증폭 회로를 구비하는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭회로.

청구항 9.

제 8항에 있어서, 상기 정극성 신호 증폭 회로는,

다수의 트랜지스터들을 구비하는 전압 폴로어 형태를 가지는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭회로.

청구항 10.

제 9항에 있어서, 상기 정극성 신호 증폭 회로는,

최소한 하나의 콘덴서를 더 구비하는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭회로.

청구항 11.

제 8항에 있어서, 상기 부극성 신호 증폭 회로는,

다수의 트랜지스터들을 구비하는 전압 폴로어 형태를 가지는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭회로.

청구항 12.

제 11항에 있어서, 상기 부극성 신호 증폭 회로는,

최소한 하나의 콘덴서를 더 구비하는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭회로.

청구항 13.

제 8항에 있어서, 상기 풀업 트랜지스터는,

상기 정극성 신호 증폭 회로의 출력단에 연결되고, 상기 풀다운 트랜지스터는, 상기 부극성 신호 증폭 회로의 출력단에 연결되는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭회로.

청구항 14.

제 1항에 있어서, 상기 콘트롤 회로는,

출력 인에이블 신호의 제어를 받아 상기 풀업 트랜지스터 및 상기 풀다운 트랜지스터 각각을 선택적으로 콘트롤 할 수 있는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭회로.

청구항 15.

제1 오피앰프 수단;

제2 오피앰프 수단;

상기 제1 오피앰프 수단의 출력 신호를 풀업 하는 풀업 수단;

상기 제2 오피앰프 수단의 출력 신호를 풀다운 하는 풀다운 수단; 및

상기 풀업 수단 및 상기 풀다운 수단 각각을 선택적으로 온오프 시키는 콘트롤 수단을 구비하는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭장치.

청구항 16.

제 15항에 있어서, 상기 콘트롤 수단은,

극성 신호 주기의 1/2 또는 출력 인에이블 신호 주기보다 작은 시간 동안, 상기 풀업 수단 및 상기 풀다운 수단 각각을 선택적으로 턴온 시킬 수 있는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭장치.

청구항 17.

제 16항에 있어서, 상기 콘트롤 수단은,

상기 극성 신호 주기의 1/20 또는 상기 출력 인에이블 신호 주기의 1/10 보다 작은 시간 동안, 상기 풀업 트랜지스터 및 상기 풀다운 트랜지스터 각각을 선택적으로 턴온 시킬 수 있는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭장치.

청구항 18.

제 17항에 있어서, 상기 콘트롤 수단은,

상기 극성 신호 주기의 1/200 또는 상기 출력 인에이블 신호 주기의 1/100 보다 작은 시간 동안, 상기 풀업 트랜지스터 및 상기 풀다운 트랜지스터 각각을 선택적으로 턴온 시킬 수 있는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭장치.

청구항 19.

제 15항에 있어서, 상기 콘트롤 수단은,

상기 풀업 수단의 턴온 시간을 결정하는 제1 펄스를 제공하는 로우 신호 생성 수단; 및

상기 풀다운 수단의 턴온 시간을 결정하는 제2 펄스를 제공하는 하이 신호 생성 수단을 구비하는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭장치.

청구항 20.

제 19항에 있어서, 상기 제1 펄스 및 상기 제2 펄스는,

출력 인에이블 신호의 제어를 받는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭장치.

청구항 21.

제 19항에 있어서, 상기 로우 신호 생성 수단 및 상기 하이 신호 생성 수단 각각은,

상기 펄스들 각각의 출력을 상기 출력 인에이블 신호보다 지연시키는 최소한 하나의 지연 수단을 포함하는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭장치.

청구항 22.

제 15항에 있어서,

상기 제1 오피앰프 수단은 정극성 신호 증폭 수단을 구비하고,

상기 제2 오피앰프 수단은 부극성 신호 증폭 수단을 구비하고,

상기 풀업 수단은 상기 정극성 신호 증폭 수단의 출력단을 풀업 시키고, 상기 풀다운 수단은 상기 부극성 신호 증폭 수단의 출력단을 풀다운 시키는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭장치.

청구항 23.

제 15항에 있어서, 상기 콘트롤 수단은,

출력 인에이블 신호의 제어를 받아 상기 풀업 트랜지스터 및 상기 풀다운 트랜지스터 각각을 선택적으로 콘트롤 할 수 있는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치 구동을 위한 하이 슬루 레이트 증폭장치.

청구항 24.

LCD 패널; 및

상기 LCD 패널에 연결된 다수의 소오스 드라이버들을 구비하고,

상기 소오스 드라이버들 각각은 출력 버퍼를 구비하며, 상기 출력 버퍼는,

제1 오피앰프;

제2 오피앰프;

상기 제1 오피앰프의 출력단에 연결된 풀업 트랜지스터;

상기 제2 오피앰프의 출력단에 연결된 풀다운 트랜지스터; 및

상기 풀업 트랜지스터 및 상기 풀다운 트랜지스터 각각을 선택적으로 활성화시키는 콘트롤 회로를 구비하는 것을 특징으로 하는 액정 표시 장치.

청구항 25.

제 24항에 있어서, 상기 콘트롤 회로는,

다음 시간들,

극성 신호 주기의 1/2보다 작은 시간;

출력 인에이블 신호 주기보다 작은 시간;

극성 신호 주기의 1/20보다 작은 시간;

출력 인에이블 신호 주기의 1/10보다 작은 시간;

극성 신호 주기의 1/200보다 작은 시간; 및

출력 인에이블 신호 주기의 1/100보다 작은 시간

중 어느 하나의 시간 동안 상기 풀업 트랜지스터 및 상기 풀다운 트랜지스터 각각을 선택적으로 활성화시킬 수 있는 것을 특징으로 하는 액정 표시 장치.

청구항 26.

제 25항에 있어서, 상기 콘트롤 회로는,

상기 풀업 트랜지스터의 활성화 시간을 결정하는 제1 펄스를 발생시켜 출력하는 로우 신호 생성부; 및

상기 풀다운 트랜지스터의 활성화 시간을 결정하는 제2 펄스를 발생시켜 출력하는 하이 신호 생성부를 구비하고,

상기 제1 펄스 및 상기 제2 펄스는, 출력 인에이블 신호에 대한 함수에 의하여 결정되는 것을 특징으로 하는 액정 표시 장치.

청구항 27.

제 26항에 있어서, 상기 로우 신호 생성부 및 상기 하이 신호 생성부 각각은,

상기 펄스들 각각의 출력을 출력 인에이블 신호보다 지연시키는 최소한 하나의 지연부를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 28.

제 25항에 있어서,

상기 제1 오피앰프는, 정극성 신호 증폭 회로를 구비하고,

상기 제2 오피앰프는, 부극성 신호 증폭 회로를 구비하고,

상기 풀업 트랜지스터는 상기 정극성 신호 증폭 회로의 출력단에 연결되고, 상기 풀다운 트랜지스터는 상기 부극성 신호 증폭 회로의 출력단에 연결되는 것을 특징으로 하는 액정 표시 장치.

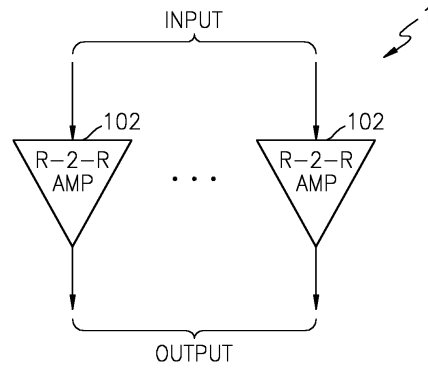
청구항 29.

제 25항에 있어서, 상기 콘트롤 회로는,

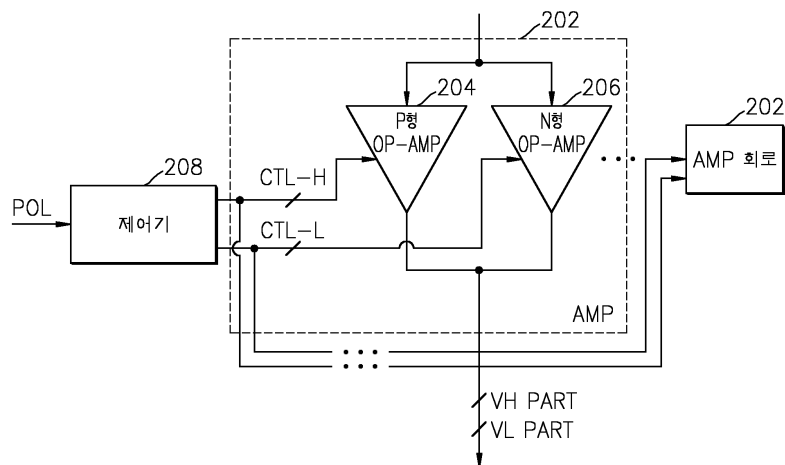
출력 인에이블 신호의 제어를 받아 상기 풀업 트랜지스터 및 상기 풀다운 트랜지스터 각각을 선택적으로 콘트롤 할 수 있는 것을 특징으로 하는 액정 표시 장치.

도면

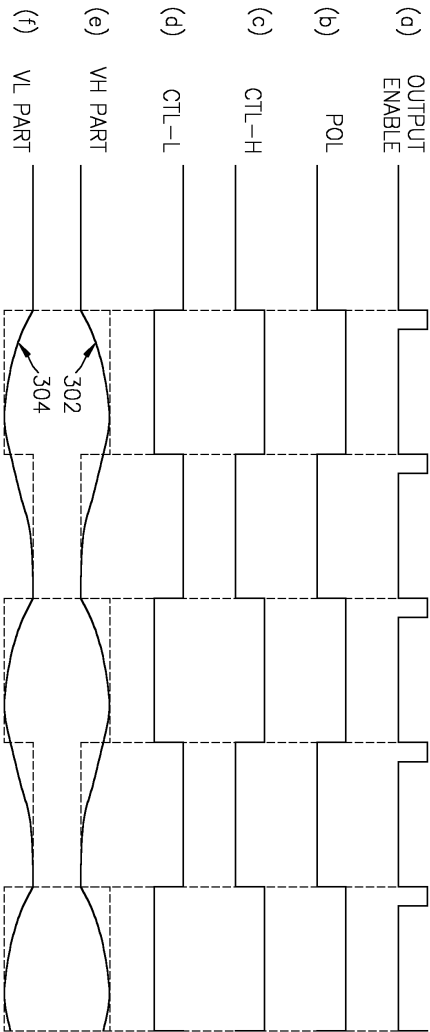
도면1



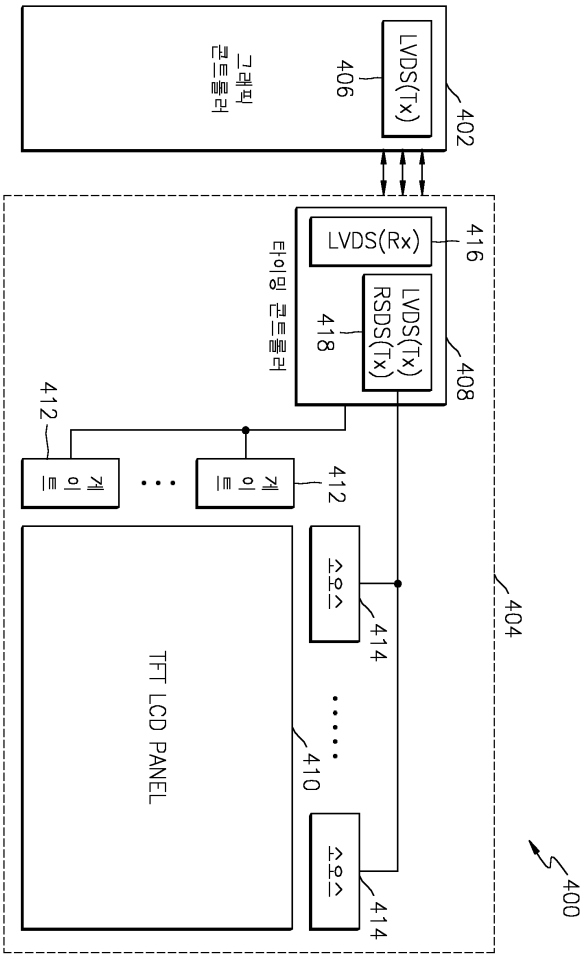
도면2



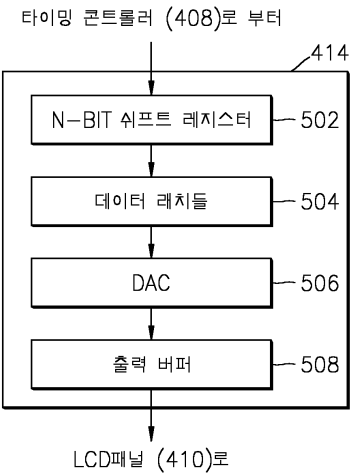
도면3



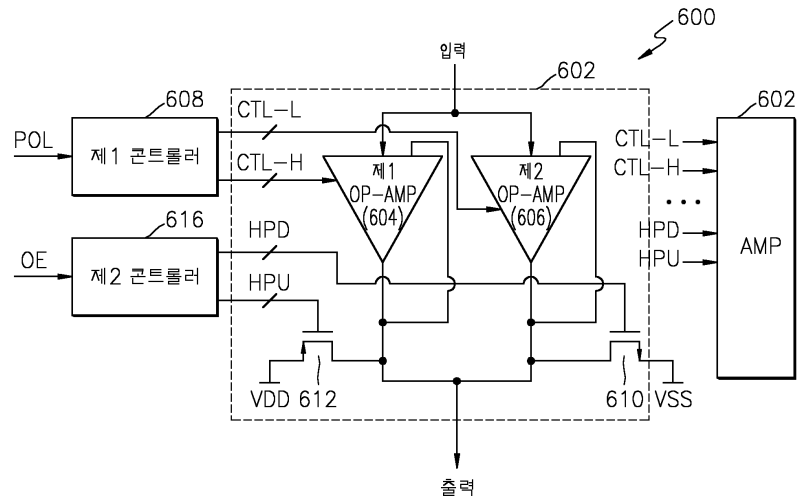
도면4



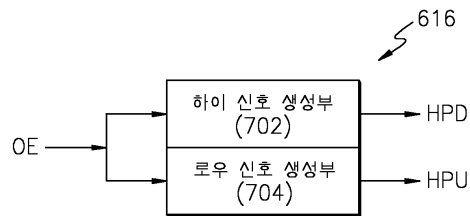
도면5



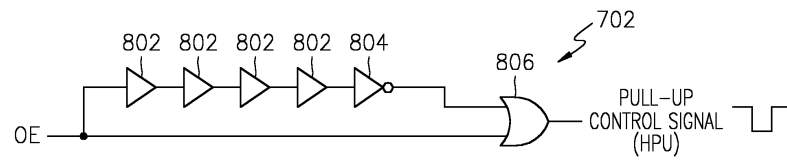
도면6



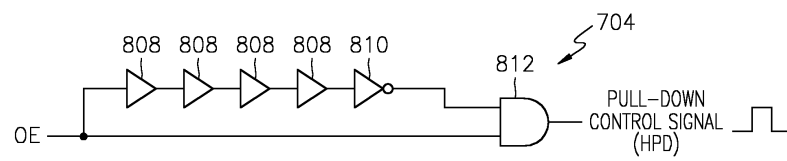
도면7



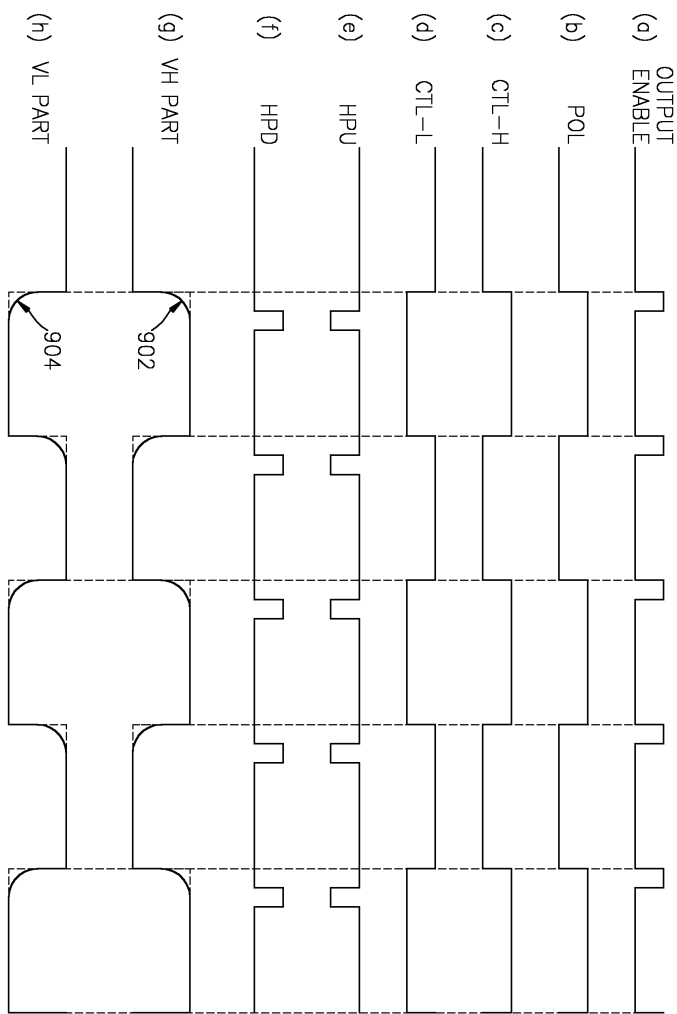
도면8a



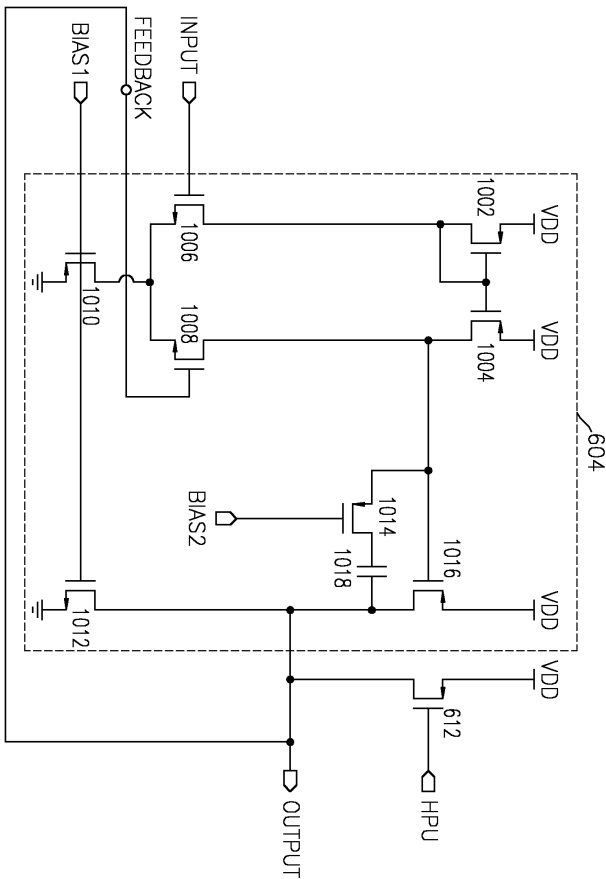
도면8b



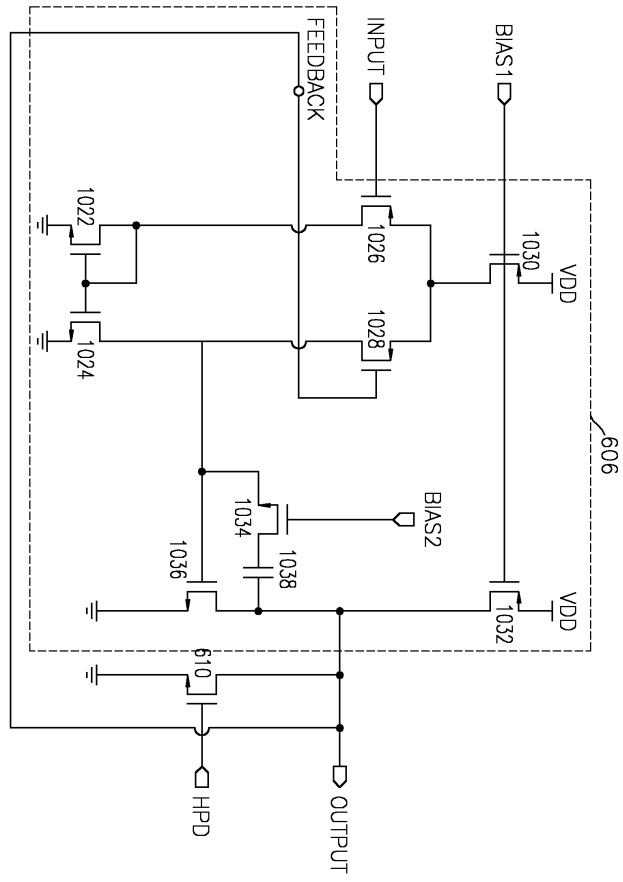
도면9



도면10a



도면10b



专利名称(译)	薄膜晶体管 - 用于驱动液晶显示器的高压摆率放大器电路		
公开(公告)号	KR100594232B1	公开(公告)日	2006-06-30
申请号	KR1020030069730	申请日	2003-10-07
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	CHOI CHANGHWE 최창휘 KIM DOYOUN 김도윤 PARK JEUNGTAЕ 박정태 LEE SEUNGJUNG 이승정		
发明人	최창휘 김도윤 박정태 이승정		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3688 G09G3/3614 G09G2310/027		
优先权	10/658770 2003-09-10 US		
其他公开文献	KR1020050026841A		
外部链接	Espacenet		

摘要(译)

公开了一种用于驱动薄膜晶体管液晶显示装置的具有大转换速率的放大器电路。放大器电路改善了转换速率特性。因此，当TFT用于输出缓冲器以驱动液晶显示器 (LCD) 的源极线时，负载被快速充电/放电，从而消除了余像效应。 6

