

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년05월08일
<i>G02F 1/133</i> (2006.01)	(11) 등록번호	10-0576671
	(24) 등록일자	2006년04월27일

(21) 출원번호	10-2003-0079059	(65) 공개번호	10-2004-0041515
(22) 출원일자	2003년11월10일	(43) 공개일자	2004년05월17일

(30) 우선권주장 JP-P-2002-00326413 2002년11월11일 일본(JP)

(73) 특허권자 산요덴키가부시키가이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 세가와야스오
일본기후깁기후시고우도3쵸메145비201

아오따마사아끼
일본기후깁오가끼시신나가마쓰1-35

야마다쓰또무
일본기후깁미즈호시바바마에하따마찌3쵸메112-3

(74) 대리인 장수길
이중희
구영창

심사관 : 김정훈

(54) 표시 장치

요약

표시 장치에서, 박막 트랜지스터의 게이트 절연층의 절연 파괴나 절연 누설의 발생을 방지한다. 게이트 라인(20)이 수직 드라이버 회로(130)의 출력부에 달하는 도중에서 게이트 라인(20)을 분단하고, 분단된 게이트 라인(20, 20)끼리를 상층의 메탈 배선(25)으로 접속한다. 게이트 라인(20)은 예를 들면, 몰리브덴(Mo)이나 크롬(Cr)으로 이루어지고, 메탈 배선(25)은 알루미늄으로 이루어진다. 게이트 라인(20)은 분단되어 있으므로, 액정 표시 장치의 제조 프로세스 과정에서 게이트 라인(20)에 축적된 전하가, 박막 트랜지스터 TFT1의 게이트 배선(13)으로 방전되지 않아, 박막 트랜지스터 TFT2의 게이트 절연층(12)의 파괴 등이 방지된다.

대표도

도 2

색인어

능동층, 게이트 라인, 수직 드라이버 회로, 메탈 배선

명세서

도면의 간단한 설명

도 1은 본 발명의 실시 형태에 따른 액정 표시 장치의 구성도.

도 2는 본 발명의 실시 형태에 따른 액정 표시 장치의 수직 드라이버 회로의 출력부의 구성도.

도 3은 본 발명의 실시 형태에 따른 액정 표시 장치의 수직 드라이버 회로의 구성도.

도 4는 본 발명의 실시 형태에 따른 액정 표시 장치의 수직 드라이버 회로의 부분 패턴도.

도 5는 본 발명의 실시 형태에 따른 액정 표시 장치의 수직 드라이버 회로의 부분 단면도.

도 6은 입력 게이트형의 박막 트랜지스터의 패턴에 (A), (B), (C)를 도시하는 도면.

도 7은 본 발명의 실시 형태에 따른 액정 표시 장치의 수직 드라이버 회로의 출력부의 구성도.

도 8은 본 발명의 실시 형태에 따른 액정 표시 장치의 수직 드라이버 회로의 출력부의 구성도.

도 9는 본 발명의 실시 형태에 따른 액정 표시 장치의 수직 드라이버 회로의 출력부의 구성도.

도 10은 종래예에 따른 액정 표시 장치의 구성도.

도 11은 종래예에 따른 액정 표시 장치의 수직 드라이버 회로의 출력부의 구성도.

<도면의 주요 부분에 대한 부호의 설명>

11 : 능동층

12 : 게이트 절연층

13 : 게이트 배선

14 : 메탈 배선

20 : 게이트 라인

21 : 유지 용량 라인

22 : 데이터 라인

25 : 메탈 배선

40 : 투명 절연 기판

100 : 액정 패널

130 : 수직 드라이버 회로

131 : 시프트 레지스터부

132 : 양방향 스캔부

133 : 출력부

134A~134D : NAND 게이트

140 : 수평 드라이브 회로

153~156 : 게이트 배선

161~164 : 박막 트랜지스터

200 : p-Si 아일런드

201 : 게이트 배선

203 : 게이트 절연층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 매트릭스로 배치된 복수의 화소와, 행 방향으로 연장되는 복수의 게이트 라인과, 그 복수의 게이트 라인에 순차 게이트 주사 신호를 공급하는 수직 드라이버 회로를 구비하는 표시 장치에 관한 것으로, 특히 그 정전 파괴 방지 대책에 관한 것이다.

도 10은 종래예의 액정 표시 장치의 구성도이다. 액정 패널(100)은 n행m열 매트릭스로 배치된 복수의 화소를 구비하고, 각 화소는, 화소 선택용 박막 트랜지스터 TFT10, 액정 LC 및 유지 용량 Csc로 이루어져 있다. 이하 이 명세서 중에서는 박막 트랜지스터(Thin Film Transistor)를 TFT로 기재한다.

TFT10의 게이트에는, 행 방향으로 연장된 게이트 라인(20)이 접속되고, 그 드레인에는 열 방향으로 연장된 데이터 라인(22)이 접속되어 있다. 각 행의 게이트 라인(20)에는 수직 드라이브 회로(V드라이브 회로)(130)로부터 게이트 주사 신호가 순차 공급되며, 이에 따라 화소 선택 트랜지스터가 선택된다. 또한, 데이터 라인(22)에는 수평 드라이브 회로(H드라이브 회로)(140)로부터의 드레인 주사 신호에 따라 비디오 신호가 공급되며, TFT10을 통해 액정 LC에 인가된다(예를 들면, 일본 특개평10-115839호 공보)

발명이 이루고자 하는 기술적 과제

그러나, 종래의 액정 표시 장치에서는 수직 드라이브 회로(130)의 게이트 주사 신호 출력부의 TFT의 게이트 절연층이 TFT 제조 프로세스 중에 정전기에 의해 파괴되거나, 절연 누설을 발생하는 문제가 있었다. 이 문제에 대하여 도 8을 참조하여 설명한다. 도 11은 도 10의 파선으로 둘러싸인 부분 B를 확대한 도면으로, 게이트 라인(20)의 단부 및 수직 드라이브 회로(130)의 출력부의 패턴을 도시하고 있다. 도 11의 (a)는 그 평면도이고, 도 11의 (b)는 도 11의 (a)의 X-X선을 따른 단면도이다.

게이트 라인(20), 유지 용량 라인(21), 수직 드라이브 회로(130) 내의 게이트 배선의 가공에는 드라이 에칭이 이용되지만, 그 때에 게이트 라인(20), 유지 용량 라인(21), 게이트 배선에 정전기가 축적된다. 또한, 그 후 게이트 라인(20)을 마스크로 하여, P-Si층에 비소나 인과 같은 N형 불순물을 이온 주입(P채널 TFT인 경우에는 붕소와 같은 P형 불순물을 이온 주입)하여 소스 영역 및 드레인 영역을 형성할 때에도, 차지 업 현상이 발생하여, 게이트 라인(20), 유지 용량 라인(21), 게이트 배선에 정전기가 축적된다. 게이트 라인(20), 유지 용량 라인(21)은 액정 패널(100)을 횡단하도록 길게 연장되어 있으므로, 특히 정전기를 띠기 쉽다.

그러면, 도 11에 도시한 바와 같이, 게이트 라인(20)의 단부로부터, 이것과 근접하여 배치된 TFT1의 게이트 배선(13)에 방전이 발생하여, 게이트 배선(13)을 통해, 인접한 TFT2의 게이트 전극까지 이동하고, TFT2-1의 게이트 절연층(12)의 부분 A가 파괴되거나, 절연 누설을 발생한다. 또한, 도면에서, 참조 부호 40은 투명 절연 기관, 참조 부호 11은 투명 절연 기관(40) 상에 형성된 능동층(폴리실리콘층), 참조 부호 14는 알루미늄 배선층이다. 도 11의 (b)에서는 알루미늄 배선 형성 전의 단면도를 도시하고 있다.

발명의 구성 및 작용

따라서, 본 발명은 액정 표시 장치의 제조 프로세스 중에 발생하는 정전기에 의한 디바이스 파괴에 대한 대책을 강구한 것이다.

제1로, 도 1, 도 2에 도시한 바와 같이 게이트 라인(20)이 수직 드라이버 회로(130)의 출력부에 달하는 도중에서 게이트 라인(20)을 분단하고, 분단된 게이트 라인(20, 20)끼리를 상층의 메탈 배선(25)으로 접속하였다.

제2로, 도 4에 도시한 바와 같이, 수직 드라이버 회로(130) 내의 회로를 구성하는 TFT의 게이트 배선(153)의 도중을 분단하고, 분단된 게이트 배선(153, 153)끼리를 상층의 메탈 배선(153A)으로 접속하였다.

제3으로, 도 4에 도시한 바와 같이, 수직 드라이버 회로(130) 내의 게이트 배선은, 3개 이상의 박막 트랜지스터에 직접 입력되지 않도록, 게이트 배선(153)의 도중을 분단하고, 분단된 게이트 배선(153, 153)끼리를 상층의 메탈 배선(153A)으로 접속하였다.

제4로, 도 6의 (b), (c)에 도시한 바와 같이, 수직 드라이버 회로(130) 내의 상이한 신호가 게이트 배선을 통해 3개 이상 입력되는 멀티 게이트형 TFT에 대해서는, 2 이상의 게이트 배선이 동일한 능동층 상으로 연장되지 않도록, 능동층을 분단하고, 분단된 능동층끼리를 상기 게이트 배선보다 상층의 메탈 배선으로 접속하였다.

다음으로 본 발명의 실시 형태에 대하여 도면을 참조하면서 상세히 설명한다.

(제1 실시 형태)

도 1은 제1 실시 형태에 따른 액정 표시 장치의 구성도이다. 도 7과 동일한 구성 부분에 대해서는 동일 부호를 붙이고 그 설명을 생략한다. 이 액정 표시 장치에서는, 게이트 라인(20)이 수직 드라이버 회로(130)의 출력부에 달하는 도중에서 게이트 라인(20)을 분단하고, 분단된 게이트 라인(20, 20)끼리를 상층의 메탈 배선(25)으로 접속하였다(도 1의 파선으로 둘러싸인 부분 C를 참조).

게이트 라인(20)은 예를 들면, 몰리브덴(Mo)이나 크롬(Cr)으로 이루어지고, 메탈 배선(25)은 알루미늄으로 이루어진다.

도 2는 도 1의 파선으로 둘러싸인 부분 C를 확대한 도면으로, 게이트 라인(20)의 단부 및 수직 드라이버 회로(130)의 출력부의 패턴을 도시하고 있다. 도 2의 (a)는 그 평면도이고, 도 2의 (b)는 도 2의 (a)의 X-X선을 따른 단면도이다.

게이트 라인(20)은 분단되어 있으므로, 액정 표시 장치의 제조 프로세스의 과정에서 게이트 라인(20)에 축적된 전하가, TFT1의 게이트 배선(13)으로 방전되지 않게 되어, TFT의 게이트 절연층(12)의 파괴 등이 방지된다.

그리고, 분단된 게이트 라인(20, 20)끼리는, 그 후, 게이트 라인(20, 20) 상의 층간 절연막(도시 생략)에 형성된 콘택트 홀을 통해 상층의 메탈 배선(25)에 접속된다.

이 경우, 분단된 게이트 라인(20, 20) 사이의 간격이 $10\mu\text{m}$ 이상인 것이 바람직하다. 본 발명자의 검토에 따르면, 동일한 층에 형성된 배선간에서 방전될 확률은 그 간격이 클수록 작아지는 것을 알 수 있으며, 그 간격을 $10\mu\text{m}$ 이상으로 함으로써 방전 확률을 매우 작게 할 수 있다.

또한, 도 2에 도시한 바와 같이 수직 드라이버 회로의 출력부의 TFT1보다 분단되기 전의 게이트 라인단(端)이 화소부에 가까운 레이아웃인 경우, 게이트 라인(20)을 분단해도, 화소부측의 게이트 라인(20)으로부터 방전되는 곳이 분단된 게이트 라인(20)이 아니라 TFT1의 게이트 배선으로 될 가능성이 있다. 이것을 방지하기 위해 게이트 라인(20)을 분단하는 장소는, 수직 드라이버 회로의 출력부의 TFT1로부터도 $10\mu\text{m}$ 이상 떨어진 위치로 할 필요가 있다.

이렇게 함으로써 게이트 라인(20)으로부터의 방전이 직접 TFT1의 게이트 배선에 행해지는 것이 아니라, 반드시, 분단된 게이트 라인(20)에 행해진 후에 TFT의 게이트 배선을 향하게 된다.

본 발명자의 검토에 따르면, 게이트 라인 등의 긴 배선에 축적된 전하량이 크기 때문에, 이것이 TFT를 형성하는 게이트 배선에 직접 방전되면 TFT의 게이트 절연막을 파괴하거나, 손상을 주어, 누설 전류를 발생시키게 된다. 게이트 라인을 분단하여, 짧은 게이트 라인의 일부를 형성하면, 여기에 축적되는 전하량은 긴 게이트 라인에 비해 훨씬 작아진다.

따라서, 만약 짧은 게이트 라인에 축적된 전하가 TFT를 구성하는 게이트 라인에 방전되어도 TFT의 절연막에 끼치는 손상은 작아, TFT의 특성 불량을 일으킬 가능성은 낮아진다.

이 이유 때문에, 게이트 라인을 분단하는 것, 출력부의 TFT의 게이트 배선으로부터 거리를 두는 것, 게이트 라인과 출력부 사이에 분단된 짧은 게이트 라인을 형성하는 것이 정전기 손상에 대한 대책으로서 유효하다.

또한, 상기는 TFT 프로세스 중에서, 게이트 배선을 제작한 후부터, 메탈 배선 이전 공정까지의 상황을 설명하고 있으며, 이들 공정에서는 게이트 배선부 이외의 표면이 절연막으로 피복되어 있으므로 특히 정전 손상을 받기 쉽다. 따라서, 이들 공정 사이에서 게이트 배선을 분단해 놓고, 이후에 메탈 배선으로 접속하는 것이 프로세스 중에서의 정전기 대책으로서 유효하다.

(제2 실시 형태)

본 실시 형태는, 수직 드라이버 회로(130)나 수평 드라이버 회로(140) 내에서의 정전기에 의한 게이트 절연층의 파괴 등을 방지하는 것이다. 여기서는, 수직 드라이버 회로(130)를 예로 들어 그 방지 대책에 대하여 설명하지만, 수평 드라이버 회로(140)에 대해서도 마찬가지로 대책을 취할 수 있다.

도 3은 수직 드라이버 회로(130)의 구성도이다. 이 수직 드라이버 회로(130)는, 시프트 레지스터부(131), 양방향 스캔부, 게이트 주사 신호를 게이트 라인(20)으로 출력하는 출력부(133)를 갖는다. 여기서, 양방향 스캔부(132)는 복수의 3입력 NAND 게이트(134A, 134B, 134C, 134D)를 포함하고 있다.

각 3입력 NAND 게이트에는, 클럭 신호선(151)의 클럭 신호가 공통으로 입력되어 있다. 또한, 시프트 레지스터부(131)로부터의 게이트 배선(153)은, 입력 NAND 게이트(134A, 134B)에 공통으로 입력되며, 시프트 레지스터부(131)로부터의 게이트 배선(154)은, 입력 NAND 게이트(134B, 134C)에 공통으로 입력되고, 시프트 레지스터부(131)로부터의 신호선(155)은, 입력 NAND 게이트(134C, 134D)에 공통 입력되어 있다.

도 4는 도 3의 파선으로 둘러싸인 부분의 패턴도이다. 이 패턴의 특징은, 3입력 NAND 게이트(134A)를 구성하는 TFT161, 162 및 인접하는 입력 NAND 게이트(134B)를 구성하는 TFT163, 164에 공통으로 입력되는 게이트 배선(153)의 도중을 분단하고, 분단된 게이트 배선(153, 153)끼리를 상층의 메탈 배선(153A)으로 접속한 점이다.

마찬가지로, 게이트 배선(154)의 도중을 분단하고, 분단된 게이트 배선(154, 154)끼리를 상층의 메탈 배선(154A)으로 접속하였다. 또한, 게이트 배선(153, 154)은 예를 들면, 몰리브덴(Mo)이나 크롬(Cr)으로 이루어지고, 메탈 배선(153A, 154A)은 알루미늄으로 이루어진다.

여기서, 게이트 배선(153, 154) 등을 분단하지 않는 경우에 있어서의 TFT의 게이트 절연막의 정전 파괴 메커니즘에 대하여 설명한다.

게이트 배선(171)으로부터 그것에 가장 가까운 게이트 배선인 참조 부호 152-1에 정전기가 방전된 경우, 우선 TFT161의 p-Si층(능동층)과 참조 부호(152-1) 사이에 있는 게이트 절연층의 파괴 등이 일어나기 쉽다. 이 파괴에 의해 TFT161의 p-Si층의 전압이 급격하게 변화되면, 그것과 용량 결합하고 있는 게이트 배선(151, 153-1)의 전위가 급격하게 변화된다. 게이트 배선(153)은 TFT163에 입력되어 있기 때문에, TFT163의 p-Si층과 게이트 배선(153) 사이에 큰 전위차가 발생하여, 게이트 산화막이 파괴되게 된다.

이와 같이 게이트 배선(153, 154) 등이 도중에서 분단되어 있지 않은 경우, 정전 파괴 혹은 손상이 p-Si 게이트간의 용량 결합에 의해 인접한 p-Si 아일랜드에 전파되게 된다. 게이트 라인을 분단함으로써, 1개의 게이트 라인에 축적되는 전하의 양을 내림과 함께, 다른 p-Si 아일랜드에 정전 파괴가 전파되지 않도록 할 수 있다. 최종적으로는 메탈 배선으로 게이트 배선을 접속하게 되지만, 정전기 손상을 받기 쉬운 공정에서, 배선을 분단하여 두는 것이 정전기 대책으로서 유효하다.

또한, 정전기 손상이 전파되어 가기 위해서는, 게이트 라인이 입력되는 복수개의 p-Si 아일랜드(게이트 배선(153)이 4개의 p-Si 아일랜드에 입력되어 있음) 중, 적어도 1개의 p-Si 아일랜드에는 다른 게이트 신호가 입력되어 있는 것이 필요하다. 역으로 말하면, 임의의 게이트 라인이 입력되는 p-Si 아일랜드가 복수개 있고, 이들 중 적어도 1개의 p-Si 아일랜드에 다른 게이트 배선이 입력되는 경우에는 게이트 배선을 분단하고, 상층의 메탈 배선으로 연결하는 것이 바람직하다.

도 4에 도시한 3입력 NAND 회로에서는, 3개의 입력 신호가 각각 p-ch측의 p-Si 아일랜드와 n-ch측의 p-Si 아일랜드에 입력되어 있다. 게이트 배선(152, 153, 154)은 동일한 게이트 라인이 2개의 p-Si 아일랜드에 입력되어 있고, 게이트 배선(151)은 각각 다른 게이트 배선으로서 각각의 P-Si 아일랜드에 입력되어 있다. 정전 손상을 전파하지 않는다고 하는 의미에서는 게이트 배선(151)쪽이 바람직하다.

마찬가지로 도 11에 도시한 게이트 배선(13)에 대해서도 TFT1, TFT2-1로 나타내는 2개의 p-Si 아일랜드에 입력되어 있으며, 이것을 도 7에 도시한 바와 같이 분단하면, 게이트 라인(20)으로부터 방전된 정전기가 TFT2에 손상을 줄 가능성이 낮아진다.

이상의 설명에서는, 수직 드라이버 회로(130) 중의 회로를 이용하였지만, 프로세스 도중에서, 긴 게이트 배선에 전하가 축적되기 쉬운 것은 수평 드라이버 회로(140)에도 적용되므로, 이들을 구별할 필요는 없으며, 수평 드라이버 회로(140) 내에도 마찬가지로 대책을 세울 수 있다.

이와 같이 본 발명자의 검토에 따르면, 긴 게이트 배선이 있으면, 액정 표시 장치의 제조 프로세스(게이트 배선의 드라이에칭 공정, 그 후의 소스 드레인 형성을 위한 이온 주입 공정)의 과정에서, 차지 업의 메카니즘으로 다량의 전하가 축적되고, 방전에 의해 박막 트랜지스터의 게이트 절연층의 파괴 등이 발생하기 쉽다. 따라서, 게이트 배선의 도중을 분단하여 전하의 축적이 적어지도록 하였다.

도 5는 본 발명의 개념도를 도시한 단면도로서, 도 5의 (a)와 같이, 긴 게이트 배선(201)이 박막 트랜지스터의 p-Si 아일랜드(200-1, 200-2, ...) 상에 게이트 절연층(203)을 통해 연장되면, 정전기에 의해 게이트 절연층(203)의 파괴가 일어나기 쉽다.

따라서, 도 5의 (b)에 도시한 바와 같이, 게이트 배선(201-1, 201-2, ...)의 도중을 분단하고, 그 후의 제조 프로세스에서 알루미늄 배선 등의 상층 배선으로 필요한 접속을 행하였다.

또한, 도 4에 도시한 바와 같이, 게이트 배선(153, 154)은 3개 이상의 TFT에 직접 입력하지 않도록, 이들 게이트 배선(153, 154)의 도중을 분단하고 있다. 예를 들면, 게이트 배선(153)은 도중에서 분단되어 있으므로, 3입력 NAND 회로(134A)의 박막 트랜지스터(161, 162)와, 3입력 NAND 회로(134B)의 박막 트랜지스터(163, 164)로 분리되어 입력되어 있다.

즉, 이 경우, 게이트 배선(153)은 2개의 TFT에만 직접 입력되어 있다. 이와 같이 구성하는 이유는, 1개의 게이트 배선이 다수의 TFT로 분단되지 않고 직접 입력되면, TFT의 게이트 절연층의 파괴 등이 일어나기 쉽기 때문이다. 게이트 배선을 3개 이상의 TFT에 직접 입력하지 않는 것으로 한 이유는, 2개 이하에 대하여 규제하는 것은 실용적이지 않기 때문이다.

(제3 실시 형태)

상기 제1, 제2 실시 형태에서는, 게이트 배선으로부터 생각한 경우의 정전기 대책이지만, 본 실시 형태에서는 TFT의 p-Si 아일랜드(P-Si 능동층)로부터 생각한 대책으로, 드라이버 회로(수직 드라이버 회로뿐만 아니라 수평 드라이버 회로도 포함함) 내에서 상이한 게이트 배선이 하나의 p-Si 아일랜드에 입력되지 않도록, p-Si 능동층을 분단하고, 분단된 p-Si 아일랜드끼리를 상기 게이트 배선보다 상층의 메탈 배선으로 접속한 것이다.

도 11의 TFT2로 나타내는 p-Si 아일랜드는 게이트 배선(13)이 입력되어 있는 TFT2-1과 게이트 배선(15)이 입력되는 TFT2-2, TFT2-3으로 구성되어 있다.

정전기에 의한 방전이 게이트 배선(13)에 입력되어 전위가 크게 변화된 경우, 게이트 배선(15)과 게이트 배선(13) 사이의 전위차가 커지고, p-Si막은 그 양방의 게이트 배선과 용량으로 결합되어 있으므로, 그 결과 게이트 절연막에 큰 전위차가 걸려 절연막 파괴가 발생한다.

이것을 방지하기 위해, 도 8에 도시한 바와 같이 p-Si 아일랜드를 분단해 놓고, 각각의 p-Si 아일랜드에 각각 다른 게이트 배선이 입력되도록 한다. 이에 의해 정전기에 의한 게이트 배선의 전위 변화는 그것이 입력되는 p-Si 아일랜드에만 영향을 미치게 되며, 이 p-Si 아일랜드는 상기 게이트 라인과만 용량 결합되어 있으므로, 게이트 절연막의 파괴가 발생하기 어렵게 된다.

p-Si 아일랜드는, 이후의 공정의 메탈 배선으로 접속됨으로써, 도 8에 도시한 회로와 동일한 동작을 행한다. 1개의 p-Si 아일랜드에 각각 다른 게이트 배선이 입력되지 않도록 절단하는 방법은, 그 p-Si 아일랜드가 멀티 게이트 트랜지스터를 구성하는 경우에도 적용할 수 있다.

도 6은 3입력 게이트형의 박막 트랜지스터의 패턴예 (A), (B), (C)를 도시하는 도면이다. 이것은, 예를 들면 3입력 NAND 회로의 N채널형 TFT에 대응하는 것이다(도 4의 TFT161, 163을 참조).

도면에서 좌측이 평면 패턴도이고, 우측에 각 평면 패턴의 X-X선, Y-Y선, Z-Z선을 따른 단면도를 나타내고 있다. 또한, 어느 쪽의 패턴에 있어서도, 3개의 서로 다른 신호 C1, C2, C3이 각각의 게이트 배선에 의해 입력되어 있는 것으로 한다.

우선, 패턴예 (A)에서는, 1개의 p-Si 아일랜드(300) 상에, 3개의 게이트 배선이 입력되어 있지만, 이 패턴은 게이트 절연층(400)의 절연 파괴나 절연 누설이 발생하기 쉽다.

그것은, 정전기가 축적되어, 방전되는 과정에서, 3개의 게이트 배선 중 어느 하나의 사이에 큰 전위차가 발생하면, 게이트 절연층(400)에 큰 전위차가 걸려, 절연 파괴 등이 발생하기 때문이다. 따라서, 본 실시예에서는, 이러한 패턴예를 이용하는 것은 디자인 룰 상에서 금지하고, 다음 패턴예 (B), (C)를 이용하도록 한다.

패턴예 (B)에서는, 3입력형의 TFT의 p-Si 아일랜드는, 2개의 p-Si 아일랜드(301, 302)로 분리되어 있으며, 한쪽의 p-Si 아일랜드(301) 상에 절연층(400)을 통해 2개의 게이트 배선이 연장되어 있고, 이것과 인접한 다른쪽의 p-Si 아일랜드(302)에는 1개의 게이트 배선이 연장되어 있다.

그리고, 2개의 p-Si 아일랜드(301, 302)는, 그 후의 제조 프로세스에서, 상층의 메탈 배선(303)에 의해 접속되어, 하나의 3입력형의 TFT로서 기능하도록 구성되어 있다.

또한, 패턴예 (C)에서는, 3입력형의 TFT의 p-Si 아일랜드는, 3개의 p-Si 아일랜드(304, 305, 306)로 분리되어 있으며, 각 p-Si 아일랜드 상에 절연층(400)을 통해 1개씩의 게이트 배선이 연장되어 있다.

그리고, 3개의 분리된 p-Si 아일랜드(304, 305, 306)는, 그 후의 제조 프로세스에서, 상층의 메탈 배선(307, 308)에 의해 접속되어, 하나의 3입력형의 박막 트랜지스터로서 기능하도록 구성되어 있다.

이상의 각 실시 형태에서는, 액정 표시 장치에의 적용을 예로 들어 설명하였지만 본 발명은 이에 한정되는 것이 아니라, 게이트 라인이나 수직 드라이버 회로를 갖는 다른 표시 장치, 예를 들면 EL 표시 장치 등에도 널리 적용할 수 있다.

단, 3입력 NAND의 n-ch TFT의 p-Si 아일랜드를 2개로 분할하는 것보다, 3개로 분할하는 쪽이 바람직하다.

또한, 도 7에 도시한 게이트 배선의 분단과 도 8에 도시한 p-Si 아일랜드의 분단을 정합하면, 도 9에 도시한 바와 같이 1개의 p-Si 아일랜드에는 1개의 게이트 배선이 입력되어 있는 구성으로 된다.

발명의 효과

본 발명에 따르면, 게이트 라인이 수직 드라이버 회로의 출력부에 달하는 도중에서 게이트 라인을 분단하고, 분단된 게이트 라인끼리를 상층의 메탈 배선으로 접속하였기 때문에, 표시 장치의 제조 공정 중에 발생하는 정전기의 영향을 없앨 수 있어, 해당 출력부의 TFT의 절연 파괴나 절연 누설의 발생을 방지할 수 있다.

또한, 수직 드라이버 회로 또는 수평 드라이버 회로 내의 회로를 구성하는 TFT의 게이트 배선의 도중을 분단하고, 분단된 게이트 배선끼리를 상층의 메탈 배선으로 접속하였기 때문에, 게이트 배선에 축적되는 정전기의 양을 적게 하여, 해당 TFT의 절연 파괴나 절연 누설의 발생을 방지할 수 있다.

또한, 수직 드라이버 회로 내의 게이트 배선은, 복수개 이상의 TFT 또는 능동층에 직접 입력되지 않도록, 게이트 배선의 도중을 분단하고, 분단된 게이트 배선끼리를 상층의 메탈 배선으로 접속하였기 때문에, 해당 TFT의 절연 파괴나 절연 누설의 발생을 방지할 수 있다.

또한, 복수의 게이트 배선이 입력되는 능동층에서는, 2이상의 게이트 배선이 동일한 능동층 상으로 연장되지 않도록, 능동층을 분단하고, 분단된 능동층끼리를 상기 게이트 배선보다 상층의 메탈 배선으로 접속하였기 때문에, 해당 멀티 게이트형 TFT의 절연 파괴나 절연 누설의 발생을 방지할 수 있다.

(57) 청구의 범위

청구항 1.

매트릭스로 배치된 복수의 화소와, 행 방향으로 연장되는 복수의 게이트 라인과, 상기 복수의 게이트 라인에 순차 게이트 주사 신호를 출력하는 수직 드라이버 회로를 구비하며, 상기 게이트 주사 신호에 따라 각 화소가 선택되는 표시 장치에 있어서,

각 화소를 선택하는 박막 트랜지스터와 상기 수직 드라이버 회로를 동작시키기 위한 박막 트랜지스터가 동일 기판 상에 형성되며,

상기 게이트 라인이 상기 화소로부터 상기 수직 드라이버 회로의 출력부에 달하는 도중에서 상기 게이트 라인을 분단하고, 분단된 게이트끼리를 상층의 메탈 배선으로 접속한 것을 특징으로 하는 표시 장치.

청구항 2.

제1항에 있어서,

상기 분단된 게이트 라인간의 간격이 $10\mu\text{m}$ 이상인 것을 특징으로 하는 표시 장치.

청구항 3.

제1항에 있어서,

상기 분단된 게이트 라인의 단(端)으로부터 상기 수직 드라이버 회로의 출력부의 게이트 배선까지의 거리가 $10\mu\text{m}$ 인 것을 특징으로 하는 표시 장치.

청구항 4.

제1항에 있어서,

상기 분단된 게이트 라인끼리를 상층의 메탈 배선으로 접속할 때까지는, 화소의 게이트 라인과 상기 수직 드라이버 회로의 출력부에 가까운 게이트 라인의 2개가 존재하고 있는 것을 특징으로 하는 표시 장치.

청구항 5.

제1항에 있어서,

상기 게이트 라인은 폴리브덴, 크롬 중 어느 하나로 형성되어 있는 것을 특징으로 하는 표시 장치.

청구항 6.

제1항에 있어서,

상기 메탈 배선은 알루미늄 배선으로 형성되어 있는 것을 특징으로 하는 표시 장치.

청구항 7.

매트릭스로 배치된 복수의 화소와, 행 방향으로 연장되는 복수의 게이트 라인과, 열 방향으로 연장되는 복수의 데이터 라인과, 상기 복수의 게이트 라인에 순차 게이트 주사 신호를 출력하는 수직 드라이버 회로와, 상기 복수의 데이터 라인에 비디오 신호가 공급되는 타이밍을 제어하기 위한 드레인 주사 신호를 발생하는 수평 드라이버 회로를 구비하는 표시 장치에 있어서,

상기 수직 드라이버 회로 또는 상기 수평 드라이버 회로 내의 회로를 구성하는 박막 트랜지스터의 게이트 배선의 도중을 분단하고, 분단된 게이트 배선끼리를 상층의 메탈 배선으로 접속한 것을 특징으로 하는 표시 장치.

청구항 8.

매트릭스로 배치된 복수의 화소와, 행 방향으로 연장되는 복수의 게이트 라인과, 열 방향으로 연장되는 복수의 데이터 라인과, 상기 복수의 게이트 라인에 순차 게이트 주사 신호를 출력하는 수직 드라이버 회로와, 상기 복수의 데이터 라인에 비디오 신호가 공급되는 타이밍을 제어하기 위한 드레인 주사 신호를 발생하는 수평 드라이버 회로를 구비하는 표시 장치에 있어서,

상기 수직 드라이버 회로 또는 상기 수평 드라이버 회로 내의 1개의 게이트 배선이 복수개의 박막 트랜지스터에 직접 입력되지 않도록, 상기 게이트 배선의 도중을 분단하고, 분단된 게이트 배선끼리를 상층의 메탈 배선으로 접속한 것을 특징으로 하는 표시 장치.

청구항 9.

제8항에 있어서,

상기 복수개의 박막 트랜지스터 중 적어도 하나의 박막 트랜지스터에는 상기 게이트 배선과 다른 게이트 배선이 입력되어 있는 것을 특징으로 하는 표시 장치.

청구항 10.

제8항 또는 제9항에 있어서,

상기 복수개의 박막 트랜지스터는 3개 이상의 박막 트랜지스터인 것을 특징으로 하는 표시 장치.

청구항 11.

매트릭스로 배치된 복수의 화소와, 행 방향으로 연장되는 복수의 게이트 라인과, 열 방향으로 연장되는 복수의 데이터 라인과, 상기 복수의 게이트 라인에 순차 게이트 주사 신호를 출력하는 수직 드라이버 회로와, 상기 복수의 데이터 라인에 비디오 신호가 공급되는 타이밍을 제어하기 위한 드레인 주사 신호를 발생하는 수평 드라이버 회로를 구비하는 표시 장치에 있어서,

상기 수직 드라이버 회로 또는 상기 수평 드라이버 회로 내의 1개의 게이트 배선이 복수개의 능동층에 직접 입력되지 않도록, 상기 게이트 배선의 도중을 분단하고, 분단된 게이트 배선끼리를 상층의 메탈 배선으로 접속한 것을 특징으로 하는 표시 장치.

청구항 12.

제11항에 있어서,

상기 복수개의 능동층 중 적어도 1개의 능동층에는 상기 게이트 배선과는 다른 게이트 배선이 입력되어 있는 것을 특징으로 하는 표시 장치.

청구항 13.

제11항 또는 제12항에 있어서,

상기 복수개의 능동층은 3개 이상의 능동층인 것을 특징으로 하는 표시 장치.

청구항 14.

매트릭스로 배치된 복수의 화소와, 행 방향으로 연장되는 복수의 게이트 라인과, 열 방향으로 연장되는 복수의 데이터 라인과, 상기 복수의 게이트 라인에 순차 게이트 주사 신호를 출력하는 수직 드라이버 회로와, 상기 복수의 데이터 라인에 비디오 신호가 공급되는 타이밍을 제어하기 위한 드레인 주사 신호를 발생하는 수평 드라이버 회로를 구비하는 표시 장치에 있어서,

상기 수직 드라이버 회로 또는 수평 드라이버 회로 내의 1개의 능동층에는, 동일한 신호선이 아닌 복수의 게이트 배선이 입력되지 않도록, 능동층을 분단하고, 분단된 능동층끼리를 상기 게이트 배선보다 상층의 메탈 배선으로 접속한 것을 특징으로 하는 표시 장치.

청구항 15.

매트릭스로 배치된 복수의 화소와, 행 방향으로 연장되는 복수의 게이트 라인과, 열 방향으로 연장되는 복수의 데이터 라인과, 상기 복수의 게이트 라인에 순차 게이트 주사 신호를 출력하는 수직 드라이버 회로와, 상기 복수의 데이터 라인에 비디오 신호가 공급되는 타이밍을 제어하기 위한 드레인 주사 신호를 발생하는 수평 드라이버 회로를 구비하는 표시 장치에 있어서,

상기 수직 드라이버 회로 또는 수평 드라이버 회로 내의 1개의 능동층에는, 동일한 신호선이 아닌 3개 이상의 게이트 배선이 입력되지 않도록, 능동층을 분단하고, 분단된 능동층끼리를 상기 게이트 배선보다 상층의 메탈 배선으로 접속한 것을 특징으로 하는 표시 장치.

청구항 16.

제14항 또는 제15항에 있어서,

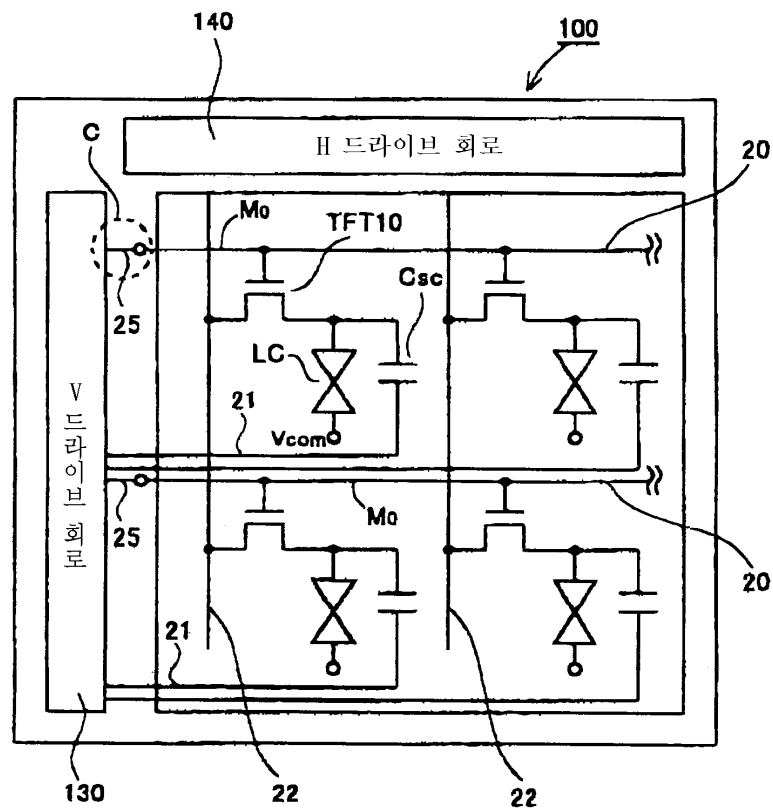
상기 능동층이 멀티 게이트형 박막 트랜지스터를 구성하고 있는 것을 특징으로 하는 표시 장치.

청구항 17.

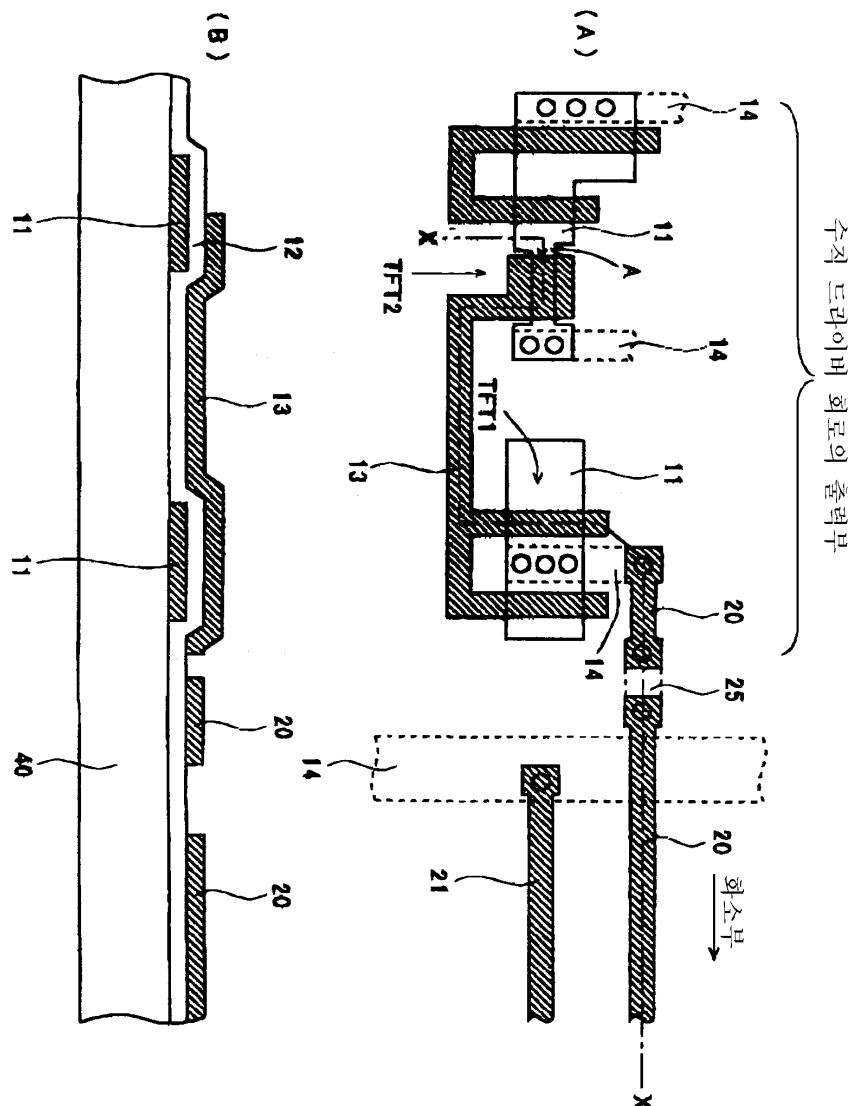
삭제

도면

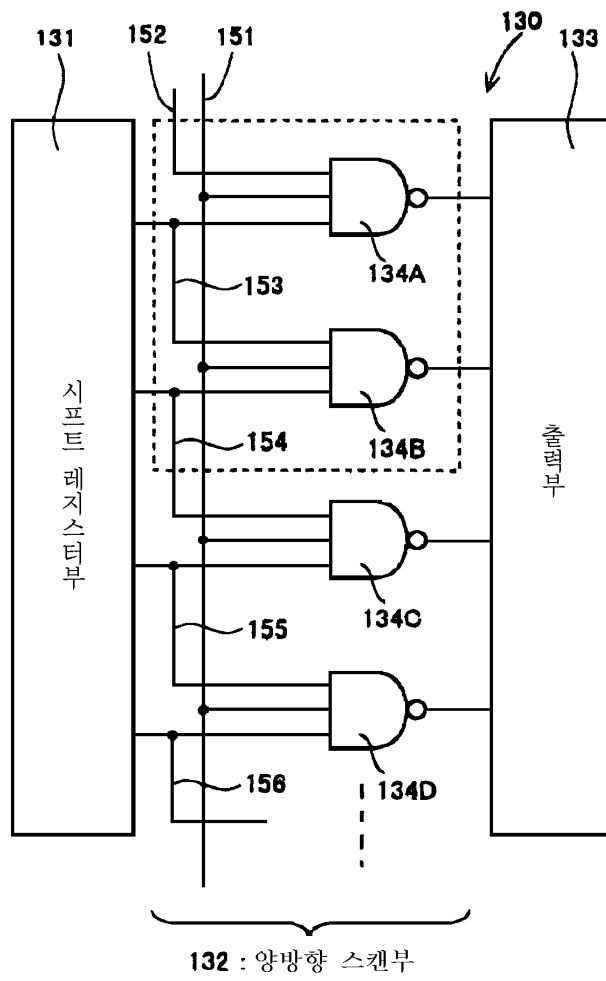
도면1



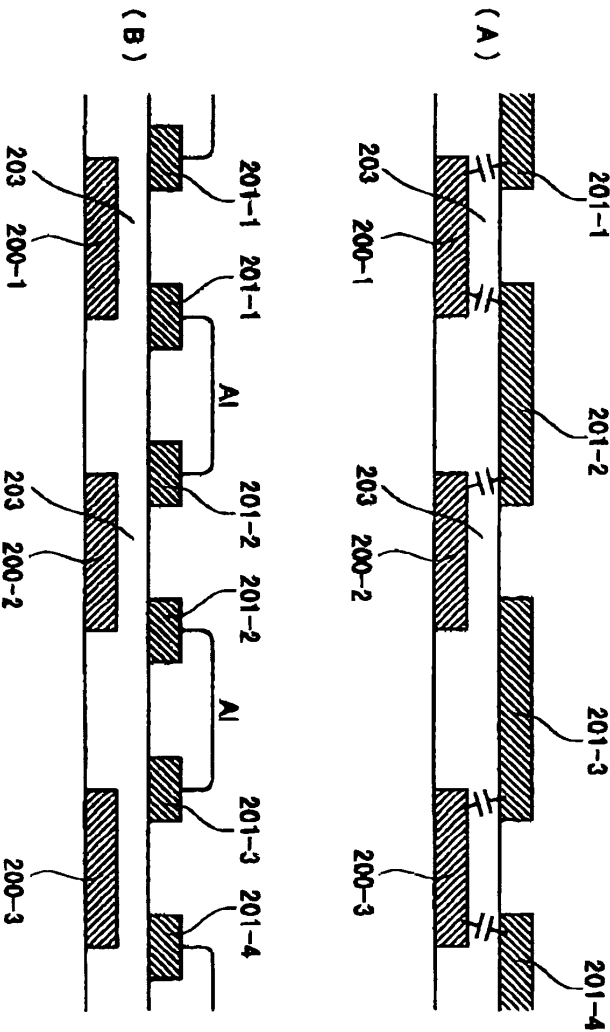
도면2



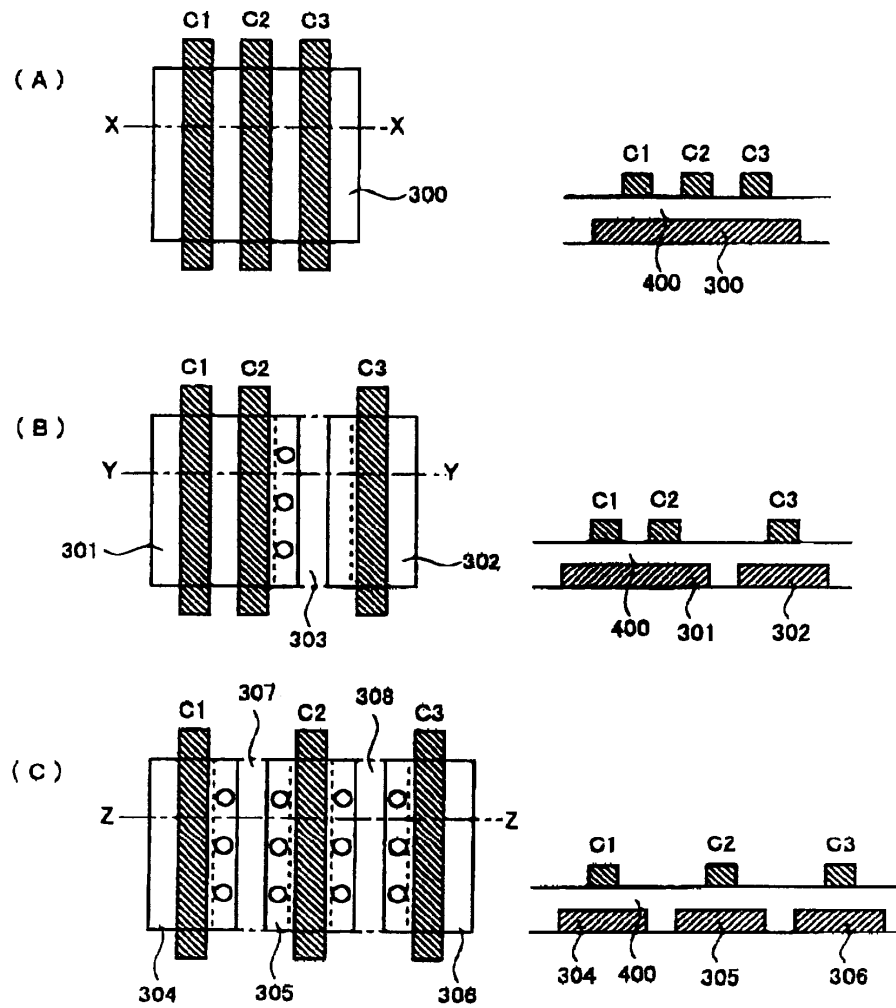
도면3



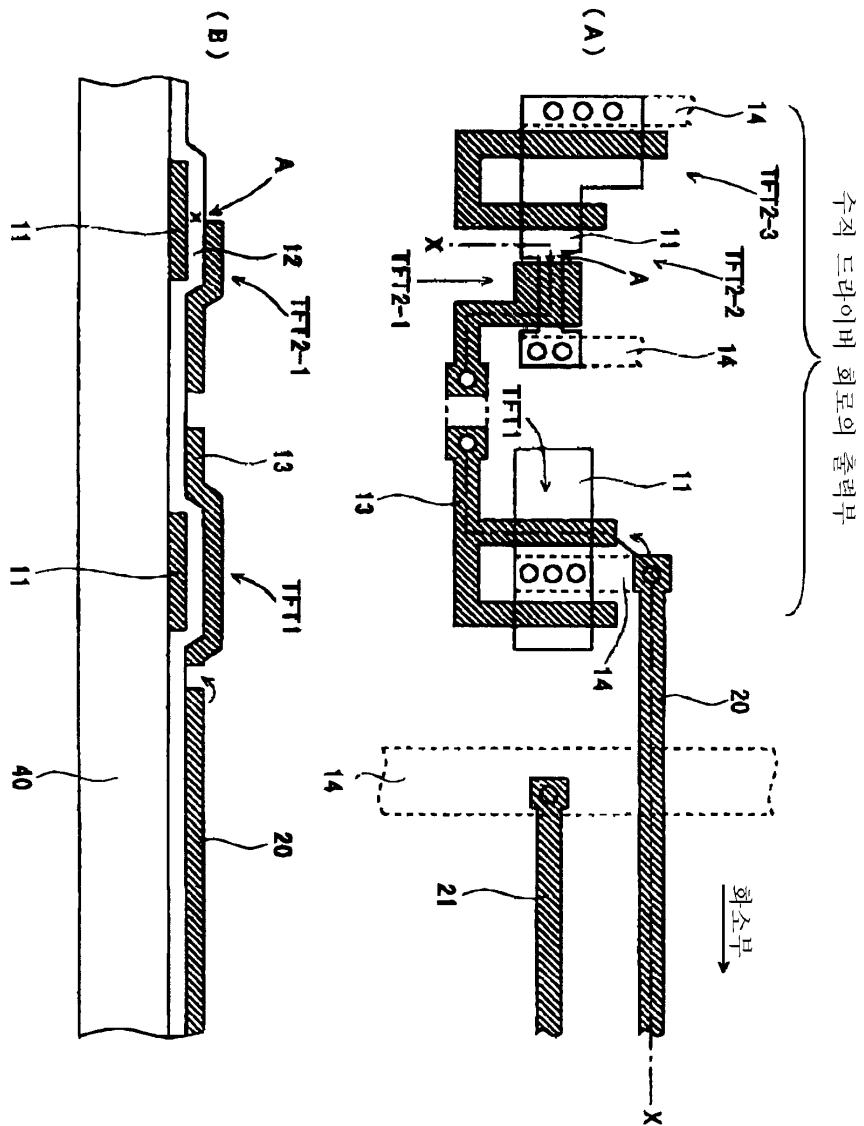
도면5



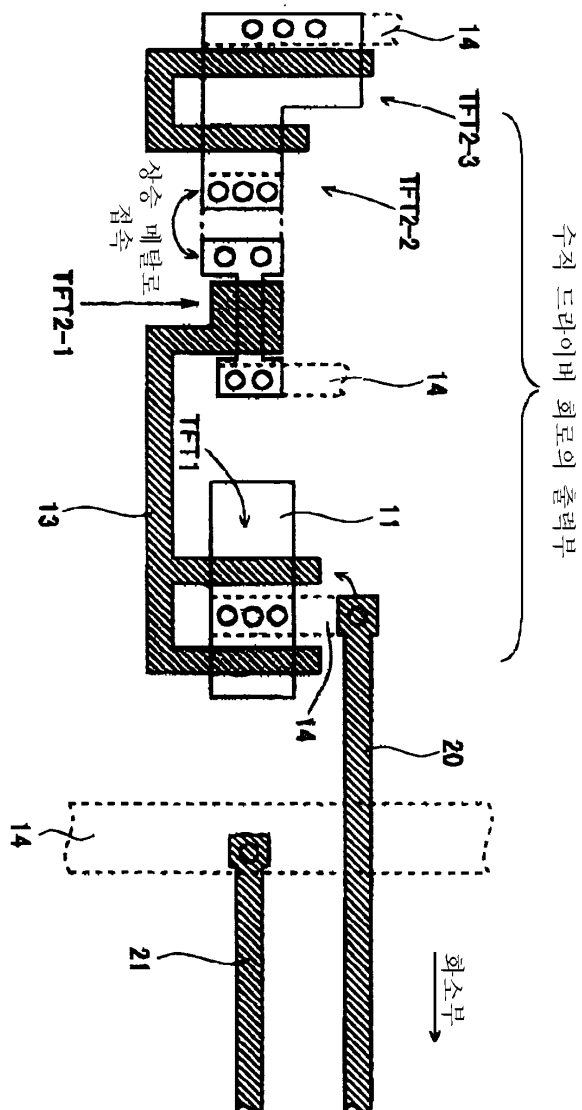
도면6



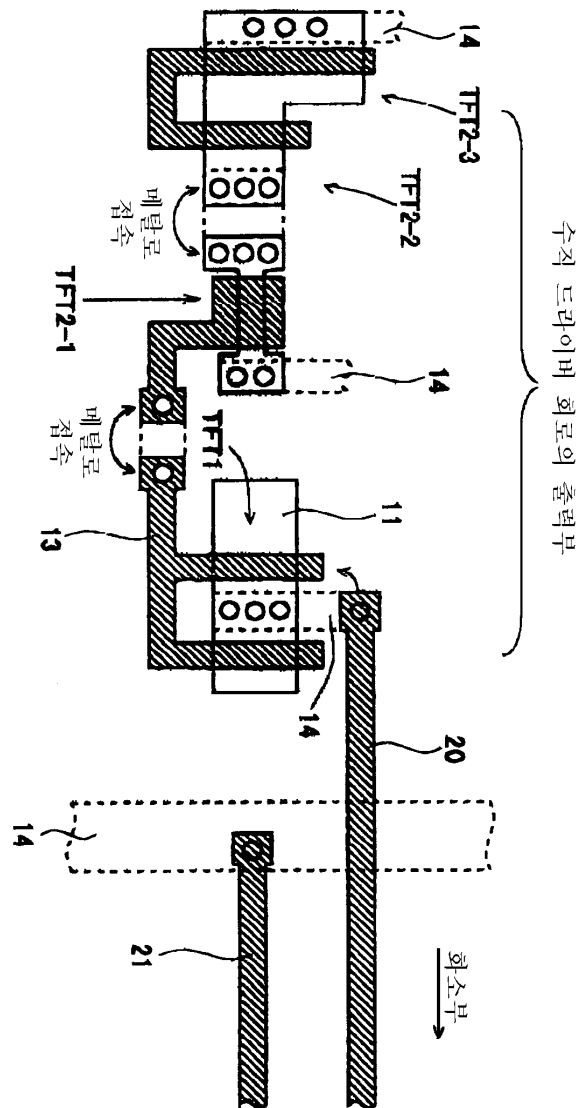
도면7



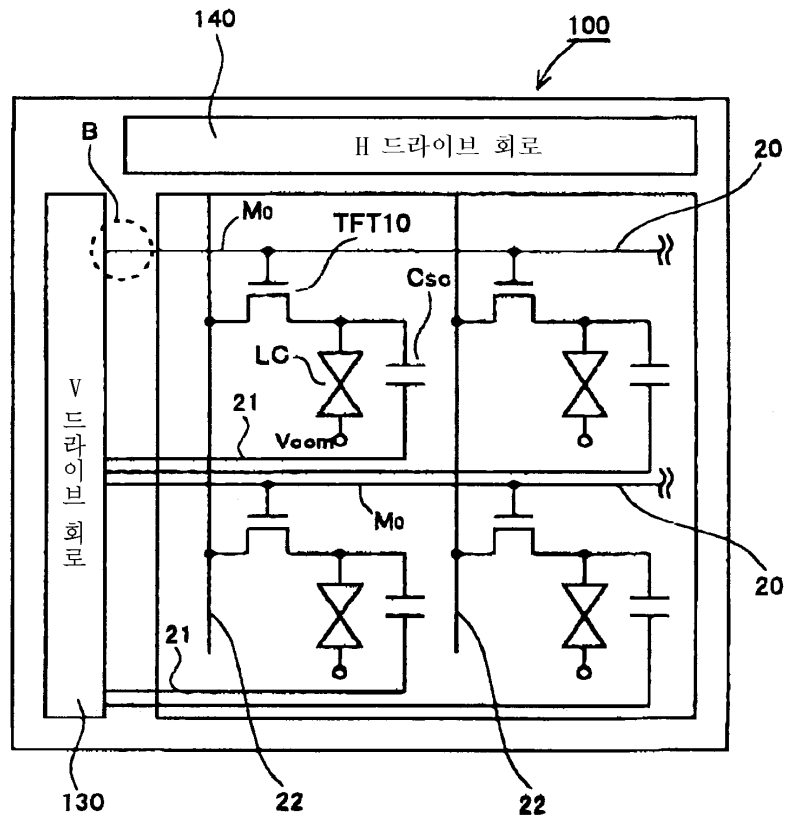
도면8



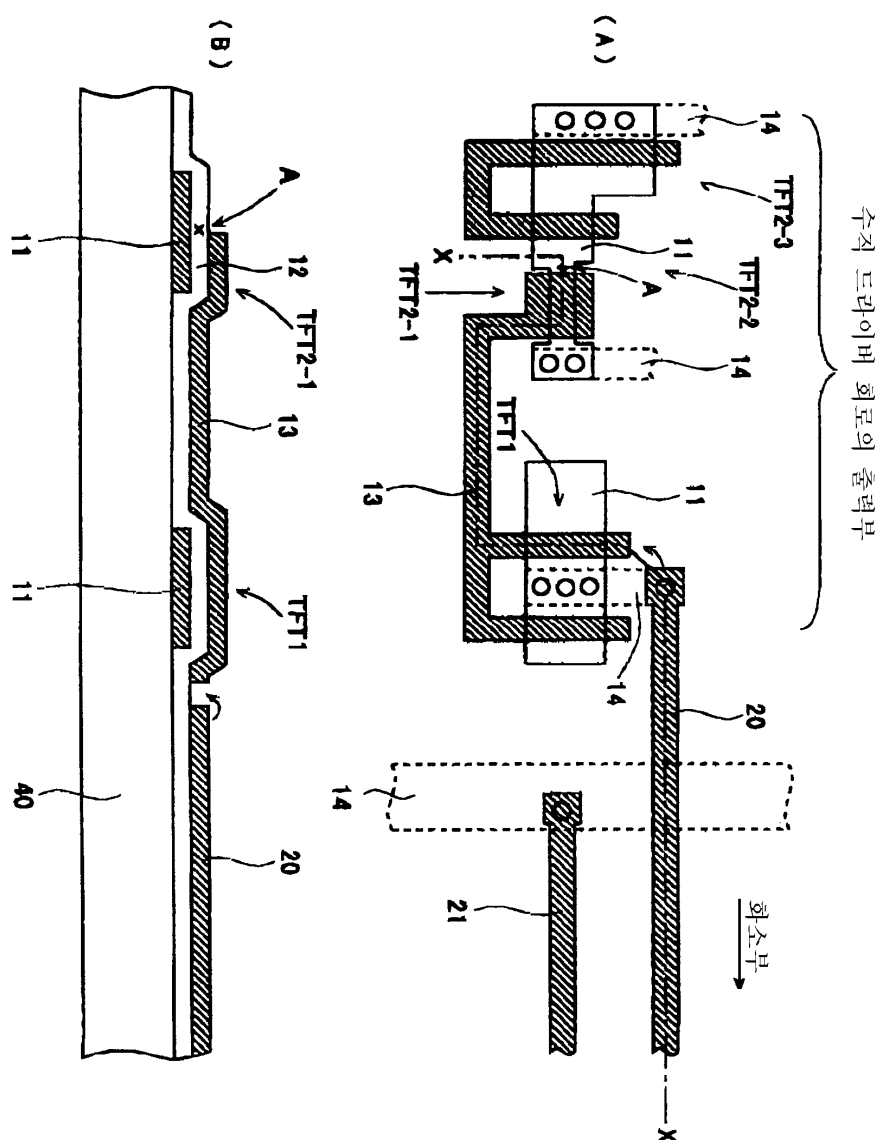
도면9



도면10



도면11



专利名称(译)	显示设备		
公开(公告)号	KR100576671B1	公开(公告)日	2006-05-08
申请号	KR1020030079059	申请日	2003-11-10
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租		
当前申请(专利权)人(译)	三洋电机有限公司是分租		
[标]发明人	SEGAWA YASUO 세가와야스오 AOTA MASAOKI 아오따마사아끼 YAMADA TSUTOMU 야마다쯔토무		
发明人	세가와야스오 아오따마사아끼 야마다쯔토무		
IPC分类号	G02F1/133 G02F1/1368 G02F1/1345 G02F1/1362 G09F9/00 G09F9/30 G09G3/20 G09G3/36 H01L29/786 H01L51/50		
CPC分类号	G02F1/1345 G02F1/136286		
代理人(译)	LEE , JUNG HEE CHANG, SOO KIL		
优先权	2002326413 2002-11-11 JP		
其他公开文献	KR1020040041515A		
外部链接	Espacenet		

摘要(译)

在显示装置中，防止了薄膜晶体管的栅极绝缘层的介电击穿或绝缘泄漏的发生。在栅极线20到达垂直驱动器电路130的输出部分的同时划分栅极线20，并且划分的栅极线20和20连接到上层的金属布线25。栅极线20由例如钼（Mo）或铬（Cr）制成金属配线25是由铝制成。栅极线20，是因为它被分开，在该电荷在栅极线20积累，而不是被排放到所述栅极线13在薄膜晶体管TFT1的液晶显示装置的制造工序的过程中，第二薄膜晶体管TFT2的薄膜晶体管栅极绝缘层（12）被防止被打破。2 指数方面的有源层，栅线，垂直驱动电路，金属

