

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl. <i>G02F 1/1343</i> (2006.01)	(45) 공고일자 2006년03월28일
	(11) 등록번호 10-0563699
	(24) 등록일자 2006년03월16일

(21) 출원번호 10-2002-0020855	(65) 공개번호 10-2002-0081133
(22) 출원일자 2002년04월17일	(43) 공개일자 2002년10월26일

(30) 우선권주장 JP-P-2001-00118083	2001년04월17일	일본(JP)
----------------------------------	-------------	--------

(73) 특허권자 엔이씨 엘씨디 테크놀로지스, 엘티디. 일본 가나가와Ken 가와사끼시 나카하라구 시모누마베 1753
--

(72) 발명자 마츠모토 키미카즈 일본국도쿄도미나토구시바5-7-1닛쁜텐끼가부시끼가이샤내
--

한누키타카히사 일본국도쿄도미나토구시바5-7-1닛쁜텐끼가부시끼가이샤내
--

코이케마사시 일본국도쿄도미나토구시바5-7-1닛쁜텐끼가부시끼가이샤내
---

니시다신이치 일본국도쿄도미나토구시바5-7-1닛쁜텐끼가부시끼가이샤내
---

이타쿠라 쿠니마사 일본국도쿄도미나토구시바5-7-1닛쁜텐끼가부시끼가이샤내
--

(74) 대리인 최달용
-----------------

**심사관 : 윤성주**

**(54) 능동 매트릭스형 액정 디스플레이 장치의 제조 방법**

**요약**

IPS 모드 능동 매트릭스형 액정 디스플레이 장치에 있어서, 데이터 신호를 제공하는 데이터 라인(24), 기준 전압이 인가되는 공통 전극 배선부(26a 및 26b), 공통 전극(26), 디스플레이될 픽셀에 대응하는 픽셀 전극, 주사 신호가 제공되는 주사 라인(28), 및 TFT(50)가 능동 소자 기판(11) 상에 마련된다. 공통 전극 배선부(26a 및 26b)는 제 1의 금속층을 사용하여 형성되고, 주사 라인에 평행하게 연장하며 그 주변부에서 공통 전극 전위에 연결된다. 돌출부(299a 및 299b)는 나중에 형성될 데이터 라인(24)의 양측에 위치되도록 공통 전극 배선부(26a 및 26b)의 적어도 하나에 형성된다. 디스플레이 장치의 디스플레이 열룩은 감소되고 개구율은 향상된다.

**대표도**

도 7

### 색인어

IPS, 능동, 매트릭스, 액정,

### 명세서

#### 도면의 간단한 설명

도 1은 포토리소그래피에서 분할 노광이 이상적으로 수행될 때 노광 샷에 의해 형성되는 패턴을 도시하는 도면.

도 2는 포토리소그래피의 분할 노광에서 특정한 일회의 노광 샷이 어긋나게된 경우에 노광 샷에 의해 형성되는 패턴을 도시하는 도면.

도 3a는 TFT 소자 부근의 구조가 이상적으로 형성되는 경우의 단위 소자의 평면도.

도 3b는 도 3a에 도시된 데이터 라인총이 게이트 라인총에 대해서 오른쪽으로 어긋나게 되는 경우의 단위 소자의 평면도.

도 4는 도 1에서 도시된 분할 노광에 의해 제조되는 액정 패널의 중간 톤 디스플레이(middle tone display)를 도시하는 도면.

도 5는 도 2에 도시된 분할 노광에 의해 제조되는 액정 패널의 중간 톤 디스플레이를 도시하는 도면.

도 6은 중간 톤 디스플레이에서의 분할 얼룩을 도시하는 도면.

도 7은 본 발명의 실시예에 따른 액정 디스플레이 장치의 단위 픽셀을 도시하는 평면도.

도 8은 도 7의 A-A' 라인을 따른 단면도.

도 9는 도 7에 도시된 단위 픽셀의 등가 회로도.

도 10a은 도 7에 도시된 제 1의 금속층 및 제 2의 금속층이 형성되는 영역의 평면도.

도 10b는 도 7에 도시된 투명 전극(ITO)이 형성되어 도 10a의 상부에 중첩되는 패턴을 나타내는 영역의 평면도.

도 11은 도 12의 A-A' 라인, B-B' 라인 및 C-C' 라인을 따라 취해진 본 발명의 단위 픽셀의 TFT 기판측의 단면도.

도 12는 도 7에 대응하며 도 11에 도시된 TFT 기판측의 일부의 평면도.

도 13은 데이터 라인과 공통 전극 사이의 폭에서의 관계를 도시하는 단위 픽셀의 부분 단면도.

도 14는 데이터 라인과 블랙 매트릭스총 사이의 폭에서의 관계를 도시하는 단위 픽셀의 부분 단면도.

도 15는 블랙 매트릭스총이 형성되는 도 7에 도시된 대향 기판의 영역을 도시하는 평면도.

도 16은 공통 전극이 투명 전극(ITO)인 경우의 장점을 설명하기 위한, 본 발명에 따른 액정 디스플레이 장치의 부분 단면도.

도 17은 본 발명에 따른 액정 디스플레이 장치의 콘택트홀의 배치를 도시하는 평면도.

도 18a 내지 도 18k는 본 발명에 따른 액정 디스플레이 장치의 제조 방법의 제조 단계를 도시하는 단면도.

도 19는 본 발명의 리소그래피에서 제 1의 금속층에 대한 비정질 실리콘층의 노광 패터닝을 보정하기 위한 보정 방법을 설명하는 도면.

도 20은 본 발명의 리소그래피에서 제 1의 금속층에 대한 제 2의 금속층의 노광 패터닝을 보정하기 위한 보정 방법을 설명하는 도면.

도 21a는 본 발명의 제 2의 실시예에서 제 1의 금속층과 제 2의 금속층에 의해 형성되는 영역을 도시하는 평면도.

도 21b는 도 21a에 도시된 영역에 중첩될 투명 전극(ITO)에 의해 형성되는 영역을 도시하는 평면도.

도 22a는 본 발명의 제 3의 실시예에서 제 1의 금속층과 제 2의 금속층에 의해 형성되는 영역을 도시하는 평면도.

도 22b는 도 22a에 도시된 영역에 중첩될 투명 전극(ITO)에 의해 형성되는 영역을 도시하는 평면도.

도 23a는 본 발명의 제 4의 실시예에서 제 1의 금속층과 제 2의 금속층에 의해 형성되는 영역을 도시하는 평면도.

도 23b는 도 23a에 도시된 영역에 중첩될 투명 전극(ITO)에 의해 형성되는 영역을 도시하는 평면도.

도 24a는 본 발명의 제 5의 실시예에서 제 1의 금속층과 제 2의 금속층에 의해 형성되는 영역을 도시하는 평면도.

도 24b는 도 24a에 도시된 영역에 중첩될 투명 전극(ITO)에 의해 형성되는 영역을 도시하는 평면도.

도 25a는 본 발명의 제 6의 실시예에서 제 1의 금속층과 제 2의 금속층에 의해 형성되는 영역을 도시하는 평면도.

도 25b는 도 25a에 도시된 영역에 중첩될 투명 전극(ITO)에 의해 형성되는 영역을 도시하는 평면도.

도 26a는 본 발명의 제 7의 실시예에서 제 1의 금속층과 제 2의 금속층에 의해 형성되는 영역을 도시하는 평면도.

도 26b는 도 26a에 도시된 영역에 중첩될 투명 전극(ITO)에 의해 형성되는 영역을 도시하는 평면도.

도 26c는 도 26a에 도시된 영역에서 제 1의 금속층과 제 2의 금속층에 의해 형성되는 영역을 도시하는 평면도.

도 26d는 도 26a에 도시된 영역에서 제 2의 금속층에 의해 형성되는 영역을 도시하는 평면도.

도 27a는 본 발명의 제 8의 실시예에서 제 1의 금속층과 제 2의 금속층에 의해 형성되는 영역을 도시하는 평면도.

도 27b는 도 27a에 도시된 영역에 중첩될 투명 전극(ITO)에 의해 형성되는 영역을 도시하는 평면도.

도 28a는 본 발명의 제 9의 실시예에서 제 1의 금속층과 제 2의 금속층에 의해 형성되는 영역을 도시하는 평면도.

도 28b는 도 28a에 도시된 영역에 중첩될 투명 전극(ITO)에 의해 형성되는 영역을 도시하는 평면도.

도 29a는 본 발명의 제 10의 실시예에서 제 1의 금속층과 제 2의 금속층에 의해 형성되는 영역을 도시하는 평면도.

도 29b는 도 29a에 도시된 영역에 중첩될 투명 전극(ITO)에 의해 형성되는 영역을 도시하는 평면도.

도 29c는 도 29a에 도시된 영역에서 제 1의 금속층과 비정질 실리콘층에 의해 형성되는 영역을 도시하는 평면도.

도 29d는 도 29a에 도시된 영역에서 제 2의 금속층과 비정질 실리콘층에 의해 형성되는 영역을 도시하는 평면도.

도 30a는 본 발명의 제 11의 실시예에 따른 제 1의 금속층과 제 2의 금속층에 의해 형성되는 영역을 도시하는 평면도.

도 30b는 도 30a에 도시된 영역에 중첩될 투명 전극(ITO)에 의해 형성되는 영역을 도시하는 평면도.

도 31a는 본 발명의 제 12의 실시예에서 제 1의 금속층과 제 2의 금속층에 의해 형성될 영역을 도시하는 평면도.

도 31b는 도 31a에 도시된 영역에 중첩될 투명 전극(ITO)에 의해 형성되는 영역을 도시하는 평면도.

도 32a는 본 발명의 제 13의 실시예에 따른 제 1의 금속층과 제 2의 금속층에 의해 형성되는 영역을 도시하는 평면도.

도 32b는 도 32a에 도시된 영역에 중첩될 투명 전극(ITO)에 의해 형성되는 영역을 도시하는 평면도.

도 33a는 본 발명의 제 14의 실시예에서 제 1의 금속층과 제 2의 금속층에 의해 형성되는 영역을 도시하는 평면도.

도 33b는 도 33a에 도시된 영역에 중첩될 투명 전극(ITO)에 의해 형성되는 영역을 도시하는 평면도.

#### ♠도면의 주요 부분에 대한 부호의 설명♠

11 : 능동 소자 기판 12 : 대향 기판

13 : 액정층 16, 22 : 투명 절연 기판

17 : 블랙 매트릭스층 18 : 칼라층

19 : 투명 오버코트층 20, 31 : 배향층

23 : 제 1의 층간 절연막 24 : 데이터 라인

26 : 공통 전극 26a, 26b : 공통 전극 배선부

28 : 주사 라인 30a : 드레인 전극

30b : 소스 전극 30c : 게이트 전극

35 : 픽셀 보조 전극 50 : TFT

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

##### 발명의 배경

##### 발명의 분야

본 발명은 액정 디스플레이 장치와 그 제조 방법에 관한 것으로서, 특히 IPS(In-Plane Switching) 모드 능동 매트릭스형 액정 디스플레이 장치와 그 제조 방법에 관한 것이다.

##### 관련 기술의 설명

픽셀 스위칭 소자로서 TFT(Thin Film Transistors)를 사용하는 능동 매트릭스형 액정 디스플레이 장치(이하, "AMLCD"로 칭함)는 고화질 이미지를 제공할 수 있고 휴대형 컴퓨터의 디스플레이 장치, 특히 최근에는 소형의 데스크탑 컴퓨터의 모니터로서 사용되고 있다.

AMLCD는 개략적으로 기판에 수직한 평면에서 배향 액정 분자의 문자축의 방향("디렉터(director)"로 칭해짐)을 회전시키는 것에 의해 디스플레이가 수행되는 형태와, 기판에 평행한 평면에서 디렉터를 회전시키는 것에 의해 디스플레이가 수행되는 형태로 분류된다.

TN(Twisted Nematic) 모드 액정 디스플레이 장치가 전자의 전형적인 예이고 IPS(In-Plane Switching) 모드 액정디스플레이 장치가 후자의 전형적인 예이다.

IPS 모드 AMLCD에 있어서, 사용자는 기본적으로 시점(view point)이 이동되는 경우에도 짧은 축 방향에서만 액정 분자를 보기 때문에, 시야각(viewing angle)에 대한 액정 분자의 "상승(rising)"의 의존성이 존재하지 않고 TN 모드 액정 디스플레이 장치에서 얻을 수 있는 시야각보다 더 넓은 시야각을 얻을 수 있다.

일반적으로, 액정 디스플레이 장치가 제조될 때, 기판 상의 패턴화는 포토 마스크를 사용하는 포토리소그래피에 의해 수행된다.

액정 패널의 크기가 커질수록, 기판의 전면에 액정 패널의 패턴을 전송하기 위한 포토 마스크의 크기가 점점 더 커지기 때문에, 포토 마스크의 비용은 아주 높아지게 된다. 따라서, 제조 단계를 낮추기 위해서는, 각각의 디스플레이 영역에 형성되는 반복 패턴을, 전체 디스플레이 영역을 다수의 부영역으로 분할하고 이 부영역을 하나의 패턴을 위한 단일의 작은 포토 마스크를 사용하여 하나씩 노광하는 것에 의해, 형성하는 것이 일반적이다. 이 기술은 일반적으로 "스테퍼 노광(stepper exposure)"으로 칭해진다.

그러나, 스테퍼 노광은 기판 내의 디스플레이 영역에서 수행되기 때문에, 디스플레이 영역에 패턴화된 층을 적층함에 있어서는, 매 샷(shot)마다 수직 방향에서 하부층을 정확하게 패턴화하고 매 노광 샷마다 수평 방향에서 인접한 노광 샷 사이의 중첩 영역의 오차를 가능한 한 작게 할 필요가 있다.

인접한 노광 샷 사이의 중첩 영역이 큰 경우, 형성된 패턴의 품질은 노광 샷마다 상이하게 되어, 분할의 얼룩(unevenness of division)으로 칭해지는 디스플레이 결함으로 나타나게 된다.

한편, IPS 모드 AMLCD는 넓은 시야각의 장점이 있지만 픽셀 영역의 개구의 면적이 작다는 단점을 갖는다. 따라서, 개구의 면적을 증가시키기 위한 기술이 최근 더 각광받고 있다.

IPS 모드 액정 디스플레이 장치의 일 예가 JP H07-036058 A(이하, 종래기술1로 칭함)에 개시되어 있다.

종래기술1에 개시된 IPS 모드 액정 디스플레이 장치는 TFT 어레이 기판과, 최초에 기판 상에 형성되는 주사 라인과, 주사 라인과 동일 금속층에 형성되는 공통 전극, 공통 전극과 절연막 사이에 형성되는 신호 라인(이하, 데이터 라인으로 칭함) 및 데이터 라인과 동일층에 형성되는 픽셀 전극으로 구성된다.

IPS 모드 액정 디스플레이 장치의 다른 예는 미국 특허 제6,069,678호(JP H10-186407호에 대응하며 이하 종래기술2로 칭함)에 개시되어 있다. 종래기술2의 일 실시예에 있어서, 공통 전극은 최초에 형성된 주사 라인과 동일한 층 대신 최상층에 형성된다.

후자의 경우에 있어서는, 데이터 라인에 의해 생성된 전기장을 공통 전극으로 차단하고 픽셀의 유효 디스플레이 영역을 넓히는 것이 가능하기 때문에, 픽셀의 개구율을 향상시키는 것이 가능하게 되어, 광 활용 효율을 높일 수 있다.

큰 면적의 LCD가 스테퍼를 사용하는 것에 의해 노광될 때, 노광 샷 간에 위치적 정밀도가 아주 높아야 한다.

스테퍼 노광을 참조하여 이를 설명하면, 기판에 대한 패턴 노광은 도 1에 도시된 바와 같이 패턴을 분할함으로써 수행된다. 투명 절연 기판의 크기가 존(37Z)으로 구성된다고 가정하면, 주변부에 정렬된 존(1Z 내지 20Z)은 디스플레이 영역으로 전압을 입력하기 위한 주변 단말부를 형성하며 액정 디스플레이로서 디스플레이 영역은 두꺼운 실선으로 정의된 영역 내에서 존(21Z 내지 36Z)에 의해 형성된다.

예를 들면, 도 2는 21Z에서의 노광 샷만이 게이트 층에 대해 오른쪽으로 어긋난 경우를 도시한다. 도 3a는 단위 TFT 소자 부근에서의 이상적으로 정렬된 패턴 레이아웃을 도시한다. 도 3a에 도시된 바와 같이, 층간 절연막은 공통 전극 배선층

(26a)과 제 1의 배선층을 형성하는 주사 라인(28) 상에 형성되고, 층간 절연막 상에는, 픽셀 보조 전극(35)과 제 2의 배선 층을 형성하는 데이터 라인(24)이 형성된다. TFT 영역에서, 비정질 실리콘(29)은 주사 라인(28) 상에 형성되고 데이터 라인(24)에 접속된 드레인 전극(30a)과 픽셀 보조 전극(35)에 접속된 소스 전극(30b)은 비정질 실리콘층(29) 상에 형성된다.

도 3b는 데이터 라인, 드레인 전극 및 픽셀 보조 전극의 패턴이 오른쪽 방향으로 어긋난 경우를 도시한다. 도 3b에 있어서, 21Z의 노광 샷이 주사 라인(28)(게이트 라인)에 대해서 오른쪽으로 어긋나게 되면, 비정질 실리콘층(29)과 중첩되는 드레인 전극과 소스 전극의 면적은 감소된다. 따라서, TFT의 액정에 인가되는 전압에 대한, 준(21Z)의 노광 샷에 의해 형성되는 TFT의 기록 및 유지(holding) 특성은 변경된다. 따라서, 도 5에 도시된 바와 같이 노광 샷이 어긋나는 영역만이 어둡게 되기 때문에 디스플레이 상태는, 도 4에 도시된 인접한 노광 샷 사이에서 중첩 어긋남이 없는 액정 디스플레이 장치의 균일한 디스플레이 상태와 비교해서, 불균일하게 된다.

게이트 층(주사 라인(28)) 상의 픽셀 보조 전극(35)과 데이터 라인(24)이 인접한 노광 샷 사이에서 여러 가지 양만큼 게이트 층에 대해 어긋나게 되면, 어긋남은 디스플레이의 얼룩으로 판측되고, 이는 도 6에 도시된 바와 같이 분할의 얼룩으로 보이게 된다.

이러한 고정밀도의 배치를 달성하기 위해서는, 고정밀도로 절대 위치에 대해 수행된 제 1의 층(제 1의 배선층)의 노광에 후속하여 수행되는 제 2의 노광(제 2의 배선층) 및 후속 노광이 하기와 같이 수행되어야만 한다.

먼저, 제 1의 층에 형성된 얼라인먼트 마커(alignment marker)를 검출하고, 검출된 얼라인먼트 마커를 기준으로 하여, 제 1의 층의 패턴과의 설계 중첩이 얻어지도록 노광을 프로그래밍하는 것에 의해 테스트 노광을 수행한다.

계속해서, 미세 치수 측정 장치에 의해 제 1의 층의 패턴에 대한 제 2의 층의 레지스트 패턴의 위치 관계를 측정하고, 측정에 기초하여 최적의 위치로부터 제 1의 층의 레지스트 패턴의 어긋남을 검출하고 검출된 어긋남을 노광 프로그램에 피드백하여 제 2의 노광 샷을 최적의 위치가 되도록 할 필요가 있다.

상기 언급된 종래기술1에 있어서, 제 1의 층에 공통 전극이 존재하는데, 이는 제 2의 층의 데이터 라인의 세로 방향(longitudinal direction)으로 연장한다. 따라서, 미세 치수 측정 장치에 의한 가로 방향(lateral direction)에서의 위치 측정에서 다수의 공통 전극을 기준으로 사용함으로써 가로 방향에서의 얼라인먼트를 정확하게 수행하는 것이 가능하다.

또한, 미세 치수 측정 장치에 의한 세로 방향의 위치 측정에서, 가로 방향으로(laterally) 연장하는 제 1의 층의 주사 라인 또는 공통 전극에 전위를 공급하는 공통 전극용 배선을 기준으로 이용함으로써, 세로 방향의 얼라인먼트를 정확하게 수행할 수 있다.

그러나, 종래기술2의 경우에서와 같이 제 1의 층의 데이터 라인의 연장 방향으로 연장하는 공통 전극의 패턴과 같은 패턴이 존재하지 않으면, 미세 치수 측정 장치에 의한 가로 방향의 위치 측정에 대한 기준이 존재하지 않게 된다. 따라서, 가로 방향의 얼라인먼트를 정확하게 수행할 수 없게 되고 분할의 얼룩이 발생하는 문제점이 생기게 된다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 이러한 문제점을 감안하여 이루어진 것으로 본 발명의 목적은 종래기술의 디스플레이 장치에서의 문제점을 해결할 수 있는 능동 매트릭스형 액정 디스플레이 장치를 제공하는 것이다.

본 발명의 다른 목적은 상기 능동 매트릭스형 액정 디스플레이 장치를 제조하기 위한 제조 방법을 제공하는 것이다.

상기 목적을 달성하기 위하여, 본 발명은, 제 2의 배선층의 배선 방향으로 연장하는 측면을 갖는 영역이 제 1의 배선층이 형성되는 시간과 동일한 시간에 제 1의 배선층(하부 배선층)을 형성하는 재료로 형성되는 점을 특징으로 한다.

본 발명에 따르면, 액정층을 사이에 끼운 한 쌍의 기판을 구비하는 IPS 모드 능동 매트릭스형 액정 디스플레이 장치에 있어서, 다수의 픽셀 영역과 공통 전극 배선 위로 각각 연장하는 주사 라인을 구성하는 제 1의 도전층이 상기 기판 쌍 중 TFT와 같은 스위칭 소자가 상부에 형성되는 능동 소자층 기판 상에 형성된다. 주사 라인의 연장 방향과 교차하는 방향으로 각각 연장하는 위치 정렬 기준 패턴(positioning reference pattern)은 제 1의 도전층에 형성된다. 또한, 다수의 스위칭 소자는 주사 라인과 관련된 다수의 픽셀 영역에 대응하여 능동 소자 기판에 형성된다. 다수의 스위칭 소자와 관련된 다수의 픽셀 영역 위로 각각 연장하는 데이터 라인을 구성하는 제 2의 도전층이 스위칭 소자의 전극 형성과 동시에 형성되며

데이터 라인의 연장 방향은 위치 정렬 기준 패턴 영역의 연장 방향과 일치하도록 위치된다. 또한, 픽셀 전극과 공통 전극을 구성하는 제 3의 도전층이 최상부층의 측면(액정층에 가까움)에 형성되고 픽셀 전극은 콘택트홀을 통해 각각의 스위칭 소자와 전기적으로 연결된다.

본 발명에 따른 IPS 모드 능동 매트릭스형 액정 디스플레이 장치의 양호한 실시예에 있어서, 공통 전극은 투명 전극 재료로 형성되고 주사 라인 근처 이외의 데이터 라인은 공통 전극의 폭 내에 위치된다. 위치 정렬 기준 패턴 영역은 공통 전극 배선의 일부와 주사 라인의 일부 중 적어도 하나에 마련되는 돌출부와 오목부 중 적어도 하나를 구비한다.

다른 양호한 실시예에 있어서, 공통 전극과 픽셀 전극은 동일한 재료로 형성되고 공통 전극은 픽셀 영역마다 제 1의 도전층과 제 3의 도전층 사이의 절연층에 마련된 콘택트홀을 통해 공통 전극 배선에 전기적으로 연결된다.

또 다른 양호한 실시예에 있어서, 데이터 라인을 회복하는 공통 전극의 폭보다 더 작은 폭을 갖는 블랙 매트릭스층이 능동 소자 기판에 대향하는 대향 기판 상의 데이터 라인에 대향하는 위치에 형성되고 데이터 라인을 회복하는 공통 전극과 공통 전극에 인접한 픽셀 전극 사이에는 평면도로 봤을 때 차광막이 존재하지 않는다.

본 발명의 다른 양호한 실시예에 있어서, 위치 정렬 기준 패턴 영역이 돌출부 또는 오목부인 경우, 위치 정렬 기준 패턴 영역은 데이터 라인의 양측에 정렬된다.

데이터 라인에 수직한 방향에서의 위치 정렬 기준 패턴 영역으로서의 돌출부 또는 오목부의 폭은  $2\mu\text{m}$  이상  $10\mu\text{m}$  이하인 것이 바람직하다. 상기 언급된 범위 내로 돌출부 또는 오목부의 폭을 설정함으로써, 개구율을 감소하지 않으면서 고정밀도로 미세 치수 측정을 수행할 수 있다.

특히, 돌출부의 길이는  $5\mu\text{m}$  이상이고 픽셀 개구의 길이 이하인 것이 바람직하다. 이 경우, 고정밀도로 미세 치수 측정을 안정하게 수행할 수 있다.

또한, 본 발명에 따른 IPS 모드 능동 매트릭스형 액정 디스플레이 장치의 양호한 실시예에 있어서, 스위칭 소자는 박막 트랜지스터이고 박막 트랜지스터용 반도체층 영역은 박막트랜지스터의 게이트 전극으로서 주사 라인 상에 형성된 제 1의 절연층 상에 형성된다. 본 실시예에 있어서, 반도체층의 박막 트랜지스터의 소스 전극과 드레인 전극은 제 2의 도전층에 의해 형성되고 소스 및 드레인 전극 중 한 전극과 나머지 한 전극은 데이터 라인과 픽셀 전극에 각각 전기적으로 연결된다.

특히, 상기 언급된 IPS 모드 능동 매트릭스형 액정 디스플레이 장치는 제 2의 기판 상에 형성되는 칼라층과 블랙 매트릭스 층을 더 포함한다. 액정 디스플레이 장치에 있어서, 기준 전위가 공통 전극에 인가되고, 공통 전극 배선과 주사 라인은 동일한 단계에서 동일한 재료로 형성되며, 게이트 전극, 드레인 전극, 소스 전극 및 공통 전극은 주사 라인, 데이터 라인, 픽셀 전극 및 공통 전극 배선에 각각 연결된다. 제 1의 기판의 주면(main surface)에 거의 평행하게 인가되는 전기장에 의해 상기 제 1의 기판의 주면에 평행한 면 내에서 액정층의 분자축을 회전시킴으로써 디스플레이가 수행되고, 주사 라인 근처 이외의 데이터 라인은 절연층을 사이에 끼우는 것에 의해 공통 전극에 의해 완전히 회복되며, 공통 전극은 각각의 픽셀 영역에 마련된 콘택트홀을 통해 공통 전극 배선에 전기적으로 연결되며, 공통 전극 배선과 주사 라인의 적어도 하나는 픽셀 영역마다 데이터 라인의 연장 방향으로 연장하는 돌출부 및 오목부 중 적어도 하나를 구비하며, 공통 전극에 의해 데이터 라인이 완전히 회복되는 영역의 데이터 라인에 대향하는 위치에 정렬된 블랙 매트릭스의 폭은 데이터 라인을 회복하는 공통 전극의 폭보다 더 작으며 데이터 라인을 회복하는 공통 전극과 이에 인접한 픽셀 전극 사이에는 차광막이 존재하지 않는다.

본 발명의 다른 실시예에 있어서, 위치 정렬 기준 패턴은 주사 라인과 공통 전극 배선과 전기적으로 절연된 플로팅 영역으로서 데이터 라인 근처에 정렬된다.

플로팅 영역을 구비하는 후자의 구성에 있어서, 플로팅 영역의 적어도 하나는 적색, 녹색 및 청색 중 어느 하나의 픽셀 영역에만 형성된다. 적색, 녹색 및 청색 중 하나만의 픽셀에 플로팅 영역을 배치하는 구성에 의하면, 고정밀도로 미세 치수 측정을 안정하게 달성할 수 있다. 개구율은 플로팅 영역의 수를 줄임으로써 더 향상될 수 있다.

플로팅 영역의 적어도 하나는 여러 픽셀 영역의 간격으로 형성될 수도 있다. 플로팅 영역의 이러한 배치를 통해, 미세 치수 측정을 고정밀도로 수행할 수 있고 플로팅 영역의 수를 줄임으로써 개구율은 더 향상될 수 있다.

플로팅 영역의 적어도 하나는 절연막을 사이에 끼워 데이터 라인 바로 아래에 정렬된다. 플로팅 영역을 데이터 라인 바로 아래에 정렬함으로써, 개구율을 줄이지 않으면서 미세 치수 측정이 안정하게 수행될 수 있는 패턴을 형성할 수 있다. 또한, 플로팅 영역을 제공함으로써, 데이터 라인은 용량 부하(capacitive load)를 갖지 않으며 신호 지연을 방지할 수 있다.

상기 상술된 IPS 모드 능동 매트릭스형 액정 디스플레이 장치를 제조하기 위한 제조 방법에 있어서, 적어도 디스플레이 영역의 패턴 형성이 분할 포토 마스크를 사용하는 스텝페 노광에 의해 수행되는 본 발명에 따르면, 포토리소그래피에 의해 공통 전극 배선이 형성되는 적층의 새로운 층의 패턴화를 수행할 때 분할 노광 사이에서의 노광 보정은 위치 정렬 기준 패턴 영역에 의해 공통 전극 배선이 형성되는 층에 대해서 포토 마스크의 상대 위치를 정밀하게 측정함으로써 수행된다.

본 발명의 또 다른 실시예에 따르면, 능동 소자 기판과, 대향 기판 및 능동 소자 기판과 대향 기판 사이에 유지된 액정층을 적어도 포함하는 IPS 모드 능동 매트릭스형 액정 디스플레이 장치가 마련되는데, 대향 기판은 칼라층과 블랙 매트릭스층을 포함하고 능동 소자 기판은 게이트 전극과, 드레인 전극 및 소스 전극을 각각 포함하는 TFT와, 디스플레이될 픽셀에 대응하는 픽셀 전극과, 기준 전위를 제공받는 공통 전극과, 데이터 라인과, 주사 라인 및 공통 전극 배선을 포함하고, 공통 전극 배선과 주사 라인은 동일한 단계에서 동일한 재료로 형성되고, TFT의 게이트 전극과, 드레인 전극 및 소스 전극은 주사 라인과, 데이터 라인 및 픽셀 전극에 각각 전기적으로 연결되며, 픽셀 전극과 공통 전극 사이에서 능동 소자 기판의 주면에 거의 평행하게 인가되는 전기장에 의해 능동 소자 기판의 주면에 평행한 면 내에서 액정층의 분자축을 회전시킴으로써 디스플레이가 수행되고, 공통 전극은 데이터 라인보다는 액정층에 더 가까운 층에서 투명 전극 재료로 형성되며, 주사 라인 근처 이외의 데이터 라인은 절연막 사이에 삽입되고 공통 전극에 의해 완전히 피복되며, 공통 전극은 각각의 픽셀 영역에 마련된 콘택트홀을 통해 공통 전극 배선에 연결되고, 픽셀 영역마다 공통 전극 배선 또는 주사 라인의 일부에 의해 형성되며 데이터 라인의 연장 방향으로 연장하는 돌출부 또는 오목부를 포함하며 공통 전극에 의해 완전히 피복되는 영역의 데이터 라인에 대향하는 위치에 정렬되는 블랙 매트릭스의 폭은 데이터 라인을 피복하는 공통 전극의 폭보다 더 작고 데이터 라인을 피복하는 공통 전극과 이에 인접한 픽셀 전극 사이에는 차광막이 존재하지 않는다.

본 발명의 다른 실시예에 따르면, 능동 소자 기판과, 대향 기판 및 상기 능동 소자 기판과 대향 기판 사이에 유지되는 액정층을 적어도 포함하는 IPS 모드 능동 매트릭스형 액정 디스플레이 장치가 마련되는데, 상기 대향 기판은 칼라층과 블랙 매트릭스층을 포함하고, 능동 소자 기판은 게이트 전극과, 드레인 전극 및 소스 전극을 각각 포함하는 TFT와, 디스플레이될 픽셀에 대응하는 픽셀 전극과, 기준 전위를 제공받는 공통 전극과, 주사 라인 및 공통 전극 배선을 포함하고, 상기 공통 전극 배선과 주사 라인은 동일 단계에서 동일 재료로 형성되고, 게이트 전극, 드레인 전극, 소스 전극 및 공통 전극은 주사 라인, 데이터 라인, 픽셀 전극 및 공통 전극 배선에 각각 전기적으로 연결되며, 픽셀 전극과 공통 전극 사이에서 능동 소자 기판의 주면에 거의 평행하게 인가되는 전기장에 의해 능동 소자 기판의 주면에 평행한 면 내에서 액정층의 분자축을 회전시킴으로써 디스플레이가 수행되고, 공통 전극은 데이터 라인보다는 액정층에 더 가까운 층에서 투명 전극 재료로 형성되며, 주사 라인 근처 이외의 데이터 라인은 절연막을 사이에 끼운 상태로 공통 전극에 의해 완전히 피복되며, 공통 전극은 각각의 픽셀 영역에 마련된 콘택트홀을 통해 공통 전극 배선에 연결되고, 매 단위 소자의 연장 방향으로 연장하여 공통 전극 배선과 주사 라인의 막과 동일한 막으로 형성되는 패턴은 데이터 라인 근처 또는 데이터 라인의 층과 동일한 층에 의해 형성된 패턴 근처에 정렬되며, 공통 전극 배선 및 주사 라인의 막과 동일한 막으로 형성된 패턴은 전기적으로 플로팅하며, 공통 전극에 의해 데이터 라인이 완전히 피복되는 영역의 데이터 라인에 대향하는 위치에 정렬된 블랙 매트릭스의 폭은 데이터 라인을 피복하는 공통 전극의 폭보다 더 작으며 데이터 라인을 피복하는 공통 전극과 이에 인접한 픽셀 전극 사이에는 차광막이 존재하지 않는다.

이러한 액정 디스플레이 장치에 있어서, 데이터 라인의 세로 방향으로 연장하는 패턴은 초기에 형성된 주사 라인과 공통 전극 배선을 포함하는 층과 동일한 층에 형성되기 때문에, 미세 치수 측정에 대한 기준으로서 사이 패턴을 사용하는 것에 의해 제 2 및 후속 층에 대한 열라인먼트를 정확하게 수행할 수 있게 되어 스텝페 노광에 의해 야기되는 분할 열룩 없이 높은 개구율을 갖는 IPS 모드 액정 디스플레이 장치를 얻을 수 있게 된다.

또한, 본 발명은 데이터 라인이 돌출부 또는 오목부 사이에 놓여지도록 주사 라인의 일부 또는 공통 전극 배선의 일부에 의해 형성된 돌출부 또는 오목부가 정렬되는 것을 특징으로 하는 IPS 모드 액정 디스플레이 장치를 제공한다. 데이터 라인을 사이에 끼우도록 돌출부 또는 오목부를 형성함으로써, TFT의 소스 및/또는 드레인 전극이 형성되는 층(데이터 라인의 층)과 주사 라인이 형성되는 층 사이의 미세 치수 측정을 정확하게 수행할 수 있게 되어 이들 사이에서 열라인먼트를 더 정확하게 수행할 수 있게 된다.

또한, 본 발명에 따르면, 공통 전극 배선 및 주사 라인의 층과 동일한 층에 형성되는 패턴이 데이터 라인의 연장 방향으로 연장하며 데이터 라인 연장 방향에 수직한 방향에서의 폭이  $2\mu\text{m}$  이상  $10\mu\text{m}$  이하의 범위에 있는 것을 특징으로 하는 IPS 모드 액정 디스플레이 장치가 마련된다. 상기와 같이 패턴의 폭을 설정함으로써, 개구율을 감소시키지 않으면서 고정밀도로 미세 치수 측정을 수행할 수 있다.

또한, 본 발명에 따르면, 공통 전극 배선 및 주사 라인의 층과 동일한 층에 형성되는 패턴이 데이터 라인의 연장 방향으로 연장하며 데이터 라인에 평행한 방향에서의 길이가  $5\mu\text{m}$  이상이고 개구의 길이 이하의 범위에 있는 것을 특징으로 하는 IPS 모드 액정 디스플레이 장치가 마련된다. 패턴의 길이를 상기와 같이 설정함으로써, 개구율을 감소시키지 않으면서 고정밀도로 미세 치수 측정을 안정하게 수행할 수 있다.

본 발명에 따르면, 능동 소자 기판과, 대향 기판 및 상기 능동 소자 기판과 대향 기판 사이에 유지된 액정층을 적어도 포함하는 IPS 모드 능동 매트릭스형 액정 디스플레이 제조 방법이 마련되는데, 상기 대향 기판은 칼라층과 블랙매트릭스층을 포함하고, 상기 능동 소자 기판은 게이트 전극, 드레인 전극 및 소스 전극을 구비하는 TFT와, 디스플레이될 픽셀에 대응하는 픽셀 전극과, 기준 전위를 제공받는 공통 전극과, 데이터 라인과, 주사 라인과, 공통 전극 배선과, 데이터 라인 단자와, 주사 라인 단자 및 공통 전극 배선 단자를 포함하며, 상기 공통 전극 배선과 주사 라인은 동일한 단계에서 동일한 재료로 형성되고, TFT의 게이트 전극, 드레인 전극 소스 전극 및 공통 전극은 주사 라인, 데이터 라인, 픽셀 전극 및 공통 전극 배선에 각각 전기적으로 연결되며, 능동 소자 기판의 주면에 거의 평행하게 픽셀 전극과 공통 전극 사이에서 인가되는 전기장에 의해 능동 소자 기판의 주면에 평행한 면 내에서 액정층의 분자축을 회전시킴으로써 디스플레이가 수행된다. 본 발명의 제조 방법에 있어서, 적어도 디스플레이 영역의 패턴 형성은 분할 포토 마스크를 사용하는 분할 노광에 의해 수행되고, 포토리소그래피에 의해 공통 전극 배선이 형성되는 다수의 층의 적층의 새로운 층을 패턴화함에 있어서의 노광 보정은 공통 전극 배선의 층과 동일한 층의 적어도 하나의 플로팅막 또는 공통 전극 배선의 돌출부 또는 오목부를 사용하는 것에 의해 공통 전극 배선층에 대한 상대 위치의 미세 측정에 의해 수행된다.

상기 상술된 방법을 사용하는 것에 의해, 분할 얼룩 없이 높은 개구율을 갖는 IPS 모드 액정 디스플레이 장치를 제조할 수 있게 된다.

상기 상술된 구조를 통해, 제조 단가를 상승시키지 않으면서 분할 얼룩 등과 같은 디스플레이 얼룩을 방지할 수 있으며 개구율이 향상된 IPS 모드 액정 디스플레이 장치를 제공하는 본 발명의 목적이 달성될 수 있다.

### 발명의 구성 및 작용

도 7 및 도 8을 참조하면, 본 발명에 따른 IPS 모드 AMLCD(10)는 능동 소자 기판(11)과, 대향 기판(12) 및 상기 능동 소자 기판(11)과 대향 기판(12) 사이에 유입된 액정층(13)으로 구성된다.

대향 기판(12)은 투명 절연 기판(16)과, 차광막으로서 상기 투명 절연 기판(16)의 표면 상에 형성된 블랙 매트릭스층(17)과, 상기 블랙 매트릭스층(17)과 부분적으로 중첩되는 칼라층(18) 및 상기 블랙 매트릭스층(17)과 상기 칼라층(18) 상에 형성되는 투명 오버코트층(19)으로 구성된다. 또한, 액정 디스플레이 패널의 표면으로부터 터치 등에 의해 생성되는 전하가 액정층(13)에 전기적인 영향을 주는 것을 방지하기 위하여 투명한 전기적 도전층(15)이 투명 절연 기판(16)의 표면 상에 형성된다. 칼라층(18)은 적색(R), 녹색(G) 및 청색(B)의 염료나 색소를 포함하는 수지막으로 형성된다.

능동 소자 기판(11)은 투명 절연 기판(22)과, 상기 투명 절연 기판(22) 상에 형성되는 게이트 전극(30c)과 주사 라인(28)을 형성하는 제 1의 금속층과, 상기 제 1의 금속층 상에 형성되는 제 1의 층간 절연막(23)과, 상기 제 1의 층간 절연막(23) 상에 형성되는 랜드형(land shaped) 비정질 실리콘막과, TFT(50)의 소스 전극(30b)과 드레인 전극(30a) 및 데이터 라인(24)을 형성하는 제 2의 금속층과, 이 상에 형성되는 제 2의 층간 절연막으로 이루어진 제 1의 막(25a)과, 상기 제 1의 막(25a) 상에 형성되는 제 2의 층간 절연막으로 이루어진 제 2의 막(25b) 및 상기 제 2의 막(25b) 상에서 투명 전극 재료로 형성되는 공통 전극(26) 픽셀 전극(27)으로 구성된다.

픽셀 보조 전극(35)(나중에 설명됨)은 데이터 라인(24)과 함께 제 1의 층간 절연막(23) 상에 형성된다. 데이터 라인(24)과 픽셀 보조 전극(35)은 제 2의 금속층에 의해 형성된다.

본 설명에 있어서, 능동 소자 기판(11)과 대향 기판(12) 상의 층 중 액정층(13)에 더 가까운 층은 상부층으로 칭하고 액정층(13)에서 먼 층은 하부층으로 칭할 것이다.

배향층(31)과 배향층(20)은 각각 능동 소자 기판(11)의 표면과 대향 기판(12)의 표면 상에 형성된다. 액정층(13)은 액정 분자가 도 7에 도시된 픽셀 전극(27)과 공통 전극(26)의 연장 방향에 대해서 약 10 내지 30° 경사진 소정의 방향으로 균질하게(homogeneously) 배향되도록 러빙(rubbing) 처리되고 능동 소자 기판(11)과 대향 기판(12)의 배향층(31 및 20)은 액정층(13)의 표면에 부착된다. 상기 언급된 경사각을 액정 분자의 초기 배향 방위라고 한다.

액정층(13)의 두께를 유지하기 위한 스페이서(도시되지 않음)가 능동 소자 기판(11)과 대향 기판(12) 사이에 배치되고 액정 분자가 누출하는 것을 방지하기 위한 밀봉재(seal)(도시되지 않음)가 액정층(13) 주위에 형성된다.

블랙 매트릭스층(17)은, 데이터 라인(24)과 겹치는 영역에서, 이웃의 픽셀로부터 새어 나가는 광을 차광하기 위해서 존재하기 때문에, 데이터 라인(24)을 완전히 피복하는 투명 전극 재료로 이루어지는 공통 전극(26)보다 폭이 좁게 되어 있고, 공통 전극을 투과하는 광을 가리지 않도록 구성된다.

도 7에 도시한 바와 같이, 능동 소자 기판(11)에는, 데이터 신호가 공급되는 데이터 라인(24)과, 기준 전위가 공급되는 공통 전극 배선(26a, 26b) 및 공통 전극(26)과, 디스플레이될 픽셀에 대응하는 픽셀 전극과, 주사 신호가 공급되는 주사 라인(28)과, TFT(50)가 마련되어 있다.

TFT(50)는 게이트 전극(30c), 드레인 전극(30a) 및 소스 전극(30b)을 포함하며 주사 라인(28)과 데이터 라인(24)의 교차 점 근처에서 각 픽셀에 대응하여 마련되어 있다. 게이트 전극(30c), 드레인 전극(30a) 및 소스 전극(30b)은 주사 라인(28), 데이터 라인(24) 및 픽셀 전극(27)에 전기적으로 각각 연결되어 있다.

공통 전극(26)과 픽셀 전극(27)은 각각 빗 형상(comb configuration)을 가지며, 각 전극의 빗살(comb teeth)은 데이터 라인(24)으로 평행하게 연장한다. 또한, 공통 전극(26)의 빗살과 픽셀 전극(27)의 빗살은 상호 교대로 끼워져 있다.

또한, 도 7에 도시된 바와 같이, 투명 전극 재료로 형성된 공통 전극(26)은 공통 전극 콘택트홀(39a)을 통해 공통 전극 배선부(26b)에 연결되어 있다.

도 10a 및 도 10b는 도 7에 도시된 공통 전극(26)과 픽셀 전극(27)을 도시하는 평면도로서 투명 전극 재료로 형성된 것과 그 외의 것을 구별하여 도시하고 있다.

또한, 도 11은 본 실시예에 따른 액정 디스플레이 장치(10)의 TFT 소자부, 단위 픽셀부 및 단위 픽셀부의 공통 전극 콘택트홀부를 도시하고 있다. 각 부분은 기본적으로 도 7의 A-A' 라인 B-B' 라인 및 C-C' 라인을 따라 취해진 단면도로 도시되어 있다.

도 11은 제 2의 충간 절연막(25)이 제 1의 막(25a)과 제 2의 막(25b)의 적층인 경우를 도시하고 있다. 제 2의 충간 절연막(25)이 단일의 충 구조를 갖는 경우, 제 1의 막은 제 2의 충간 절연막의 하부층이 되고 제 2의 충간 절연막의 제 2의 막은 제 2의 충간 절연막의 상부층이 되는 구성을 생각할 수 있다.

도 11 및 도 7에 도시된 바와 같이, 공통 전극 배선부(26b 및 26a)는 제 1의 금속층으로 형성되고 주사 라인과 평행하게 연장하며 공통 전극 배선의 주변부는 공통 전극 전위에 연결된다.

후속 단계에서 형성될 데이터 라인(24)이 데이터 라인의 연장 방향을 따라 공통 전극 배선부(26a 및 26b) 사이에 놓여지도록 공통 전극 배선부(26a 및 26b)의 적어도 하나에 돌출부(299a 및 299b)가 형성된다.

도 7에 도시된 바와 같이, 투명 전극 재료로 형성된 픽셀 전극(27)은 제 2의 금속층으로 형성되고 픽셀 전극용 콘택트홀(39b)을 통해 TFT(50)의 소스(20b)와 일체로 형성된 픽셀 보조 전극(35)에 연결된다.

IPS 모드 AMLCD(10)에 있어서, 주사 라인을 통해 공급되는 주사 신호에 의해 선택되며 데이터 라인(24)을 통해 공급되는 데이터 신호가 기록되는 픽셀의 공통 전극(26)과 픽셀 전극(27) 사이에서 투명 절연 기판(16 및 22)과 평행하게 전기장을 발생시키고, 전기장에 따라 투명 절연 기판(16 및 22)에 평행한 면 내에서 액정 분자의 배향 방향을 회전시킴으로써 소정의 디스플레이가 수행된다. 도 10b에 있어서, 공통 전극(26)의 빗살과 픽셀 전극(27)의 빗살에 의해 둘러싸인 좁은 수직 영역은 "칼럼"으로 칭해진다. 본 발명의 액정 디스플레이 장치(10)에 있어서, 공통 전극(26)과 픽셀 전극(27)은 ITO(Indium Tin Oxide)로 형성되며, 이것은 투명한 도전성 재료이다.

본 발명의 AMLCD(10)에 있어서, TFT(50)의 소스 전극(30b)과 일체로 형성되며 제 1의 충간 절연막(23) 상에서 제 2의 금속층으로 형성되는 픽셀 보조 전극(35)은 도 10a 및 도 11에 도시된 바와 같이 제 2의 충간 절연막(25) 아래에 마련될 수 있다.

도 10a에 도시된 바와 같이, 픽셀 보조 전극(35)은 제 1의 금속층에 의해 형성된 공통 전극 배선부(26b) 상에 제 1의 부분(35a)을 포함하여 기억 커패시터를 형성하며, 제 1의 금속층에 의해 형성된 공통 전극 배선부(26a) 상에 제 2의 부분(35b)을 마련하여 기억 커패시터를 형성하며 데이터 라인(24)과 평행하게 연장하는 제 3의 부분(35c)은 투명 금속에 의해 제 2의 충간 절연막(25) 상에 형성된 픽셀 전극(27) 아래에 위치되며 제 1의 부분(35a)과 제 2의 부분(35b)을 서로 연결시키며 제 1, 제 2 및 제 3의 부분은 "T"자 형상을 구성한다.

픽셀 보조 전극(35)의 제 1, 제 2 및 제 3의 부분(35a, 35b 및 35c)은 불투명 금속으로 형성된 제 2의 금속층에 의해 제 1의 충간 절연막(23) 상에 형성된다. 도 17로부터 알 수 있는 바와 같이, TFT(50)의 드레인 전극(30a)과 소스 전극(30c)은 제 2의 금속층으로 형성되고 TFT의 소스 전극(30b)은 픽셀 보조 전극(35)에 연결된다. 불투명 금속의 픽셀 보조 전극(35)을 형성함으로써, 투과성은 어느 정도 감소될 것이다. 그러나, 픽셀 보조 전극(35)을 상호 연결함으로써, 픽셀의 양측에 기억 커패시터를 형성하는 것이 가능하게 되고, 그 결과 전체 용량이 증가하게 되어 디스플레이가 안정화될 수 있다.

또한, 픽셀 보조 전극(35)의 구성은 도 10에 도시된 구성에 제한되지 않으며 픽셀 전극(27)의 아래에 위치되지만 하면 임의의 구성을 취할 수도 있다. 도 10a에는 도시되지 않았지만, 픽셀 보조 전극(35)과 유사하게 제 2의 금속층에 의해 도 11에 도시된 제 1의 충간 절연막(23) 상에 공통 보조 전극을 형성하고 이에 의해 제 1의 금속층에 의해 형성된 공통 전극 배선부(26a 및 26)를 서로 연결할 수도 있다.

도 11에서 알 수 있는 바와 같이, TFT(50)의 게이트 전극은 제 1의 금속층에 의해 형성된다. 공통 전극(26)을 서로 연결함으로써, 픽셀의 양측에 기억 커패시터를 형성하는 것이 가능하기 때문에, 기억 커패시터는 크게 만들어 질 수 있고 디스플레이는 안정화될 수 있다.

도 7 및 도 8에 도시된 바와 같이, 공통 전극(26)은 데이터 라인(24)보다 높은 층에 형성되고 데이터 라인(24)과 주사 라인(28)이 서로 교차하는 영역과 교차 영역 부근의 영역을 제외한 데이터 라인(24)을 완전히 피복한다. 즉, 도 13에 도시된 바와 같이, L(COM)을 공통 전극(26)의 폭이라 하고 L(D)를 데이터 라인(24)의 폭이라 할 때 L(COM)>L(D)가 설정되며, L(D)는 L(COM)에 포함된다. 도 7에 있어서, 데이터 라인(24)과 주사 라인(28)이 서로 교차하는 영역과 상기 교차 영역 부근의 영역은 큰 단차부(step portions)를 포함하기 때문에, 공통 전극(26)은 단락을 방지하기 위해서 이들 영역에서 데이터 라인(24)을 피복하지 않는다.

상기 상술된 바와 같이, 데이터 라인(24) 상의 블랙 매트릭스층(17)은 공통 전극(26)의 폭보다 작게 설정되고, 공통 전극(26)과 이 공통 전극(26)에 인접한 픽셀 전극(27) 사이에는 평면도에서 봤을 때 차광막이 존재하지 않는다. 또한, 블랙 매트릭스층(17)은 데이터 라인(24)보다 더 좁고 전 영역에서 데이터 라인(24)과 중첩한다. 즉, 도 14에 도시된 바와 같이, L(BM)을 블랙 매트릭스층(17)의 폭이라 하면 L(D)>L(BM)이고, L(BM)은 L(D)에 포함된다.

블랙 매트릭스층(17)의 폭이 데이터 라인(24)의 폭보다 작기 때문에, 데이터 라인(24)을 피복하는 투명 공통 전극(26)의 부풀어 오른 부분(bulging portions)을 통해 투과된 광은 완전히 활용될 수 있기 때문에, 패널의 투과성은 더 향상될 수 있다.

본 발명에 있어서, 블랙 매트릭스층(17)은  $6\mu\text{m}$ 의 폭이다. 그러나, 블랙 매트릭스층(17)의 폭은 이에 제한되지 않으며,  $6\mu\text{m}$ 보다 더 넓은 것이 바람직하다. 블랙 매트릭스층(17)의 폭이  $6\mu\text{m}$ 보다 더 작으면, 데이터 라인(24)으로부터의 반사가 크게 되고, 따라서, 디스플레이 패널 상에 디스플레이되는 이미지는 주위가 밝은 상황에서는 불명료하게 된다.

또한, 공통 전극(26)은 본 발명의 액정 장치(10)의 단자를 피복하는 재료와 동일한 재료로 형성된다. 즉, 도 11에 도시된 콘택트홀(39a)과 같이 공통 전극(26)의 동일한 ITO 층 내에 단자를 형성하는 것이 가능하다.

따라서, 공통 전극(26)은 동일한 제조 단계에서 본 발명의 액정 디스플레이 장치(10)의 단자부와 동일한 재료로 형성될 수 있으며, 따라서, 공통 전극(26)의 형성으로 인한 단계의 수가 증가하는 것을 방지할 수 있다.

또한, 본 발명의 AMLCD(10)에 있어서, 공통 전극(26)이 데이터 라인(24)을 평면도에서 봤을 때 완전히 피복하지 않는 경우, 공통 전극(26)은 데이터 라인(24)으로부터의 전기장을 차단할 수 없다. 따라서, 데이터 라인(24)과 인접한 픽셀 전극(27) 사이에 전기장 생성되어, 이 영역에서 액정의 오동작을 유발하게 된다. 즉, 이 영역의 액정은 공통 전극(26)과 픽셀 전극(27) 사이의 전위차에 의해 정의되지 않은 동작을 수행하게 되어, 수직의 크로스토크(누화)를 유발하게 된다.

대향 기판(12)에 블랙 매트릭스층(17)이 존재하고 블랙 매트릭스층(17)의 폭이 데이터 라인(24)을 피복할 만큼 충분히 큰 경우, 관찰자에게 오동작의 영역을 충분히 숨길 수 있을 것이다. 한편, 대향 기판(12)의 블랙 매트릭스층(17)이 데이터 라인(24)을 피복하지 않는 경우, 데이터 라인(24) 아래에 공통 전극(26)에 연결된 차광층을 마련하여 백라이트로부터의 광을 차단하는 것에 의해 관찰자에게 오동작 영역을 숨길 수 있을 것이다. 이 차광층이 공통 전극(26)에 연결되지 않으면, 그 전위는 불안정하게 되고, 결과적으로, 픽셀 전극(27)과 공통 전극(26) 사이에 DC 전기장이 발생하거나 크로스토크와 같은 오동작이 발생할 것이다.

구체적으로는, 주사 라인(28)을 형성하는 제 1의 금속층을 통해 공통 전극 배선부(26a)에 연결된 차광층이 형성된다. 공통 전극 배선부(26a 및 26b)가 콘택트홀(39a)을 통해 공통 전극(26)에 연결되기 때문에, 공통 전극 배선부(26a 및 26b)는 차광층으로서 사용될 것이다. 차광층은, 예를 들면 크롬, 티타늄, 몰리브덴, 텉스텐 또는 알루미늄으로 이루어진 단일층 또는 이들 금속층의 적층으로 구성될 수도 있다. 적층된 차광층 구조가 사용되면, 전기 저항을 줄일 수 있다.

도 7의 평면도에 있어서, 공통 전극(26)은 데이터 라인(24)과 주사 라인(28)이 서로 교차하는 영역과 그 부근의 영역에서 데이터 라인(24)을 피복하지 않는다. 따라서, 공통 전극(26)이 주사 라인(28)과 교차하는 영역에서는 공통 전극(26)이 데이터 라인(24)의 전기장을 차단할 수 없다. 결과적으로, 데이터 라인(24)과 인접한 픽셀 전극(27) 사이에서 전기장이 생성되어, 액정의 오동작을 유발한다. 또한, 액정은 주사 라인(28)의 전기장에 의해 오동작될 수도 있다.

그러나, 공통 전극 배선부(26a 및 26b)가 주사 라인(28)을 형성하는 제 1의 금속층에 형성되기 때문에, 공통 전극 배선부(26a 및 26b)에 의해 오동작 가능성이 있는 영역을 차단하는 것은 불가능하다. 이러한 관점에서, 대향 기판측에 마련된 블랙 매트릭스층(17)에 의해 오동작의 가능성이 있는 영역을 차단하는 것이 바람직하다.

도 15는 상기 언급된 구조의 일 예를 도시한다. 도 15에 있어서, 주사 라인(28)과 그 부근의 영역을 블랙 매트릭스층(17)에 의해 피복함으로써, 두꺼운 실선으로 둘러싸인 주사 라인(28)과 픽셀 전극(27) 사이의 영역과 그 부근의 영역은 차단된다.

본 발명의 AMLCD(10)의 공통 전극(26)은 투명하고 전기적으로 도전성 재료인 ITO로 형성된다. 따라서, 본 발명의 액정 디스플레이 장치(10)의 투명 영역의 면적은 증가되어, 개구율을 증가시킬 수 있게 된다.

ITO막의 시트 저항이 약  $100\Omega/\square$  정도로 크지만, ITO층으로 형성된 공통 전극(26)을 가로로 연결함으로써 공통 전극의 전체 배선의 저항을 줄이고 그 용장성(redundancy)을 제공하는 것은 가능하다.

도 8에 도시된 바와 같이, 제 2의 층간 절연막(25)은 공통 전극(26)과 데이터 라인(24) 사이에 마련된다. 제 2의 층간 절연막(25)의 두께를  $d$ 라하고 그 유전율을  $\epsilon$ 이라 할 때  $d/\epsilon$ 을 충분히 크게 선택함으로써 데이터 라인(24)과 공통 전극(26) 사이의 기생 용량을 줄일 수 있다.

또한, 세로 방향의 크로스토크가 제한되기 때문에, 데이터 라인(24)으로부터의 전기장 누출에 의해 유발되는 결함성 디스플레이를 방지하기 위해 블랙 매트릭스층을 형성할 필요가 없다. 따라서, 콘트라스트를 향상시키기 위한 블랙 매트릭스층(17)을 형성하는 것으로도 충분하기 때문에, 블랙 매트릭스층(17)의 폭을 줄일 수 있다. 블랙 매트릭스층(17)의 폭이 감소하면, 본 발명의 액정 디스플레이 장치(10)의 개구율을 더 크게 할 수 있다.

또한, 본 발명의 AMLCD(10)에 있어서, 공통 전극(26)과 픽셀 전극(27)은 제 2의 층간 절연막(25) 상에 형성된다. 공통 전극(26)과 픽셀 전극(27)을 동일 층에 형성함으로써, 동일 단계에서 동일 재료의 공통 전극(26)과 픽셀 전극(27)을 형성할 수 있게 되고, 제조 효율을 증가시킬 수 있게 된다.

상기 상술된 바와 같이, 본 발명의 AMLCD(10)에 있어서는, 데이터 라인(24)을 차단하는 공통 전극(26)은 ITO로 형성된다. 따라서, 공통 전극(26)이 다른 금속으로 형성되는 경우와 비교하여, 본 발명의 액정 디스플레이 장치(10)의 신뢰성을 향상시킬 수 있다. 그 이유를 설명한다.

도 16에 도시된 바와 같이, 공통 전극(26)과 픽셀 전극(27)은 제 2의 층간 절연막(25) 상에서 ITO 이외의 다른 금속으로 형성되고 공통 전극(26)과 픽셀 전극(27)을 피복하며 50 내지 100nm의 두께를 갖는 배향층(31)은 제 2의 층간 절연막(25) 상에 형성된다.

만약 배향층(31)에 핀홀(pin hole; 51)이 존재하면, 액정층(13)을 형성하는 액정 재료와 공통 전극(26)과 픽셀 전극(27)을 형성하는 금속은 핀홀(51)을 통해 전기화학적으로 반응하여 공통 전극과 픽셀 전극을 형성하는 금속을 이온화시키고 이렇게 생성된 이온(52)은 액정층(13)으로 용출된다(eluted). 금속 이온(52)의 액정층(13)으로의 이러한 용출(elution)은 액정 디스플레이 장치의 디스플레이 얼룩의 원인이 된다.

특히, 액정층(13)이 강한 극성을 갖는 액정 재료로 형성되면, 액정층(13)으로의 금속 이온(52)의 용출은 더 심하게 된다. IPS 모드 액정 디스플레이 장치에 있어서, 큰 유전율의 이방성( $\Delta\epsilon$ )을 갖는 액정 재료를 사용할 필요가 있고, 금속 이온(52)의 용출은 특히 심각하게 된다.

따라서, 배향층(31)과 접촉하여 마련된 픽셀 전극(27)과 공통 전극(26)은 액정층과의 전기화학적 반응에 대해 안정한 재료, 즉 액정 재료와의 반응성이 낮은 재료로 형성되어야만 한다.

TN(Twisted Nematic) 및 STN(Super Twisted Nematic)형 액정 디스플레이 장치에서 투명 전극 재료로서 사용된다는 사실에 의해 밝혀진 바와 같이, ITO는 이러한 전기화학적 반응에서 아주 안정한 재료이다. 따라서, ITO 이외의 금속으로 공통 전극(26)과 픽셀 전극(27)이 형성되는 경우와 비교하여, ITO로 형성된 픽셀 전극(27)과 공통 전극(26)은 배향층(31)과 직접적으로 접촉하여 사용될 수 있고 본 발명의 액정 디스플레이 장치(10)의 신뢰성을 향상시킬 수 있다.

본 발명의 AMLCD(10)에 있어서, 공통 전극(26)은 거의 모든 영역에서 데이터 라인(24)을 완전히 피복하도록 형성된다. 공통 전극(26)은 데이터 라인(24)의 양측에서 각각  $1.5\mu\text{m}$  이상의 돌출 폭을 갖는 것이 바람직하다.

본 발명의 액정 디스플레이 장치(10)의 제 2의 층간 절연막(25)은 1 내지  $2\mu\text{m}$ 의 두께를 갖는다. 또한, 제 2의 층간 절연막(25)은 무기 재료 또는 유기 재료의 단일층막으로 형성된다.

다르게는, 도 11에 도시된 바와 같이, 제 2의 층간 절연막(25)은 무기 재료의 제 1의 막과 이 제 1의 막을 피복하는 유기 재료의 제 2의 막을 포함하는 적층 구조를 취할 수도 있다.

유기막의 유전율이 무기막의 유전율보다 낮기 때문에, 층간 절연막이 단일층 구조를 갖는 경우와 비교하여, 적층 구조를 갖는 층간 절연막 전체의 유전율을 줄일 수 있다.

또한, 층간 절연막이 단일의 유기막으로 구성되는 경우, TFT의 반도체층과 반도체층을 피복하는 유기막 사이의 계면(interface)은 불안정하게 되어, 고온으로 구동되는 경우, 디스플레이 얼룩을 유발하게 된다. TFT의 반도체층과 접촉하는 제 1의 막으로서 질화실리콘막과 같은 무기막을 사용하고 이 무기막 위에 유기막을 적층함으로써, 유기막과 반도체층 사이에 안정한 계면이 형성되어, 상기 언급된 문제점을 해결될 수 있다.

무기막과 유기막의 예가 하기의 표 1에 도시된다.

[표 1]

		막두께	유전율	성막 방법	형상 가공방법

(1) 무기막 만인 경우	SiNx	1 ~ 3 $\mu\text{m}$	6.4	플라즈마CVD	포토레지스트를 마스크로 하여 건식 에칭
	SiNx 막 /SiOx막	1 $\mu\text{m}$ /0.5 $\mu\text{m}$	6.4 /4.0	플라즈마CVD /스퍼터링	포토레지스트를 마스크로 하여 건식 에칭
	무기폴리실라잔막	1 ~ 2 $\mu\text{m}$	4.5	스핀코트 & 소성	포토레지스트를 마스크로 하여 건식 에칭
	SiNx /무기폴리실라잔막	0.15 $\mu\text{m}$ /1 ~ 2 $\mu\text{m}$	6.4 /4.5	플라즈마CVD /스핀코트 & 소성	포토레지스트를 마스크로 하여 건식 에칭
(2) 무기막 /유기막 적층인 경우	SiNx 막 /감광성 아크릴수지막	0.15 $\mu\text{m}$ /1 ~ 2 $\mu\text{m}$	6.4 /3.3	플라즈마CVD /스핀코트	감광성 아크릴수지는 노광 현상으로 패턴 형성후 소성/ SiNx는 건식 에칭
	SiNx /감광성 아크릴수지막	0.15 $\mu\text{m}$ /1 ~ 2 $\mu\text{m}$	6.4 / -	플라즈마CVD /스핀코트	감광성 아크릴수지는 노광 현상으로 패턴 형성후 소성/ SiNx는 건식 에칭
(3) 유기막 만인 경우	BCB(벤조시클로부텐)막	1 ~ 2 $\mu\text{m}$	4.5	스핀코트 & 소성	포토레지스트를 마스크로 하여 건식 에칭
	유기폴리실라잔막	1 ~ 2 $\mu\text{m}$	3.8	스핀코트 & 소성	포토레지스트를 마스크로 하여 건식 에칭
	실록산막	1 ~ 2 $\mu\text{m}$	-	스핀코트 & 소성	포토레지스트를 마스크로 하여 건식 에칭

표 1에 도시된 바와 같이, 제 2의 층간 절연막(25)이 단일의 무기막층인 경우, 무기막은 SiNx(질화실리콘)막, 무기 폴리실라잔막(polysilazane film), 질화실리콘막과 산화실리콘막의 적층막 및 질화실리콘막과 무기 폴리실라잔막의 적층막으로 이루어진 그룹에서 선택될 수 있다.

제 2의 층간 절연막(25)이 단일의 유기막층인 경우에 있어서, 유기막은 BCB(벤조씨클로부텐)막, 유기 폴리실라잔막 및 실록산막(siloxane film)으로 이루어진 그룹에서 선택될 수 있다.

또한, 제 2의 층간 절연막이 제 1 및 제 2의 막의 적층막인 경우에 있어서는, 제 1의 막은 질화실리콘막 제 2의 막은 감광성 아크릴 수지막 또는 감광성 폴리이미드 수지막일 수 있다.

또한, 표 1에 있어서, 제 2의 층간 절연막(25)이 적층막인 경우에서의 무기막의 두께는 0.15 $\mu\text{m}$ 이다. 그러나, 막두께는 이에 제한되지 않는다. 무기막의 두께 범위는 약 0.1 내지 약 1.0 $\mu\text{m}$ 인 것이 바람직하다.

또한, 표 1에 도시된 각 막의 두께 값은 단지 예시에 불과한 것으로 그 값에 제한되는 것은 아니다.

공통 전극(26)이 투명 재료로 형성되기 때문에, 패널의 투명 면적은 공통 전극(26)에 의해 차지된 영역의 면적만큼 증가되고 따라서 본 발명의 액정 디스플레이 장치(10)의 개구율을 향상시킬 수 있게 된다.

또한, 단위 소자의 하부측 상에 공통 전극 배선부(26a)를 형성하고 단위 소자의 상부측 상에 공통 전극 배선부(26b)를 형성하는 것이 가능하다. 단위 소자의 하부측과 상부측 각각에 공통 전극 배선부(26a 및 26b)를 형성함으로써, 단위 소자의 상부측 및 하부측의 하나 상에 공통 전극 배선이 형성되는 경우와 비교하여, 기억 용량을 증가시킬 수 있다.

본 발명의 액정 디스플레이 장치(10)의 경우에서와 같이 단위 픽셀의 하부측 상에 TFT(50)가 정렬되는 경우, 도 17에 도시된 바와 같이, 콘택트홀(39b)을 통해 단위 픽셀의 하부측 상에 드레인 전극(30a)을 형성하는 드레인층에 픽셀 전극(27)을 연결할 수 있고 콘택트홀(39a)을 통해 단위 소자의 상부측 상의 공통 전극 배선부(26b)로 공통 전극(26)을 연결할 수 있다.

모든 단위 픽셀에서, 콘택트홀(39a 및 39b)을 통해 공통 전극(26)을 공통 전극 배선부(26a 및 26b)에 각각 연결함으로써, 공통 전극(26)의 전체 배선의 저항을 줄일 수 있다.

이제, 본 발명에 따른 액정 디스플레이 장치(10)의 제조 방법이 도 18a 내지 도 18k를 참조하여 설명될 것이다.

이들 도면에서, 제 2의 충간 절연막(25)은 무기막 및 유기막으로 이루어진 적층막의 형태를 취하며, 도 12의 A-A' 라인, B-B' 라인 및 C-C' 라인을 따른 단면도로 도시된 구조를 갖는 TFT 소자부, 단위 픽셀부 및 공통 전극의 콘택트홀부를 하나의 영역에 도시한 것이다.

공통 전극 배선의 돌출부(299a 및 299b)는 나중의 단계에서 형성되는 데이터 라인(24)의 양측 상의 공통 전극 배선부(26a 및 26b)의 적어도 하나의 연장 방향을 따라 연장하도록 포토리소그래피에 의해 초기에 형성된 주사 라인과 동일 충에 형성된다.

따라서, 제 2 및 후속 충의 노광시 가로 방향에서의 위치 정밀도를 향상시키기 위해서는, 테스트 노광이 수행된 후, 미세 치수 측정 장치에 의해 가로 방향에서의 레지스트 패턴의 중첩 상태를 측정함에 있어서 기준으로서 공통 전극 배선의 돌출부(299a 및 299b)를 활용할 수 있다.

이러한 돌출부가 존재하지 않는 경우, 가로 방향(lateral direction)에서의 미세 치수 측정에 대해 기준으로서 사용되는 패턴이 제 1의 충의 패턴에 존재하지 않는다. 따라서, 가로 방향에서의 열라인먼트를 정확하게 하는 것이 불가능하게 되어 분할 열룩이 발생하게 된다. 한편, 돌출부(299a 및 299b)가 존재하면, 제 1의 충의 패턴에 대해서 제 2의 충 및 후속 충에 대한 노광을 정확하게 수행할 수 있게 되어 분할 열룩이 없는 양질의 디스플레이를 얻을 수 있게 된다.

돌출부(299a 및 299b)의 전위가 공통 전극의 전위에 고정되기 때문에, 그 전기적 특성은 안정하고 그 결과 디스플레이 영역에서 발생하는 DC 전기장에 의한 디스플레이의 저하 문제점이 해결된다.

상기 언급된 바와 같이, 본 발명에 따르면, 개구율이 높고 시야각이 크고 신뢰성이 높은 액정 디스플레이 장치를 제공할 수 있다.

본 발명의 양호한 실시예를 참조하여 본 발명이 더 상세히 설명될 것이다.

### 제 1의 실시예

제 1의 실시예에 있어서, 제 2의 충간 절연막(25)은 무기막과 유기막의 적층막이다.

도 18a에 도시된 바와 같이, 게이트 전극(30c)과 공통 전극 배선부(26a 및 26b)는 포토리소그래피와 건식 에칭(dry etching)에 의해 유리로 이루어진 투명 절연 기판(22) 상의 크롬으로 형성된 제 1의 금속층을 패턴화함으로써 형성된다. 공통 전극 배선부(26b)만이 도 18a 내지 도 18k에 도시되었지만, 필수적인 공통 전극 배선부(26a)가 하기의 설명에서 함께 상술될 것이다.

포토리소그래피는 패턴화될 막을 투명 절연성 기판(22)의 전면에 퇴적하고, 이어서 스펀 코팅법에 의해 감광성 수지막을 퇴적된 막의 전면에 성막하고, 소정의 패턴만을 차단하는 포토 마스크를 사용하여, 감광성 유기막을 경화시키는 특정 과정을 갖는 광으로 감광성 수지막을 노광하고, 경화되지 않은 감광성 유기막 레지스트의 부분이 제거되도록 특정 현상액으로 유기막 레지스트를 처리하는 것에 의해 수행된다. 패턴화된 막은 경화된 감광성 유기막 레지스트의 잔존부를 패턴화될 막에 대한 보호막으로서 사용하는 것에 의해 패턴화되고 소정의 패턴은 레지스트를 박리액에 침지하여 제거하는 것에 의해 형성된다.

데이터 라인의 세로 방향에 평행한 연장 방향에서  $2\mu\text{m}$  이상의 폭을 각각 가지며  $5\mu\text{m}$ 에서 개구 길이까지의 범위의 길이를 갖는 공통 전극 배선의 돌출부(299a 및 299b)는 후속하는 단계에서 형성되는 데이터 라인(24)의 양측 상의 공통 전극 배선부(26a 및 26b)의 적어도 하나의 연장 방향을 따라 연장하도록 공통 전극 배선부(26a 및 26b)의 적어도 하나에 형성된다.

본 실시예에 있어서, 공통 전극 배선의 돌출부(200a 및 299b) 각각은  $2\mu\text{m}$ 의 폭과  $20\mu\text{m}$ 의 길이를 갖는 것으로 설명될 것이다.

도 18b에 도시된 바와 같이, 이산화실리콘( $\text{SiO}_2$ )막과 질화실리콘( $\text{SiN}_x$ )막의 적층 형태의 제 1의 층간 절연막(23)이 투명 절연 기판(22)의 전면에 형성되어 게이트 전극(30c)과, 공통 전극 배선(26a 및 26b) 및 그 돌출부(299a 및 299b)를 피복 한다.

그 다음, 도 18c에 도시된 바와 같이, a-Si 막(32)과 n+ a-Si 막(33)으로 이루어진 비정질 실리콘막이 제 1의 층간 절연막(23)의 전면에 형성된다.

그 다음, 도 18d에 도시된 바와 같이, 비정질 실리콘막(32 및 33)이 포토리소그래피와 건식 에칭에 의해 패턴화되어 TFT의 랜드형 반도체층을 형성한다.

포토리소그래피 공정에서 비정질 실리콘막(32 및 33)의 노광은, 기준으로서, 게이트 전극(30c)과 공통 전극 배선부(26a 및 26b)인 하부의 제 1의 금속층에 의해 형성된 매칭 마커(matching marker)를 사용하여 수행된다.

가로 방향으로 연장하는 게이트 전극(30c)과 공통 전극 배선부(26a 및 26b)와, 수직 방향으로 연장하는 공통 전극 배선의 돌출부(299a 및 299b)가 하부의 제 1의 금속층에 존재하기 때문에, 도 19에 도시된 바와 같이, 돌출부를 마커로서 사용하여 미세 치수 측정 장치에 의해 수직 및 가로의 평행한 라인을 측정함으로써 노광 샷마다 비정질 실리콘막(32 및 33)의 노광 단계 및 현상 단계를 통해 남게 되는 유기막 레지스트 패턴의 가로 및 수직 편차를 측정할 수 있다. 즉, 돌출부 사이의 중심값(W1)을 결정하기 위해 공통 전극 배선부(26b)에 형성된 한 쌍의 돌출부(299a 및 299b)의 외측 에지가 미세하게 측정된다. 그 다음, 가로 방향에서의 비정질 실리콘막(29)의 중심값(W2)을 결정하기 위해 비정질 실리콘막(29)에 대한 가로 방향에서의 유기막 레지스트의 에지가 미세하게 측정된다. 편차의 보정은 이들 중심값(W1 및 W2)을 포함하는 포토 마스크 데이터에 기초하여 가로 방향에서의 노광에 대해 수행된다. 또한, 주사 라인의 중심값(W3)을 결정하기 위해 주사 라인(28)의 에지가 미세하게 측정된다. 그 다음, 수직 방향에서의 비정질 실리콘막(29)의 중심값(W4)을 결정하기 위해 수직 방향에서의 비정질 실리콘막(29)에 대한 유기막 레지스트의 에지가 미세하게 측정된다. 편차의 보정은 이들 중심값(W3 및 W4)을 포함하는 포토 마스크 데이터에 기초하여 수직 방향에서의 노광에 대해 수행된다. 미세 치수 측정 장치에 의해 치수가 정확하게 측정될 때 판독 에러를 제한하기 위해서,  $2\mu\text{m}$  이상의 폭을 갖는 패턴이 필요하다. 또한, 돌출부의 길이는  $5\mu\text{m}$  이상이어야만 한다. 돌출부의 폭은  $2\mu\text{m}$  이상이면 충분하다. 그러나, 폭이 너무 크게 되면, 개구 영역은 불투명 재료로 형성된 공통 전극 배선에 의해 차단된다. 따라서, 돌출부의 폭은  $10\mu\text{m}$  이하가 바람직하다. 돌출부의 길이는  $5\mu\text{m}$  이상이면 충분하다. 그러나, 길이가 너무 길면, 불투명 재료로 이루어진 공통 전극 배선을 통해 투과되는 유효 광을 차단하게 되고, 데이터 라인에 대한 기생 용량이 증가되어, 플리커와 가로 방향의 크로스토크 등과 같이 디스플레이 품질이 열화하게 된다. 따라서, 돌출부의 길이는 개구 길이 이하로, 20 내지  $40\mu\text{m}$ 가 바람직하다.

본 실시예에 있어서, 공통 전극 배선(299a 및 299b)의 폭과 길이는 각각  $2\mu\text{m}$ 과  $20\mu\text{m}$ 이기 때문에, 판독 오차는 크지 않다.

비정질 실리콘막의 패턴화가 노광 샷마다 제 1의 금속층에 대해 어긋나게 되는 경우에 있어서, 경화된 레지스트는 박리액에 침지시켜 제거할 수 있다. 레지스트가 제거된 후, 하부의 제 1의 금속층에 대한 정확한 패턴 형성은 스펀 코팅법을 다시 사용하여 감광성 유기막 레지스트를 형성하고 미세 치수 측정 장치에 의해 얻어진 정보에 기초하여 노광 데이터를 보정함으로써 수행될 수 있다.

그 다음, 제 2의 금속층으로서 크롬층이 전면에 퇴적되고 포토리소그래피와 건식 에칭에 의해 패턴화되어, 도 18e에 도시된 바와 같이, TFT(50)의 드레인 전극(30c) 및 소스 전극(30b)과, 데이터 라인(24) 및 픽셀 보조 전극(35)을 형성한다.

도 18e에 도시된 바와 같이, 포토리소그래피에서 제 2의 금속층에 의해 형성되는, TFT(50)의 드레인 전극(30a) 및 소스 전극(30b)과, 데이터 라인(24) 및 픽셀 보조 전극(35)의 노광은, 도 18d에 도시된 것과 유사하게, 게이트 전극(30c)과 공통 전극 배선부(26a 및 26b)인 하부의 제 1의 금속층에 의해 형성된 매칭 마커를 기준으로 사용함으로써 수행된다.

비정질 실리콘막의 패턴화와 유사하게, 미세 치수 측정 장치에 의해 도 20에 도시된 바와 같이 수직 및 가로의 평행한 라인을 측정함으로써 매 노광마다 가로 및 수직 편차를 측정할 수 있기 때문에, 비정질 실리콘막의 패턴화와 유사하게 하부의 제 1의 금속층에 대해 패턴 형성을 정확하게 수행할 수 있다. 즉, 공통 전극 배선부(26b)에 형성된 한 쌍의 돌출부(299a 및 299b) 사이의 중심값(W1)을 결정하기 위해 돌출부의 외측 예지가 미세하게 측정된다. 그 다음, 가로 방향에서의 드레인 전극(30a)과 소스 전극(30b)의 중심값(W2)을 결정하기 위해서 제 2의 금속층에 의해 형성된 드레인 전극(30a) 및 소스 전극(30b)에 대한 가로 방향에서의 유기막 레지스트의 예지가 미세하게 측정된다. 편차에 대한 보정은 이들 중심값(W1 및 W2)을 포함하는 포토 마스크 데이터에 기초하여 가로 방향에서의 노광에 대해 수행된다. 또한, 주사 라인(28)의 중심값(W3)을 결정하기 위해 주사 라인(28)의 예지가 미세하게 측정된다. 그 다음, 드레인 전극(30a)과 소스 전극(30b)의 중심값(W4)을 결정하기 위해서 이들 사이의 거리가 미세하게 측정된다. 편차에 대한 보정은 이들 중심값(W3 및 W4)을 포함하는 포토 마스크 데이터에 기초하여 수직 방향에서의 노광에 대해 수행된다.

그 다음, 도 18f에 도시된 바와 같이, 드레인 전극(30a)과 소스 전극(30b)을 마스크로 사용하여 비정질 실리콘막의 중간 레벨까지 n+ 형 a-Si막(33)과 a-Si막(32)을 에칭함으로써 드레인 전극(30a)과 소스 전극(30b) 사이의 개구에 TFT(50)의 채널이 형성된다.

그 다음, 도 18g에 도시된 바와 같이, 질화실리콘으로 형성된 제 2의 충간 절연막(25)의 제 1의 무기막(25a)이 전면에 퇴적된다.

그 다음, 도 18h에 도시된 바와 같이, 감광성 아크릴 수지로 형성된 제 2의 충간 절연막(25)의 제 2의 유기막(25b)이 제 1의 막(25a) 상에 퇴적된다.

그 다음, 도 18i에 도시된 바와 같이, 감광성 아크릴 수지막(25b)은 노광, 현상 및 소성되고, 제 1의 충간 절연막(23)의 질화실리콘막에 도달하는 핵 셀 전극용 콘택트홀(39b), 및 충간 절연막(23)의 질화실리콘막에 도달하는 공통 전극용 콘택트홀(39a)이 소스 전극(30b)과 공통 전극 배선부(26b) 상에 각각 형성된다.

포토리소그래피 공정에서 제 2의 충간 절연막(25)의 제 2의 막(25b)의 감광성 아크릴 수지막의 노광은 기준으로서 제 1의 금속층의 매칭 마커 또는 제 2의 금속층의 매칭 마커를 사용하여 수행된다. 기준으로서의 제 1의 금속층 또는 제 2의 금속층의 마커는 콘택트홀(39a 및 39b) 중 마진이 더 작은 것을 선택함으로써 결정된다.

그 다음, 도 18j에 도시된 바와 같이, 제 2의 충간 절연막(25)의 제 1의 막(25a)으로서 노광된 제 1의 질화막이 핵 셀 전극 용 콘택트홀(39b)과 공통 전극 용 콘택트홀(39a)을 통해 에칭된다. 이렇게 하여, 콘택트홀(39b)은 핵 셀 전극에 도달한다. 이산화실리콘(SiO<sub>2</sub>)막과 질화실리콘(SiN<sub>x</sub>)막으로 구성된 제 1의 충간 절연막(23)을 에칭함으로써 공통 전극 배선부(26a 및 26b)까지 콘택트홀(39a)을 통한 에칭이 더 수행된다.

포토리소그래피 공정에서 제 2의 충간 절연막(25)의 제 1의 막(25a)의 질화실리콘막의 노광은 제 1의 금속층의 매칭 마커 또는 제 2의 금속층의 매칭 마커를 기준으로 사용하여 수행된다. 기준으로서의 제 1의 금속층 또는 제 2의 금속층의 마커는 콘택트홀(39a 및 39b) 중 마진이 더 작은 것을 선택함으로써 결정된다.

그 다음, ITO막(46)이 전면에 퇴적되어 콘택트홀(39a 및 39b)의 내벽을 피복하고, 도 18k에 도시된 바와 같이, 리소그래피와 에칭에 의해 단위 소자 영역에 공통 전극(26)과 핵 셀 전극(27)이 ITO막(46)으로부터 형성된다.

포토리소그래피에 의한 ITO막(46)으로의 노광은 기준으로서 제 2의 금속층의 매칭 마커를 사용함으로써 수행된다. 이것은, ITO로 형성되며 데이터 라인을 피복하는 공통 전극(26)이 데이터 라인(24)에 대해서 어긋나게 될 때, 수직의 크로스토크가 발생할 수 있기 때문이다.

돌출부의 형성 이후에 형성되는 비정질 실리콘층과 제 2의 금속층의 노광 에러가 돌출부에 의해 정정될 수 있기 때문에, 제조 단계를 상승시키지 않으면서, 개구율이 향상되고 분할 얼룩과 같은 디스플레이 얼룩이 없는 액정 디스플레이 장치를 제조할 수 있다.

## 제 2의 실시예

도 21a 및 도 21b는 제 2의 실시예를 도시하는데, 기본적으로는 도 7에 도시된 제 1 및 제 2의 금속층에 의해 형성되는 영역과 도 7에 도시된 ITO로 형성되는 영역을 각각 도시하는 도 10a 및 도 10b에 도시된 제 1의 실시예와 동일하다. 제 2의 실시예에 따른 액정 디스플레이 장치의 제조 방법도 제 1의 실시예의 방법과 동일하다. 제 2의 실시예는, 공통 전극 배선부(26a)에 형성되며 데이터 라인의 세로 방향과 평행하게 연장하는 돌출부의 구성에서, 제 1의 실시예와 상이하다.

제 1의 실시예에서는 공통 전극 배선(26)의 돌출부(299a 및 299b)가 평면내에서 데이터 라인(24)의 양측에 정렬되지만, 제 2의 실시예에서는 제 1의 실시예의 돌출부의 폭보다 더 큰 폭을 갖는 단지 하나의 돌출부(299a)만이 도 21에 도시된 바와 같이 데이터 라인에 인접하게 마련된다. 돌출부(299a)는  $5\mu\text{m}$ 의 폭과  $5\mu\text{m}$ 의 길이를 갖는다. 돌출부의 폭이 충분히 큰 경우, 폭을 측정함으로써 공통 전극 배선의 형성 이후에 형성되는 비정질 실리콘층 및 제 2의 금속층 노광시의 노광 에러를 보정할 수 있다. 따라서, 개구율이 향상되고 분할 열룩과 같은 디스플레이 열룩이 없는 액정 디스플레이 장치를 제조 비용을 증가시키지 않고 제조할 수 있다.

### 제 3의 실시예

도 22a 및 도 22b는 제 3의 실시예를 도시하는데, 기본적으로는 도 7에 도시된 제 1 및 제 2의 금속층에 의해 형성되는 영역과 도 7에 도시된 ITO로 형성되는 영역을 각각 도시하는 도 10a 및 도 10b에 도시된 제 1의 실시예와 동일하다. 제 3의 실시예에 따른 액정 디스플레이 장치의 제조 방법도 제 1의 실시예의 방법과 동일하다. 제 3의 실시예는, 공통 전극 배선부(26a)에 형성되며 데이터 라인의 세로 방향과 평행하게 연장하는 돌출부의 구성에서, 제 1의 실시예와 상이하다.

제 1의 실시예에서는 공통 전극 배선(26)의 돌출부(299a 및 299b)가 평면 내에서 데이터 라인(24)의 양측에 인접하게 정렬되지만, 제 3의 실시예에서는, 도 22a에 도시된 바와 같이, 돌출부(299a)는 데이터 라인(24)의 한 측에 인접하게 마련되고 다른 돌출부(299c)는 돌출부(299a)로부터 약간 떨어져 마련된다.

공통 전극 배선의 형성 이후에 형성되는 비정질 실리콘층 및 제 2의 금속층의 노광시 노광 에러를 보정하는 것이 가능하기 때문에, 이러한 돌출부의 배치에 있어서는, 개구율이 향상되고 분할 열룩과 같은 디스플레이 열룩이 없는 액정 디스플레이 장치를 제조 단가를 상승시키지 않으면서 제조할 수 있다.

### 제 4의 실시예

도 23a 및 도 23b는 제 4의 실시예를 도시하는데, 기본적으로는 제 1 및 제 2의 금속층에 의해 형성되는 영역과 ITO로 형성되는 영역을 각각 도시하는 도 21a 및 도 21b에 도시된 제 2의 실시예와 동일하다. 제 4의 실시예에 따른 액정 디스플레이 장치의 제조 방법도 제 2의 실시예의 방법과 동일하다. 제 4의 실시예는, 공통 전극 배선부(26a)에 형성되며 데이터 라인의 세로 방향과 평행하게 연장하는 돌출부의 구성에서, 제 2의 실시예와 상이하다.

제 2의 실시예에서는 공통 전극 배선(26)의 돌출부(299a)가 핵셀마다 정렬되지만, 제 4의 실시예에서는, 도 23a에 도시된 바와 같이, 돌출부(299a)는 적색(R), 녹색(G) 및 청색(B)의 핵셀 중 R 핵셀에만 마련된다.

공통 전극 배선의 형성 이후에 형성되는 비정질 실리콘층 및 제 2의 금속층의 노광시 노광 에러를 보정하는 것이 가능하기 때문에, 이러한 돌출부의 배치에 있어서도, 개구율이 향상되고 분할 열룩과 같은 디스플레이 열룩이 없는 액정 디스플레이 장치를 제조 단가를 상승시키지 않으면서 제조할 수 있다.

다르게는, 돌출부(299a)는 B 핵셀 또는 G 핵셀에만 마련될 수도 있다. 다르게는, R, G 및 B 핵셀을 한 단위로 가정하여, 하나의 돌출부(299a)가 둘 또는 세 단위의 간격으로 마련될 수도 있다.

공통 전극 배선의 형성 이후에 형성되는 비정질 실리콘층 및 제 2의 금속층의 노광시 노광 에러를 보정할 수 있기 때문에, 이러한 돌출부의 배치에 있어서, 개구율이 향상되고 분할 열룩과 같은 디스플레이 열룩이 없는 액정 디스플레이 장치를 제조 단가를 상승시키지 않으면서 제조할 수 있다.

### 제 5의 실시예

도 24a 및 도 24b는 제 5의 실시예를 도시하는데, 기본적으로는 제 1 및 제 2의 금속층에 의해 형성되는 영역과 ITO로 형성되는 영역을 각각 도시하는 도 10a 및 도 10b에 도시된 제 1의 실시예와 동일하다. 제 5의 실시예에 따른 액정 디스플레이 장치의 제조 방법도 제 1의 실시예의 방법과 동일하다. 제 5의 실시예는, 공통 전극 배선부(26a)에 형성되며 데이터 라인의 세로 방향과 평행하게 연장하는 돌출부의 구성에서, 제 1의 실시예와 상이하다.

제 1의 실시예에서는, 공통 전극 배선(26)의 돌출부(299a 및 299b)가 데이터 라인(24)의 양측 상에 인접하게 정렬되지만, 도 24a 및 도 24b에 도시된 제 5의 실시예에 있어서는, 돌출부(299a 및 299b)가 픽셀 보조 전극(35)의 양측에 마련된다.

공통 전극 배선의 형성 이후에 형성되는 비정질 실리콘층 및 제 2의 금속층의 노광시 노광 에러를 보정하는 것이 가능하기 때문에, 이러한 돌출부의 배치에 있어서도, 개구율이 향상되고 분할 열룩과 같은 디스플레이 열룩이 없는 액정 디스플레이 장치를 제조 단가를 상승시키지 않으면서 제조할 수 있다.

#### 제 6의 실시예

도 25a 및 도 25b는 제 6의 실시예를 도시하는데, 기본적으로는 제 1 및 제 2의 금속층에 의해 형성되는 영역과 ITO로 형성되는 영역을 각각 도시하는 도 10a 및 도 10b에 도시된 제 1의 실시예와 동일하다. 제 6의 실시예에 따른 액정 디스플레이 장치의 제조 방법도 제 1의 실시예의 방법과 동일하다.

제 6의 실시예는, 데이터 라인의 세로 방향과 평행하게 연장하며 제 1의 금속층으로 형성되는 플로팅막(floating films; 300a 및 300b)이 임의의 전극에 대해 전기적으로 플로팅 상태로 데이터 라인(24)의 양측에 정렬되는 점에서, 돌출부가 데이터 라인의 세로 방향과 평행하게 연장하는 제 1의 실시예와 상이하다.

공통 전극 배선의 형성 이후에 형성되는 비정질 실리콘층 및 제 2의 금속층의 노광시 노광 에러를 보정하는 것이 가능하기 때문에, 이러한 돌출부의 배치에 있어서도, 개구율이 향상되고 분할 열룩과 같은 디스플레이 열룩이 없는 액정 디스플레이 장치를 제조 단가를 상승시키지 않으면서 제조할 수 있다.

#### 제 7의 실시예

도 26a 및 도 26b는 제 7의 실시예를 도시하는데, 기본적으로는 제 1 및 제 2의 금속층에 의해 형성되는 영역과 ITO로 형성되는 영역을 각각 도시하는 도 10a 및 도 10b에 도시된 제 1의 실시예와 동일하다. 제 7의 실시예에 따른 액정 디스플레이 장치의 제조 방법도 제 1의 실시예의 방법과 동일하다.

제 7의 실시예는, 데이터 라인의 세로 방향과 평행하게 연장하며 제 1의 금속층으로 형성되는 플로팅막(300)이 임의의 전극에 대해 전기적으로 플로팅 상태로 데이터 라인(24)의 바로 아래에 정렬되는 점에서, 돌출부가 데이터 라인의 세로 방향과 평행하게 연장하는 제 1의 실시예와 상이하다.

도 26a에 도시된 영역은 제 1의 금속층과 비정질 실리콘층에 의해 형성되는 영역(도 26c)과 제 2의 금속층에 의해 형성되는 영역(도 26d)으로서 도시될 수 있다.

공통 전극 배선의 형성 이후에 형성되는 비정질 실리콘층 및 제 2의 금속층의 노광시 노광 에러를 보정하는 것이 가능하기 때문에, 이러한 돌출부의 배치에 있어서도, 개구율이 향상되고 분할 열룩과 같은 디스플레이 열룩이 없는 액정 디스플레이 장치를 제조 단가를 상승시키지 않으면서 제조할 수 있다.

#### 제 8의 실시예

도 27a 및 도 27b는 제 8의 실시예를 도시하는데, 기본적으로는 제 1 및 제 2의 금속층에 의해 형성되는 영역과 ITO로 형성되는 영역을 각각 도시하는 도 10a 및 도 10b에 도시된 제 1의 실시예와 동일하다. 제 8의 실시예에 따른 액정 디스플레이 장치의 제조 방법도 제 1의 실시예의 방법과 동일하다.

제 8의 실시예는, 도 27a에 도시된 바와 같이 데이터 라인에 인접한 위치에서 공통 전극 배선부(26a)에 오목부(301)가 형성되는 점에서, 데이터 라인(24)의 양측에 돌출부(299a 및 299b)가 정렬되는 제 1의 실시예와 상이하다. 오목부(301)의 폭은 제 2의 실시예의 돌출부의 폭과 유사하게 크게 만들어진다. 제 8의 실시예에 있어서, 오목부는 5μm의 폭과 5μm의 길이를 갖는다.

공통 전극 배선의 형성 이후에 형성되는 비정질 실리콘층 및 제 2의 금속층의 노광시 노광 에러를 보정하는 것이 가능하기 때문에, 오목부의 폭이 충분히 크면 이러한 오목부의 배치에 있어서도, 개구율이 향상되고 분할 얼룩과 같은 디스플레이 얼룩이 없는 액정 디스플레이 장치를 제조 단가를 상승시키지 않으면서 제조할 수 있다.

#### 제 9의 실시예

도 28a 및 도 28b는 제 9의 실시예를 도시하는데, 기본적으로는 제 1 및 제 2의 금속층에 의해 형성되는 영역과 ITO로 형성되는 영역을 각각 도시하는 도 27a 및 도 27b에 도시된 제 8의 실시예와 동일하다. 제 9의 실시예에 따른 액정 디스플레이 장치의 제조 방법도 제 8의 실시예의 방법과 동일하다. 제 9의 실시예는, 데이터 라인의 세로 방향과 평행하게 연장하며 공통 전극 배선부(26a)에 형성되는 오목부의 구성이 제 8의 실시예의 구성과 상이하다는 점에서, 제 8의 실시예와 상이하다.

제 8의 실시예에 있어서는, 오목부(301)가 공통 전극 배선부(26a) 내에서 데이터 라인(24)에 인접하게 형성되지만, 도 28a에 도시된 제 9의 실시예에 있어서는 데이터 라인(24)의 양측에 오목부(301a 및 301b)가 형성된다. 오목부의 폭은 제 8의 실시예에서보다 더 작게 만들어질 수 있는데, 본 실시예에 있어서는, 오목부는  $2\mu\text{m}$ 의 폭과  $5\mu\text{m}$ 의 길이를 갖는다.

공통 전극 배선의 형성 이후에 형성되는 비정질 실리콘층 및 제 2의 금속층의 노광시 노광 에러를 보정하는 것이 가능하기 때문에, 이러한 오목부의 배치에 있어서도, 각 오목부의 폭이 작은 경우에도 두 오목부의 양 에지를 측정함으로써, 개구율이 향상되고 분할 얼룩과 같은 디스플레이 얼룩이 없는 액정 디스플레이 장치를 제조 단가를 상승시키지 않으면서 제조할 수 있다.

#### 제 10의 실시예

도 29a 및 도 29b는 제 10의 실시예를 도시하는데, 기본적으로는 제 1 및 제 2의 금속층에 의해 형성되는 영역과 ITO로 형성되는 영역을 각각 도시하는 도 27a 및 도 27b에 도시된 제 8의 실시예와 동일하다. 제 10의 실시예에 따른 액정 디스플레이 장치의 제조 방법도 제 8의 실시예의 방법과 동일하다. 그러나, 공통 전극 배선부(26a)에 형성되며 데이터 라인의 세로 방향과 평행하게 연장하는 오목부의 구성은 상이하다.

제 10의 실시예는, 오목부(301c)가 데이터 라인(24)의 양측의 콘택트홀(39b) 근처에서 공통 전극 배선부(26a)에 형성되는 점에서, 오목부(301)가 데이터 라인(24)에 인접하도록 공통 전극 배선부(26a)에 형성되는 제 8의 실시예와는 상이하다. 도 29a에 도시된 영역은 제 1의 금속층과 비정질 실리콘층에 의해 형성되는 영역(도 29c)과 제 2의 금속층에 의해 형성되는 영역(도 29d)으로서 도시될 수 있으며, 이들로부터 오목부(301c)의 구성을 명확하게 이해할 수 있을 것이다. 오목부(301c)의 폭은 제 8의 실시예의 오목부의 폭보다 더 크며, 본 실시예에서는, 오목부(301c)는  $20\mu\text{m}$ 의 폭과  $8\mu\text{m}$ 의 길이를 갖는다.

공통 전극 배선부의 형성 이후에 형성되는 비정질 실리콘층 및 제 2의 금속층의 노광시 노광 에러를 보정하는 것이 가능하기 때문에, 이러한 오목부의 배치에 있어서도, 오목부(301c)의 에지 사이의 거리를 측정함으로써, 개구율이 향상되고 분할 얼룩과 같은 디스플레이 얼룩이 없는 액정 디스플레이 장치를 제조 단가를 상승시키지 않으면서 제조할 수 있다.

#### 제 11의 실시예

도 30a 와 도 30b는 제 11의 실시예를 도시하는데, 기본적으로는 도 7에 도시된 제 1 및 제 2의 금속층에 의해 형성되는 영역과 도 7에 도시된 ITO로 형성되는 영역을 각각 도시하는 도 10a 및 도 10b에 도시된 제 1의 실시예와 동일하다. 제 11의 실시예에 따른 액정 디스플레이 장치의 제조 방법도 제 1의 실시예의 방법과 동일하다. 제 11의 실시예는, 돌출부가 공통 전극 배선부(26a)에 형성되며 데이터 라인의 세로 방향과 평행하게 연장하는 공통 전극 배선에서, 제 1의 실시예와 상이하다.

제 1의 실시예에서는 돌출부(299a 및 299b)가 공통 전극 배선부(26a)에 형성되지만, 제 11의 실시예에서는 도 30a에 도시된 바와 같이 돌출부가 공통 전극 배선부(26b)에 형성된다. 돌출부(299d 및 299e) 각각은  $2\mu\text{m}$ 의 폭과  $20\mu\text{m}$ 의 길이를 갖는다. 공통 전극 배선부의 형성 이후에 형성되는 비정질 실리콘층 및 제 2의 금속층의 노광시 노광 에러를 보정하는 것이 가능하기 때문에, 폭이 작은 경우에도 돌출부의 대량 에지 사이의 거리를 측정함으로써, 개구율이 향상되고 분할 얼룩과 같은 디스플레이 얼룩이 없는 액정 디스플레이 장치를 제조 단가를 상승시키지 않으면서 제조할 수 있다.

제 12의 실시예

도 31a 및 도 31b는 제 12의 실시예를 도시하는데, 기본적으로는 제 1 및 제 2의 금속층에 의해 형성되는 영역과 ITO로 형성되는 영역을 각각 도시하는 도 28a 및 도 28b에 도시된 제 9의 실시예와 동일하다. 제 12의 실시예에 따른 액정 디스플레이 장치의 제조 방법도 제 9의 실시예의 방법과 동일하다. 제 12의 실시예는, 데이터 라인의 세로 방향과 평행하게 연장하며 내부에 오목부가 형성되는 공통 전극 배선과, 돌출부의 수가 제 9의 실시예의 수와 다르다는 점에서, 제 9의 실시예와는 상이하다.

제 8의 실시예에서는, 오목부(301)가 데이터 라인(24)에 인접하게 공통 전극 배선부(26a)에 형성되지만, 제 12의 실시예에서는, 도 31a에 도시된 바와 같이 데이터 라인(24)의 양측의 공통 전극 배선부(26b)에 오목부(301d 및 301e)가 형성된다. 오목부 각각은  $2\mu\text{m}$ 의 폭과  $5\mu\text{m}$ 의 깊이를 갖는다.

공통 전극 배선의 형성 이후에 형성되는 비정질 실리콘층 및 제 2의 금속층의 노광시 노광 에러를 보정하는 것이 가능하기 때문에, 이러한 오목부의 배치에 있어서도, 각 오목부의 폭이 작은 경우에도 두 오목부의 양 에지를 측정함으로써, 개구율이 향상되고 분할 열룩과 같은 디스플레이 열룩이 없는 액정 디스플레이 장치를 제조 단가를 상승시키지 않으면서 제조할 수 있다.

제 13의 실시예

도 32a 및 도 32b는 제 13의 실시예를 도시하는데, 기본적으로는 도 7에 도시된 제 1 및 제 2의 금속층에 의해 형성되는 영역과 도 7에 도시된 ITO로 형성되는 영역을 각각 도시하는 도 10a 및 도 10b에 도시된 제 1의 실시예와 동일하다. 제 13의 실시예에 따른 액정 디스플레이 장치의 제조 방법도 제 1의 실시예의 방법과 동일하다. 제 13의 실시예가 제 1의 실시예와 다른 점은 돌출부와 오목부를 구비한다는 점이다.

제 1의 실시예에서는 데이터 라인(24)의 양측에서 공통 전극 배선부(26a) 내에 두 개의 돌출부가 형성되지만, 제 13의 실시예에서는 도 32a에 도시된 바와 같이 주사 라인(28)에 돌출부(28a)가 형성되고 공통 전극 배선부(26b)에 오목부(301f)가 형성된다.

돌출부(28a)는  $5\mu\text{m}$ 의 폭과  $5\mu\text{m}$ 의 깊이를 가지며 오목부는  $5\mu\text{m}$ 의 폭과  $5\mu\text{m}$ 의 깊이를 가진다. 본 실시예에 있어서는, 주사 라인(28)과 공통 전극 배선부(26a 및 26b)가 동일한 단계에서 동일한 재료로 형성되기 때문에, 돌출부(28a)와 오목부(301f)는 이들 사이에 단락이 방지되도록 형성된다.

공통 전극 배선의 형성 이후에 형성되는 비정질 실리콘층 및 제 2의 금속층의 노광시 노광 에러를 보정하는 것이 가능하기 때문에, 돌출부(28a) 또는 오목부(301f)의 양 에지 사이의 거리를 측정함으로써, 개구율이 향상되고 분할 열룩과 같은 디스플레이 열룩이 없는 액정 디스플레이 장치를 제조 단가를 상승시키지 않으면서 제조할 수 있다.

제 14의 실시예

도 33a 및 도 33b는 제 14의 실시예를 도시하는데, 기본적으로는 제 1 및 제 2의 금속층에 의해 형성되는 영역과 ITO로 형성되는 영역을 각각 도시하는 도 32a 및 도 32b에 도시된 제 13의 실시예와 동일하다. 제 14의 실시예에 따른 액정 디스플레이 장치의 제조 방법도 제 13의 실시예의 방법과 동일하다. 제 14의 실시예가 제 13의 실시예와 다른 점은 데이터 라인의 세로 방향과 평행하게 연장하는 돌출부와 오목부를 구비한다는 점이다.

제 13의 실시예에서는 돌출부(28a)가 주사 라인(28)에 형성되고 오목부(301f)가 공통 전극 배선(26b)에 형성되지만, 제 14의 실시예에서는 오목부(28b)가 주사 라인(28)의 부분에 형성된다. 오목부(28b)는  $5\mu\text{m}$ 의 폭과  $5\mu\text{m}$ 의 깊이를 갖는다.

공통 전극 배선의 형성 이후에 형성되는 비정질 실리콘층 및 제 2의 금속층의 노광시 노광 에러를 보정하는 것이 가능하기 때문에, 오목부(28a)의 양 에지 사이의 거리를 측정함으로써, 개구율이 향상되고 분할 열룩과 같은 디스플레이 열룩이 없는 액정 디스플레이 장치를 제조 단가를 상승시키지 않으면서 제조할 수 있다.

직선형 액정 구동 전극인 공통 전극과 픽셀 전극을 구비하는 액정 디스플레이 장치의 단위 소자의 구조가 상세히 설명될 것이다. 그러나, 제조 단가를 상승시키지 않으면서 디스플레이 얼룩을 방지할 수 있는 액정 디스플레이를 제공하는 관점에서, 액정 전극이 구부러진, 소위 멀티 도메인 단위 소자 구조에 관해서도, 공통 전극 배선에 돌출부(들)를 마련하면 같은 효과를 얻을 수 있다.

또한, 공통 전극과 픽셀 전극이 동일 층에 형성되는 것으로 설명되었지만, 공통 전극과 픽셀 전극은, 제조 단가를 상승시키지 않으면서 디스플레이 얼룩을 방지할 수 있는 액정 디스플레이 장치를 제공한다는 관점에서는, 제 3의 중간 절연막의 양측에 정렬될 수도 있다.

상기 상술된 각각의 실시예에 있어서, 얼라인먼트 노광동안 미세 치수 측정에서 기준으로서 사용될 수 있는 돌출부 또는 오목부는 모든 픽셀이 아니라 R에 대한 픽셀에만 정렬될 수도 있다.

다르게는, 상기 기준은 G 또는 B에 대한 픽셀에만 정렬될 수도 있다.

다르게는, R, G 및 B 픽셀을 한 단위로 가정하여, 하나의 돌출부가 둘 또는 세 단위의 간격으로 마련될 수도 있다.

후자의 경우에 있어서, 가로 방향의 미세 치수 측정도 가능하며 정확한 얼라인먼트를 수행할 수도 있다. 따라서, 분할 얼룩과 같은 디스플레이 얼룩을 갖지 않는 액정 디스플레이 장치를 제조할 수 있다.

상기 상술된 실시예에 있어서는, 본 발명의 특징적인 부분만이 상세히 설명되고 당업자에게 널리 공지되어 있는 부분에 대해서는 설명되지 않았다. 그러나, 공지의 부분은 당업자에 의해 쉽게 추정될 수 있는 문제인 것으로 간주되어야 한다.

### 발명의 효과

상기에 설명된 바와 같이, 본 발명에 따르면, 제조 단가를 상승시키지 않으면서 개구율이 향상되고 분할 얼룩과 같은 디스플레이 얼룩이 없는 IPS 모드 능동 매트릭스형 액정 디스플레이 장치를 제공할 수 있다.

본 발명자에 의해 수행된 실험에 따르면, 종래의 액정 디스플레이 장치에 비해 개구율이 향상되고 디스플레이 얼룩이 없는 IPS 모드 능동 매트릭스형 액정 디스플레이 장치가 제조 단가의 상승 없이 얻어지는 것이 확인되었다.

### (57) 청구의 범위

#### 청구항 1.

삭제

#### 청구항 2.

삭제

#### 청구항 3.

삭제

#### 청구항 4.

삭제

#### 청구항 5.

삭제

#### 청구항 6.

삭제

**청구항 7.**

삭제

**청구항 8.**

삭제

**청구항 9.**

삭제

**청구항 10.**

삭제

**청구항 11.**

삭제

**청구항 12.**

삭제

**청구항 13.**

삭제

**청구항 14.**

제 1의 기판 상에 형성되며, 다수의 픽셀 영역 위로 연장되는 공통 전극 배선부와 주사 라인을 구성하기 위한 제 1의 도전층과;

상기 제 1의 기판 상에 형성되어 상기 제 1의 도전층을 피복하는 제 1의 절연층과;

상기 주사 라인과 관련되며 상기 다수의 픽셀 영역에 각각 대응하는 상기 제 1의 절연층상에 형성되는 다수의 스위칭 소자와;

상기 제 1의 절연층 상에 형성되며, 상기 주사 라인과 공동으로 상기 픽셀 영역마다 형성되는 스위칭 소자용 전극과 데이터 라인을 구성하기 위한 제 2의 도전층과;

상기 제 2의 도전층 상에 형성되는 제 2의 절연층과;

상기 제 2의 절연층 상에 형성되며, 상기 픽셀 영역 각각에 대한 공통 전극과 픽셀 전극을 구성하기 위한 제 3의 도전층과;

상기 제 1의 기판과 대향 관계로 정렬되는 제 2의 기판 및

상기 제 1의 기판과 상기 제 2의 기판 사이에 주입된 액정층을 포함하며,

상기 제 1의 도전층은 상기 공통 전극 배선부와 상기 주사 라인의 연장 방향에 수직한 방향으로 연장된 위치 정렬 기준 패턴 영역을 구비하며;

상기 데이터 라인은 상기 위치 정렬 기준 패턴 영역의 연장 방향과 연장 방향이 일치하도록 상기 픽셀 영역 위에서 연장되며,

상기 픽셀 전극은 상기 스위칭 소자를 상기 제 2의 절연층에 형성되는 제 1의 콘택트홀을 통해 상기 스위칭 소자용 상기 전극 중 하나에 전기적으로 연결되며,

상기 공통 전극은 상기 제 1의 절연층과 상기 제 2의 절연층에 형성되는 제 2의 콘택트홀을 통해 상기 공통 전극 배선부에 전기적으로 연결되는 IPS 모드 능동 매트릭스형 액정 디스플레이 장치를 제조하기 위한 제조 방법에 있어서,

디스플레이 영역의 분할 패턴을 구비하는 포토 마스크를 사용하여 적어도 디스플레이 영역을 노광하는 단계를 포함하고,

포토리소그래피에 의해 적층의 새로운 층을 패턴화할 때, 분할 노광 사이의 노광 보정은 상기 위치 정렬 기준 패턴 영역에 기초하여 상기 공통 전극 배선층의 상대 위치를 미세하게 측정하는 것에 의해 수행되는 것을 특징으로 하는 IPS 모드 능동 매트릭스형 액정 디스플레이 장치의 제조 방법.

## 도면

도면1

1Z	20Z	19Z	18Z	17Z	16Z
2Z	21Z	22Z	23Z	24Z	15Z
3Z	25Z	26Z	27Z	28Z	14Z
4Z	29Z	30Z	31Z	32Z	13Z
5Z	33Z	34Z	35Z	36Z	12Z
6Z	7Z	8Z	9Z	10Z	11Z

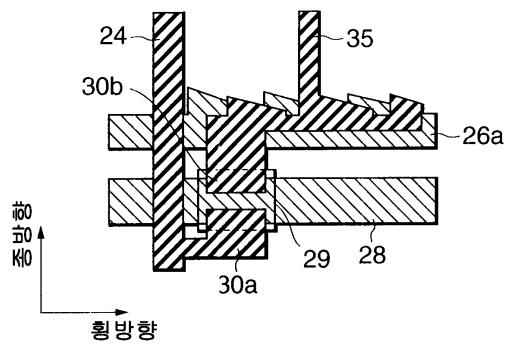
37Z

도면2

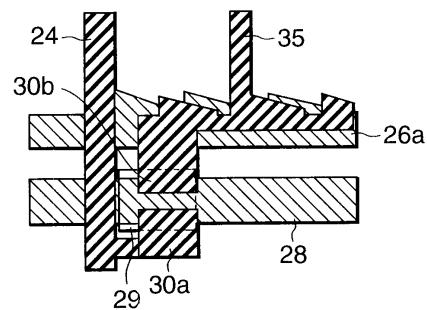
1Z	20Z	19Z	18Z	17Z	16Z
2Z	21Z	22Z	23Z	24Z	15Z
3Z	25Z	26Z	27Z	28Z	14Z
4Z	29Z	30Z	31Z	32Z	13Z
5Z	33Z	34Z	35Z	36Z	12Z
6Z	7Z	8Z	9Z	10Z	11Z

37Z

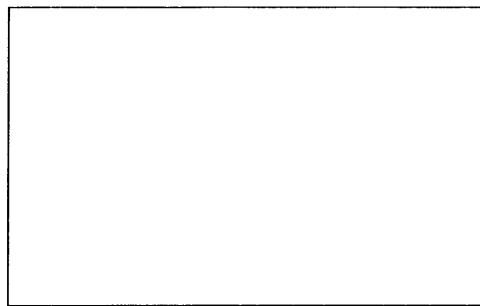
도면3a



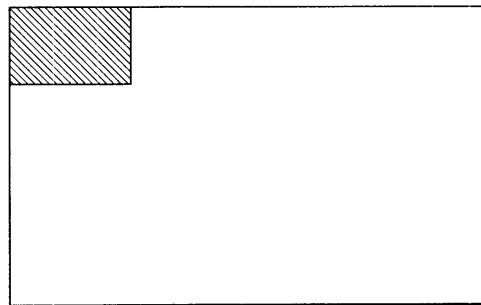
도면3b



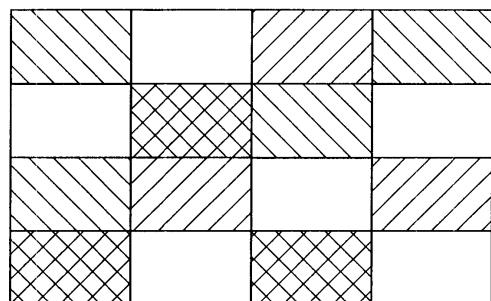
도면4



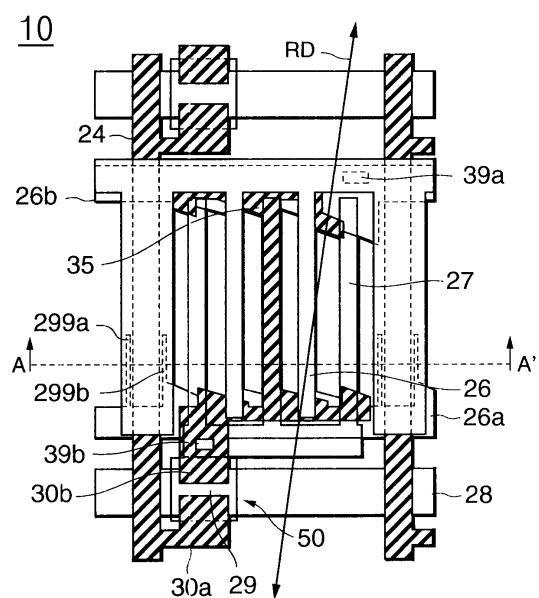
도면5



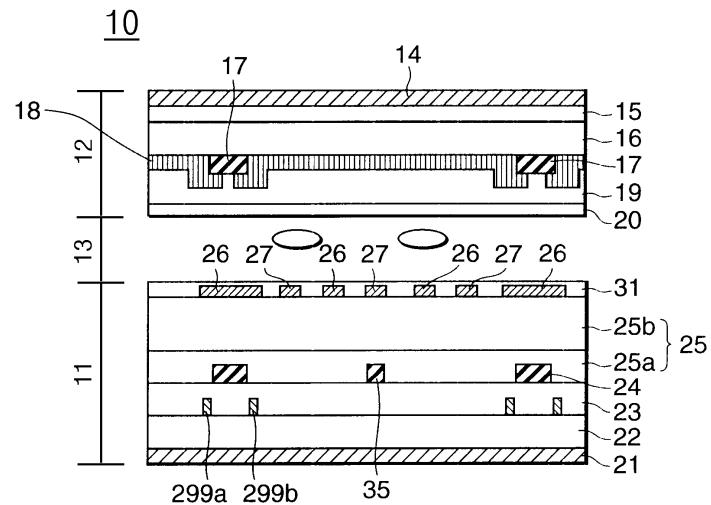
도면6



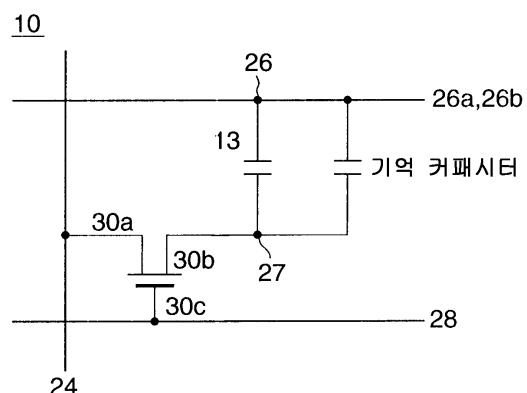
도면7



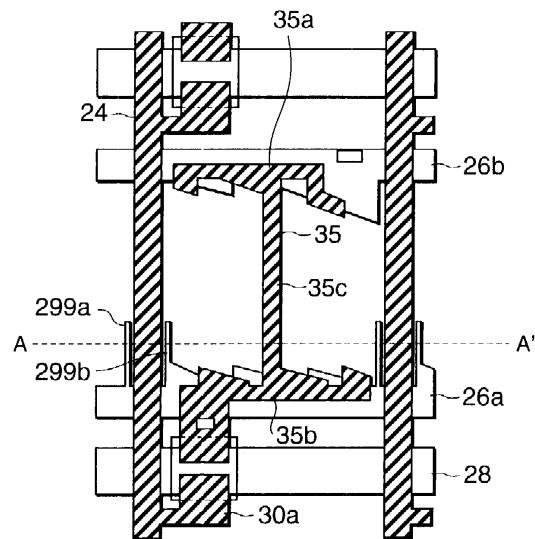
도면8



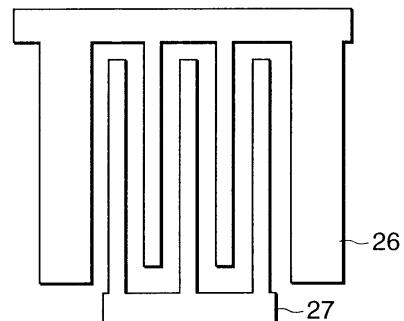
도면9



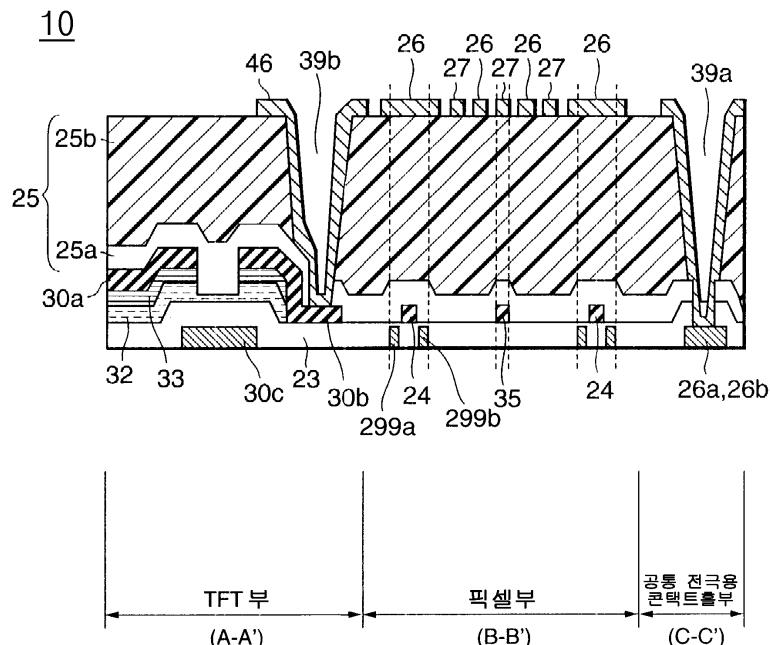
도면10a



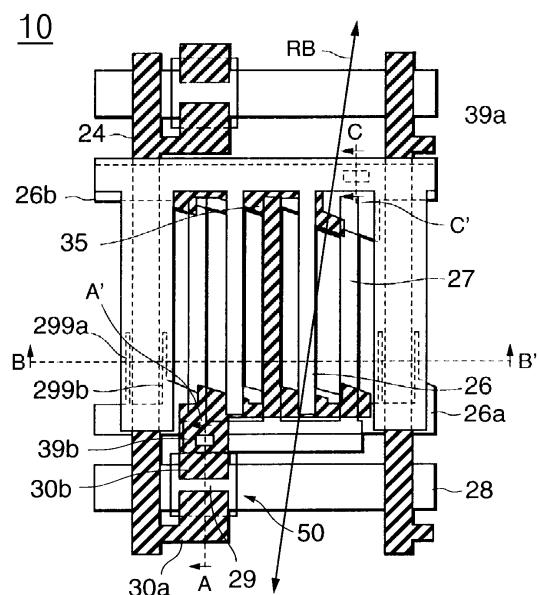
도면10b



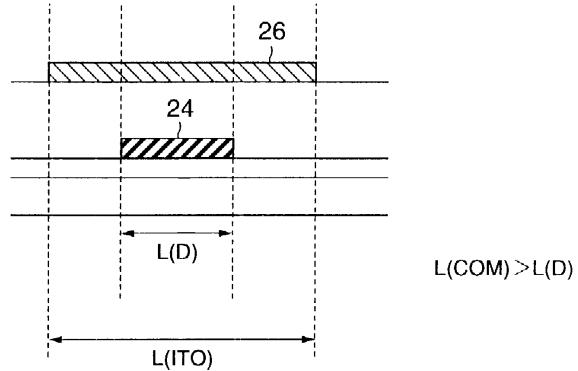
도면11



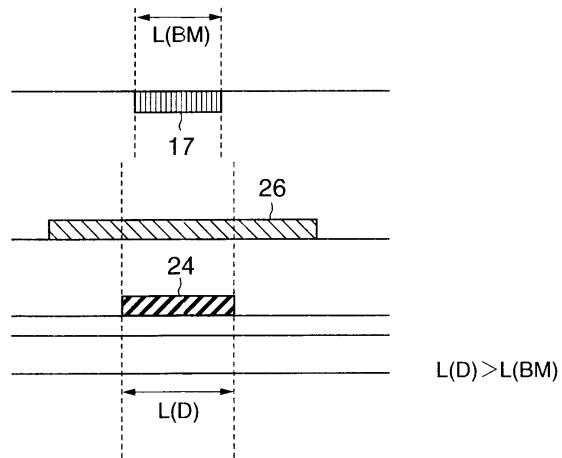
도면12



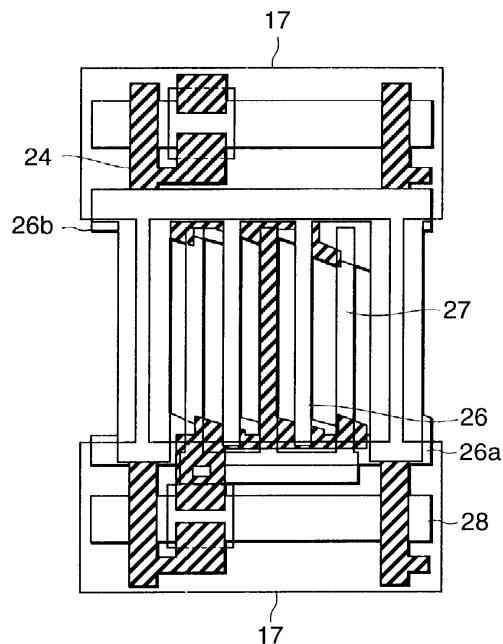
도면13



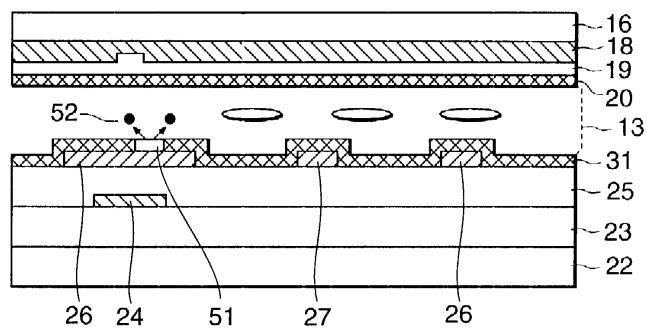
도면14



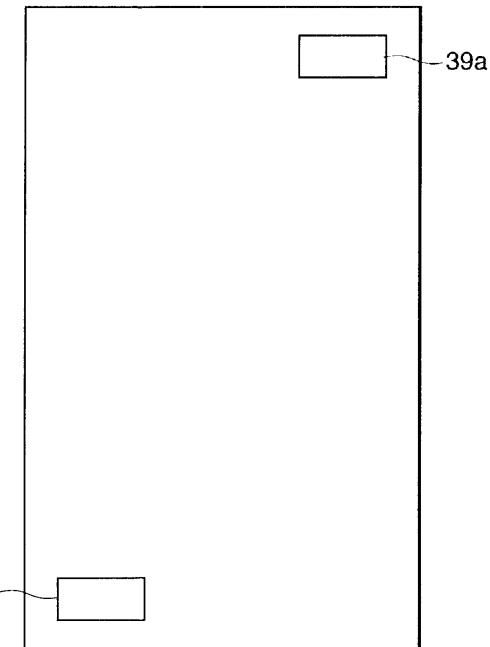
도면15



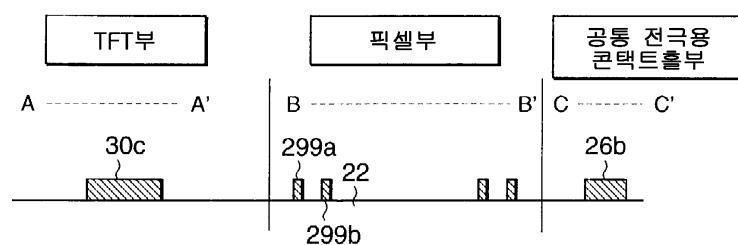
도면16



도면17



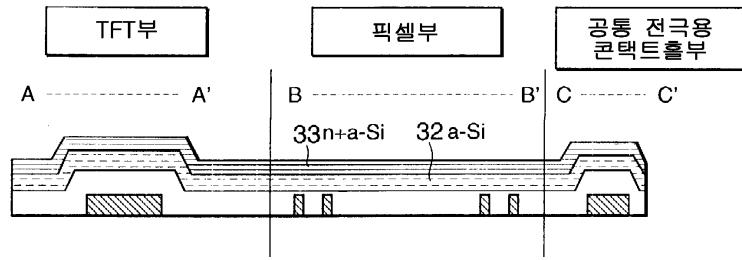
도면18a



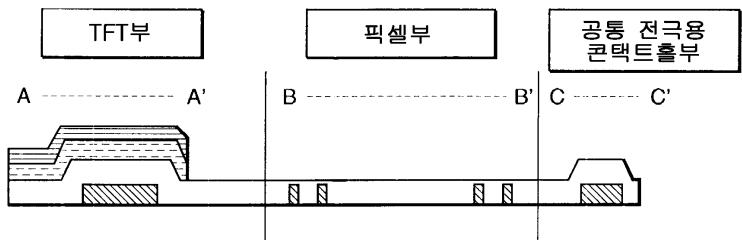
도면18b



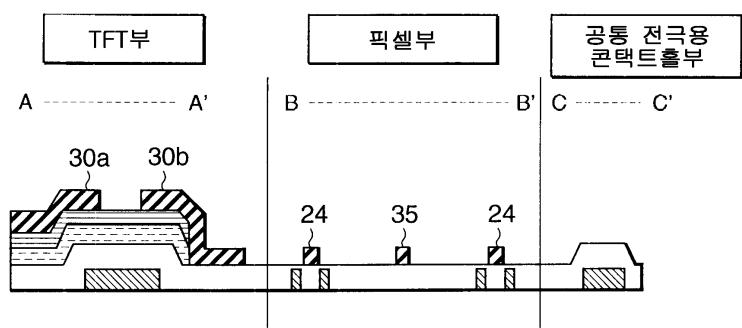
도면18c



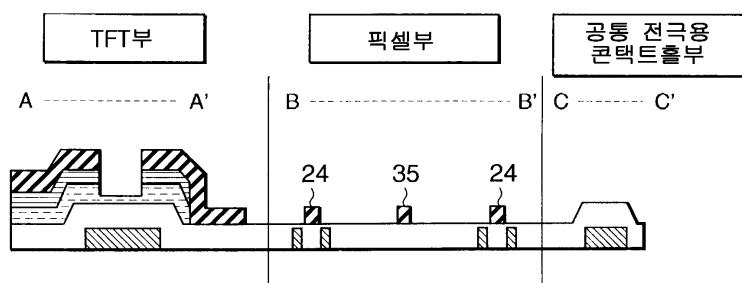
도면18d



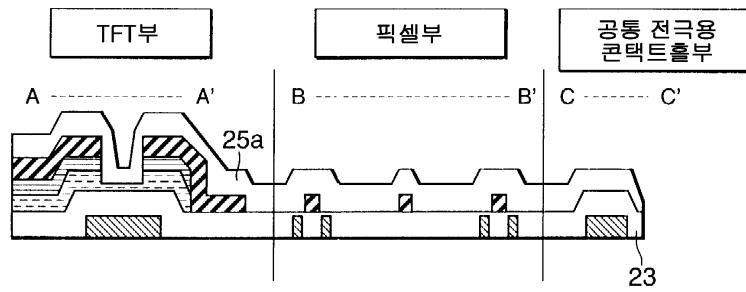
도면18e



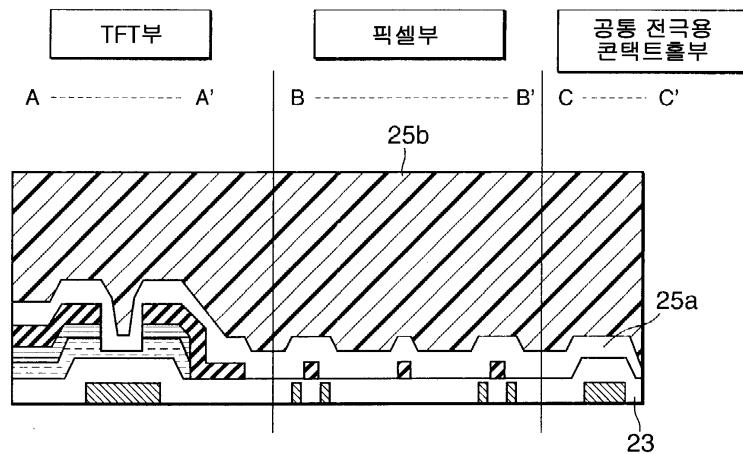
도면18f



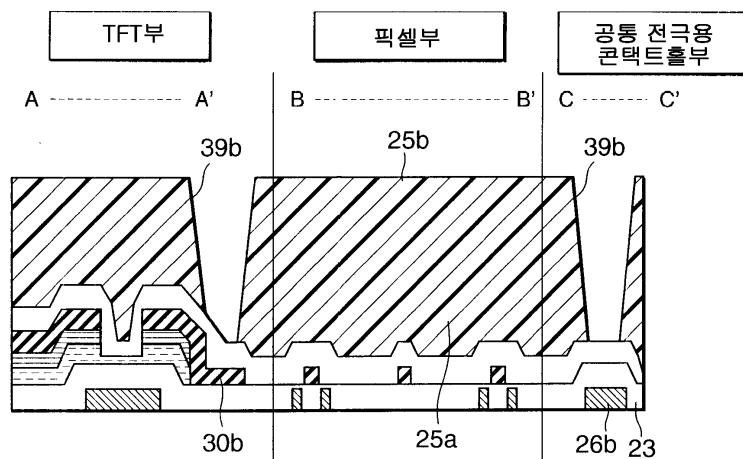
도면18g



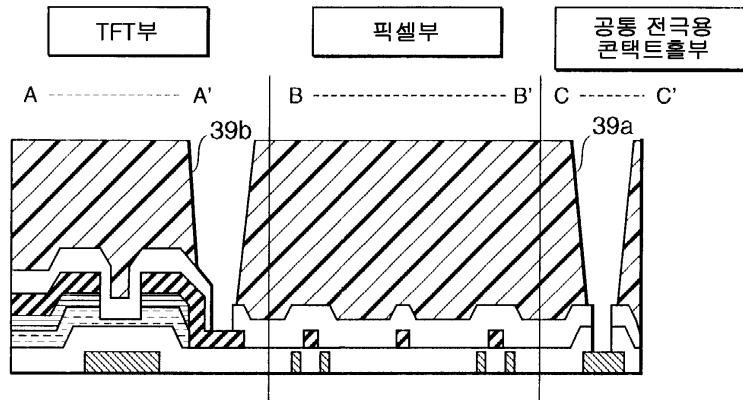
도면18h



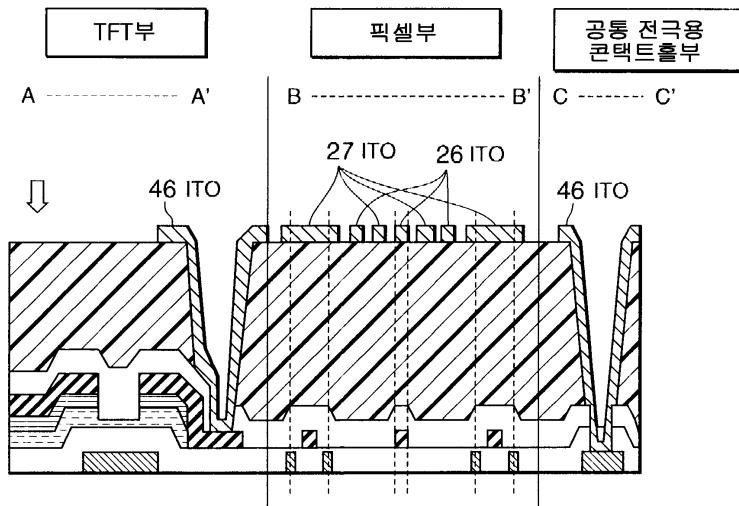
도면18i



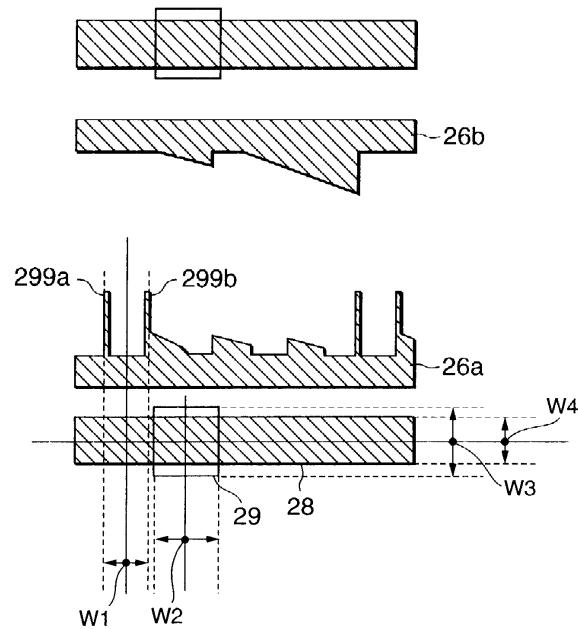
도면18j



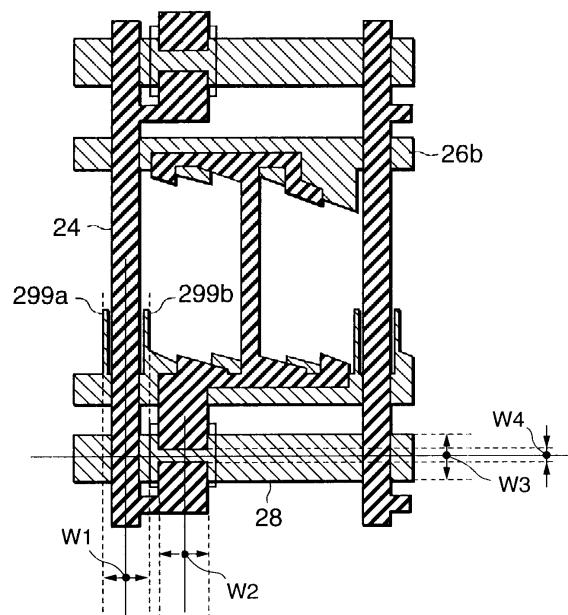
도면18k



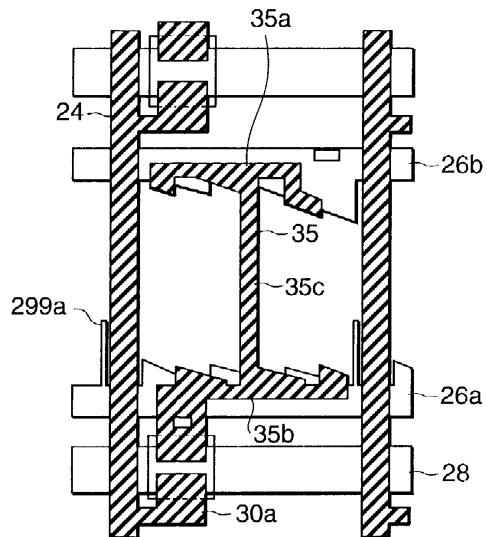
도면19



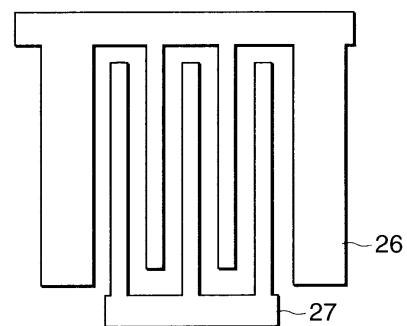
도면20



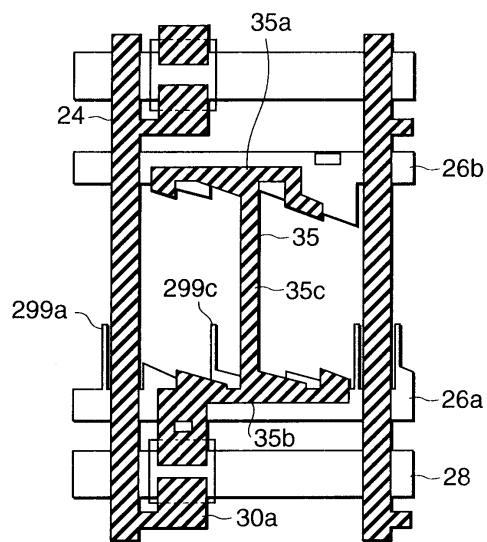
도면21a



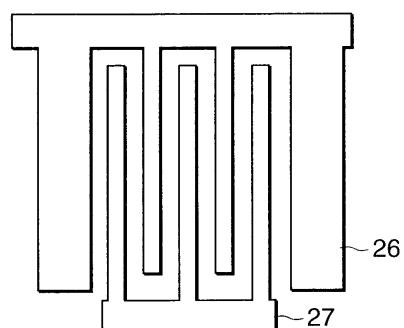
도면21b



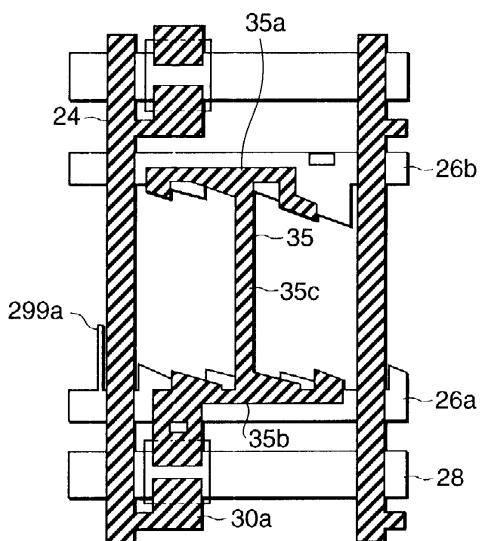
도면22a



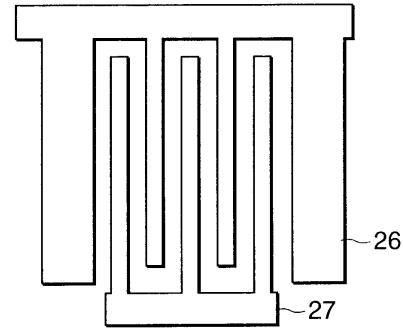
도면22b



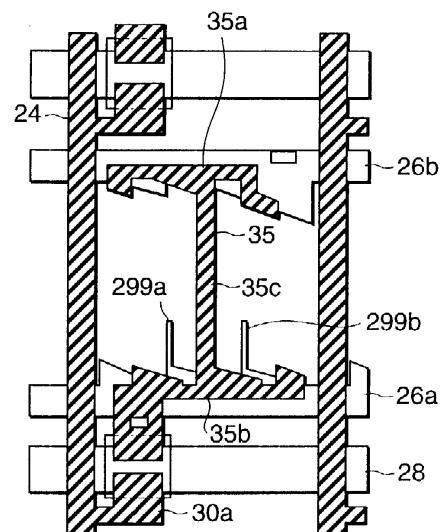
도면23a



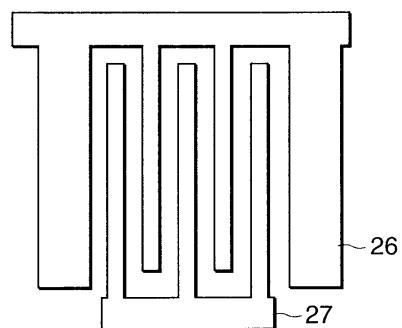
도면23b



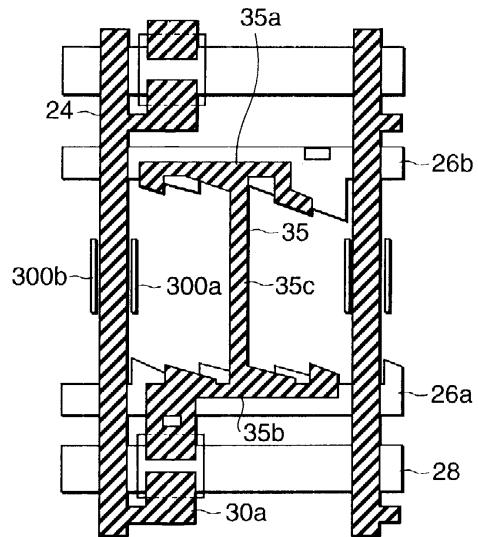
도면24a



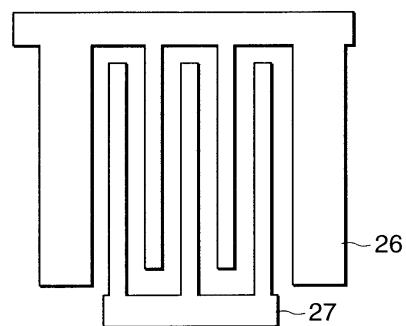
도면24b



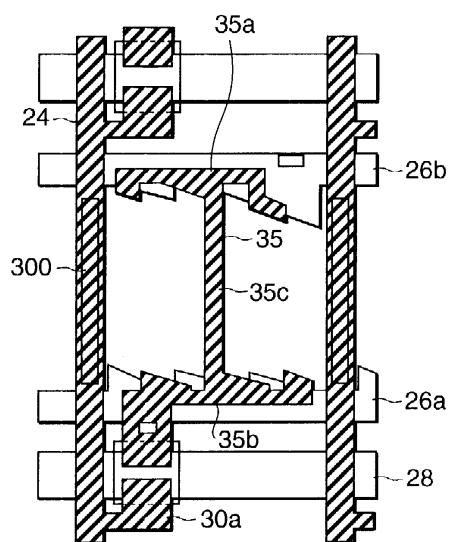
도면25a



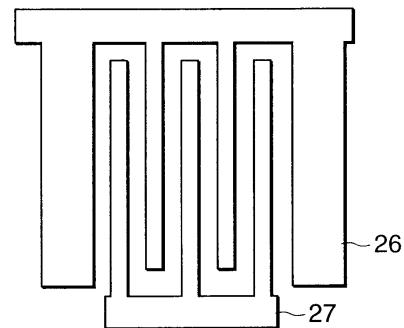
도면25b



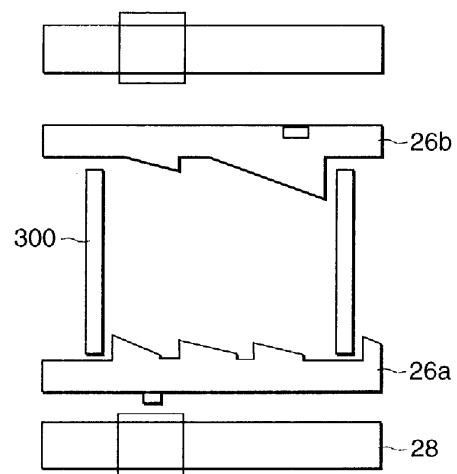
도면26a



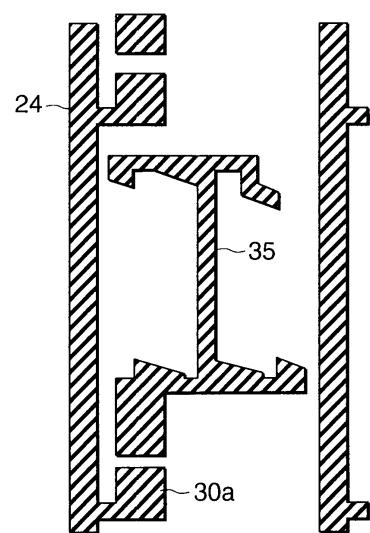
도면26b



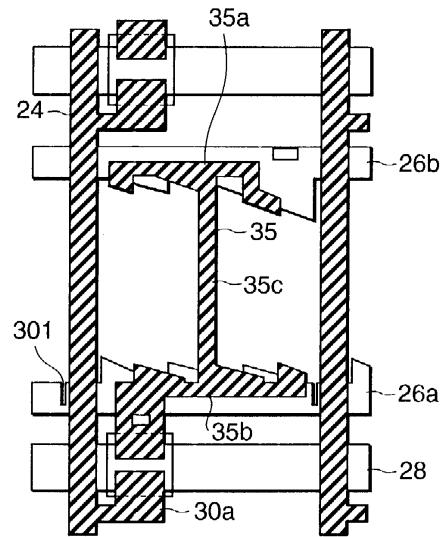
도면26c



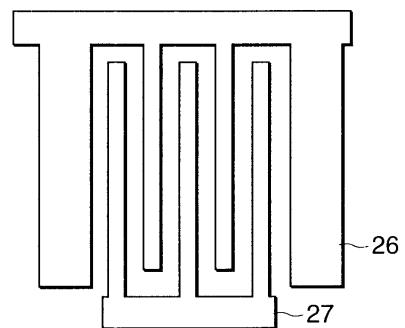
도면26d



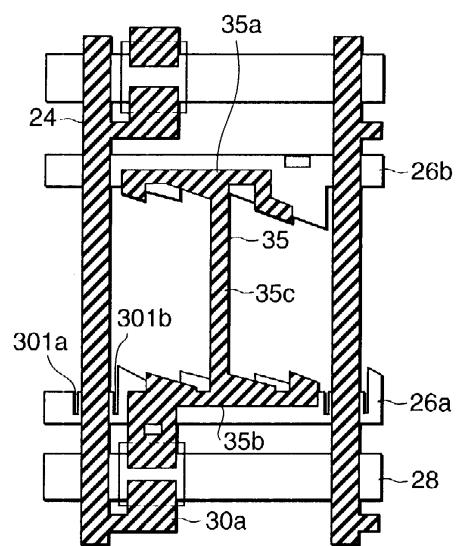
도면27a



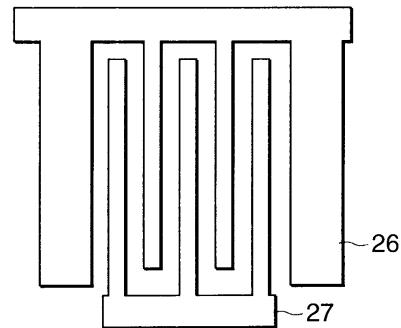
도면27b



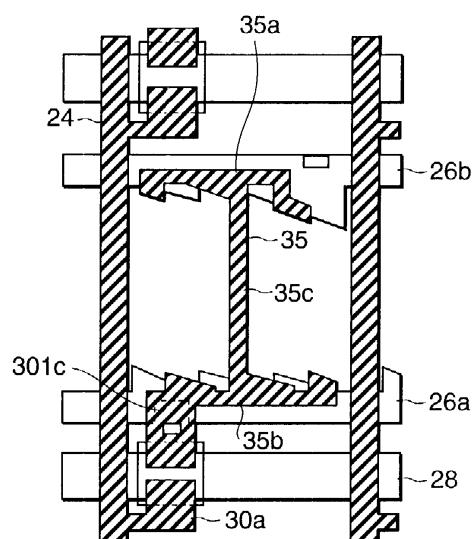
도면28a



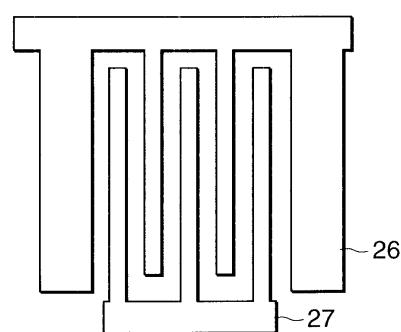
도면28b



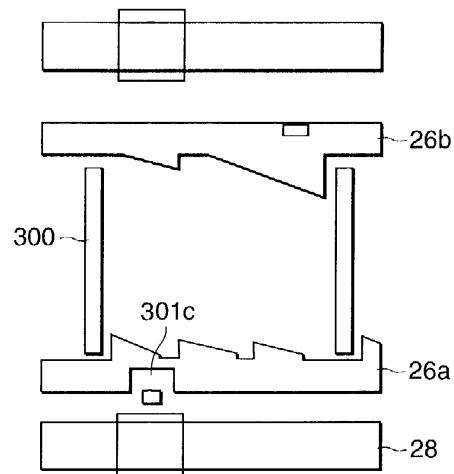
도면29a



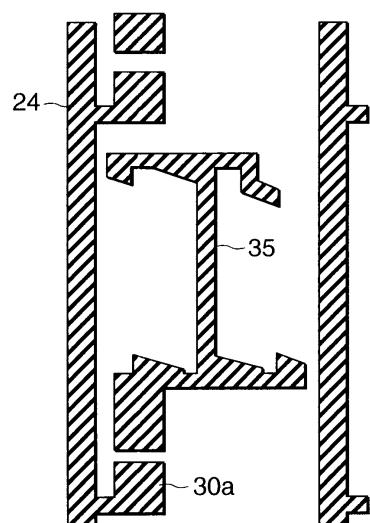
도면29b



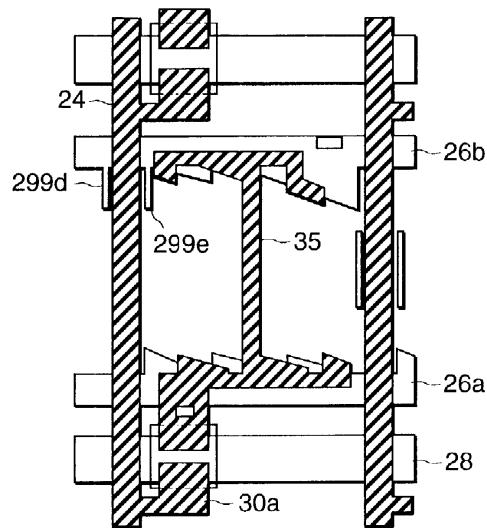
도면29c



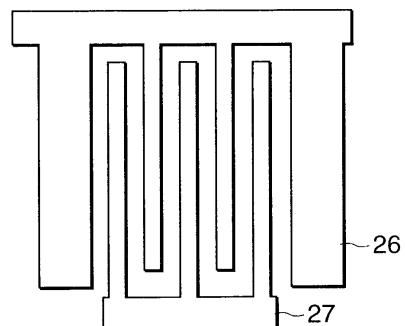
도면29d



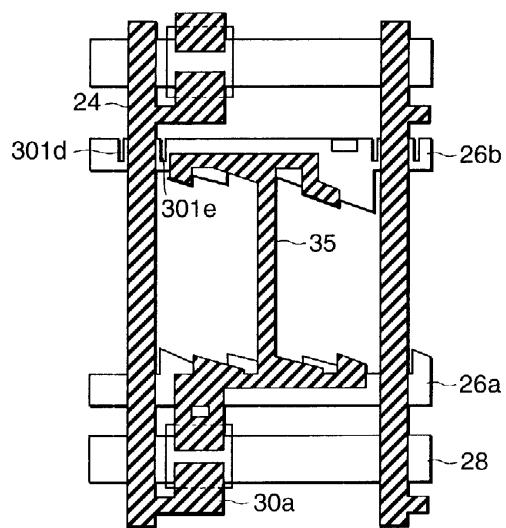
도면30a



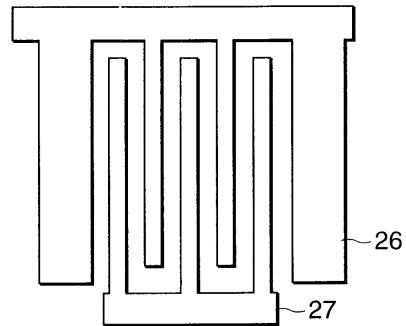
도면30b



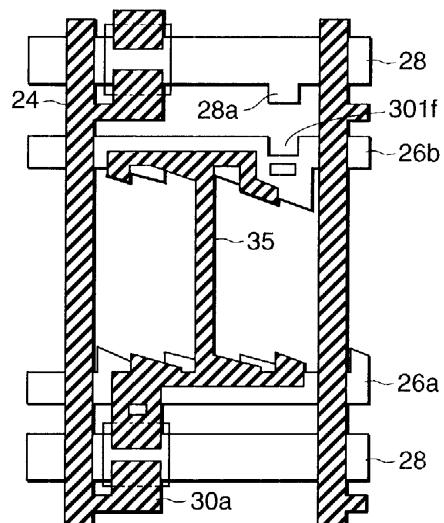
도면31a



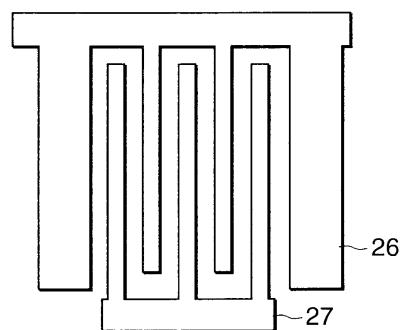
도면31b



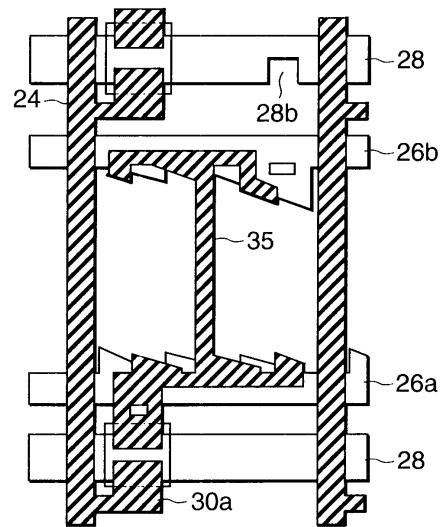
도면32a



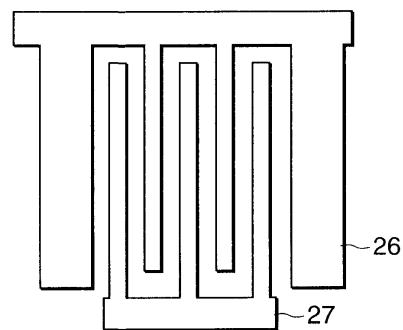
도면32b



도면33a



도면33b



专利名称(译)	有源矩阵型液晶显示装置的制造方法		
公开(公告)号	<a href="#">KR100563699B1</a>	公开(公告)日	2006-03-28
申请号	KR1020020020855	申请日	2002-04-17
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	日元号技术可否让这个夏		
当前申请(专利权)人(译)	日元号技术可否让这个夏		
[标]发明人	MATSUMOTO KIMIKAZU 마츠모토 키미카즈 HANNUKI TAKAHISA 한누키타카하사 KOIKE MASASHI 코이케마사시 NISHIDA SHINICHI 니시다신이치 ITAKURA KUNIMASA 이타쿠라쿠니마사		
发明人	마츠모토 키미카즈 한누키타카하사 코이케마사시 니시다신이치 이타쿠라쿠니마사		
IPC分类号	G02F1/1343 G02F1/1335 G02F1/1368 G09F9/30 H01L21/027 H01L21/336 H01L29/786		
CPC分类号	G02F1/134363		
优先权	2001118083 2001-04-17 JP		
其他公开文献	KR1020020081133A		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

扫描线 ( 28 ) 和 TFT ( 50 ) , 其中像素电极对应于数据线 ( 24 ) , 接收关于面内切换模式有源矩阵型液晶显示器件公共电极布线部分 ( 26a 和 26b ) 的数据信号。如图26b ) 所示 , 在公共电极 ( 26 ) 上施加参考电压 , 在有源元件基板 ( 11 ) 上准备显示的像素和扫描信号。使用第一金属层形成公共电极布线部分 ( 26a 和 26b ) 。它连接到外围单元中的公共电极电位 , 同时平行于扫描线延伸。突出部分 ( 299a 和 299b ) 可以形成在公共电极布线部分 ( 26a 和 26b ) 中的至少一个上 , 它位于要形成的数据线 ( 24 ) 的两侧。显示装置的显示污迹减少并且孔径比得到改善。IPS , 活性 , 基质 , 液晶 , 。

