

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

|                                            |                                     |                                          |
|--------------------------------------------|-------------------------------------|------------------------------------------|
| (51) 。 Int. Cl. <sup>7</sup><br>G02F 1/136 | (45) 공고일자<br>(11) 등록번호<br>(24) 등록일자 | 2005년07월01일<br>10-0498543<br>2005년06월22일 |
|--------------------------------------------|-------------------------------------|------------------------------------------|

|           |                 |           |                 |
|-----------|-----------------|-----------|-----------------|
| (21) 출원번호 | 10-2002-0068877 | (65) 공개번호 | 10-2004-0040682 |
| (22) 출원일자 | 2002년11월07일     | (43) 공개일자 | 2004년05월13일     |

|           |                                                                         |
|-----------|-------------------------------------------------------------------------|
| (73) 특허권자 | 엘지.필립스 엘시디 주식회사<br>서울 영등포구 여의도동 20번지                                    |
| (72) 발명자  | 진교원<br>서울특별시마포구창전동2-44번지<br><br>송인덕<br>경상북도구미시고아읍원호6리449번지대우아파트106-1305 |
| (74) 대리인  | 허용록                                                                     |

심사관 : 임동재

(54) 액정표시장치용 어레이 기판 및 그 제조방법

요약

본 발명에 의한 액정표시장치용 어레이 기판은, 기판 상에 배열된 다수의 게이트 라인과, 상기 게이트 라인과 교차하여 다수의 화소영역을 정의하는 다수의 데이터 라인과, 상기 게이트 라인과 데이터 라인의 교차부에 위치한 스위칭 소자로서의 박막트랜지스터와, 상기 화소영역에 각각 배치된 화소 전극으로 이루어진 액정표시장치용 어레이 기판에 있어서,

상기 데이터 라인에 교차되며, 상기 게이트 라인이 형성되는 층에 상기 게이트 라인에 평행되게 형성되는 스토리지 하부 전극과, 상기 스토리지 하부전극과 상기 화소 전극 사이에 회절 패턴 적용으로 형성된 반도체층이 개재되어 형성되는 스토리지 캐패시터가 포함되는 것을 특징으로 한다.

이와 같은 본 발명에 의하면, 마스크를 감소하여 스토리지 캐패시터를 형성함으로써 스토리지부의 복잡한 패턴 불량에 의한 수율 감소를 방지하고 생산성을 향상시키는 장점이 있다.

대표도

도 5c

명세서

도면의 간단한 설명

도 1은 종래 액정 표시 장치에 형성되는 온컴먼 방식의 스토리지 캐패시터가 형성된 액정표시장치용 어레이 기판을 개략적으로 나타낸 도면.

도 2는 종래의 액정 표시 장치에 채용되는 개선된 온컴먼 방식의 스토리지 캐패시터가 형성된 TFT 어레이를 개략적으로 나타낸 도면.

도 3은 도 2의 A 부분에 대한 상세 단면도를 나타낸 도면.

도 4는 본 발명에 의해 온컴먼 방식의 스토리지 캐패시터가 형성된 액정표시장치용 어레이 기판을 개략적으로 나타낸 도면.

도 5a 내지 5f는 도 4의 B-B' 및 C-C'를 따라 절단한 단면도로서, 본 발명에 따른 액정표시장치용 어레이 기판의 제조공정을 순서대로 도시한 도면.

도 6은 도 5c의 공정을 보다 상세히 나타낸 도면.

<도면의 주요 부분에 대한 부호의 설명>

109, 119 : 게이트 라인 110, 120 : 데이터 라인

111 : 소스 전극 112 : 드레인 전극

113, 113' : 반도체층 113a : 채널

114 : 게이트 전극 115 : 화소전극

116 : 스토리지 하부전극 310 : 쓰루홀

312 : 콘택홀 510 : 절연층

511 : 반도체층 512 : 불순물 반도체층

514 : 제 2금속층 519 : 보호막층

612 : 마스크의 회절패턴 형성영역 614 : 마스크의 어두운 부분

616 : 포토레지스트 618 : 할프트론 부

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 4마스크 공정으로 온컴먼(on common) 방식의 스토리지 캐패시터를 형성하는 액정표시장치용 어레이 기판 및 그 제조방법에 관한 것이다.

일반적으로 액정표시장치는 일정한 갭(gap)으로 이격된 2매의 투명기판과, 상기 2매의 투명기판 사이에 주입되는 광학적 이방성을 갖는 액정과, 상기 액정에 전압을 인가하는 구동소자로 구성된다.

현재 이와 같은 액정표시장치는 휴대용 컴퓨터장치의 표시수단 등으로 이용되며, 점점 그 표시면적이 대면적화 되어 가고 있다. 이러한 대면적화된 액정표시장치의 구동은 수만개의 화소와 이러한 각 화소의 주변을 데이터 라인과 게이트 라인이 지나가고, 각 데이터 라인과 게이트 라인이 교차하는 부분에 위치하는 구동소자인 박막트랜지스터로 구성되는 액티브 매트릭스형 어레이(active matrix type array) 구조를 채용함으로써 실현 가능해 졌다.

한편, 이와 같은 액티브 매트릭스형 액정 표시 장치는, 표시되는 이미지의 균일성(uniformity)을 확보하기 위하여 데이터 라인을 통하여 입력된 신호 전압을 다음 입력시까지 일정시간 동안 유지시켜 줄 필요가 있으며, 이를 위하여 액정 셀과 평행하게 스토리지 캐패시터(storage capacitor)를 형성시켜 준다.

여기서, 액정 표시 장치에 형성되는 상기 스토리지 캐패시터는 충전을 위한 전극을 사용하는 방식에 따라 온컴먼(on common) 방식과 온게이트(on gate) 방식으로 구분될 수 있다.

이들 방식을 비교하면, 온게이트 방식은 (n-1)번째의 게이트 라인 일부를 (n)번째 화소의 충전 전극으로 사용하는 방식으로 개구율의 감소 정도가 적고, NW 방식(Normally White Mode)에서 점 결함 발생시 눈에 쉽게 띄지 않으며, 수율이 좋은 반면에 주사 신호 시간이 길어지는 단점이 있다.

그리고, 온컴먼 방식은 충전 전극을 별도로 배선하여 사용하는 방식으로, 주사신호 시간이 짧은 반면에 개구율의 감소 정도가 크고, NW 방식에서 점결함 발생시 눈에 쉽게 띄며, 수율이 떨어진다는 단점이 있다.

다음으로는 도 1을 참조하여 온컴먼 방식의 스토리지 캐패시터에 대하여 간략하게 설명해 보기로 한다.

도 1은 종래 액정 표시 장치에 형성되는 온컴먼 방식의 스토리지 캐패시터가 형성된 액정표시장치용 어레이 기판을 개략적으로 나타낸 도면이다.

도 1을 참조하여 설명하면, 온컴먼 방식의 스토리지 캐패시터가 형성된 액정표시장치용 어레이 기판은, 하판인 절연기판 상에 복수개의 게이트 라인(109)(119)과 복수개의 데이터 라인 (110)(120)이 교차하여 교차부를 형성하고 있다. 임의의 데이터 라인(예컨대 110)과 임의의 게이트 라인(예컨대 119)이 교차하는 교차부에는 상기 데이터 라인(110)과 동일 배선인 소스 전극(111) 및 드레인 전극(112)과, 상기 게이트 라인(119)과 동일 배선인 게이트 전극(114)과, 반도체 층(113)을 구비하여 이루어진 박막 트랜지스터(TFT)가 형성되어 있다.

또한, 화소전극(115)이 게이트 라인(119) 및 데이터 라인(110)과 일정 간격을 두고 드레인 전극(112)에 연결되어 형성되어 있으며, 스토리지 하부전극(116)이 게이트 라인(119)과 평행하게 위치하되, 상기 화소전극(115)을 횡단하여 형성되어 있다. 이와 같은 구성을 갖는 온컴먼 방식의 스토리지 캐패시터는, 스토리지 상부전극인 상기 화소전극(115)과, 상기 게이트 전극(114)과 동일 물질로 형성되는 상기 스토리지 하부전극(116) 사이에 전하를 축전시키게 된다. 이때, 상기 스토리지 캐패시터에 축전되는 정전용량은, 알려진 바와 같이

$$C = \epsilon \frac{A}{d}$$

에 의하여 축전되는 정전용량의 크기가 결정된다. 여기서, C는 정전용량,  $\epsilon$ 는 유전상수, A는 전극의 면적을 나타내며, d는 전극 간의 거리를 나타낸다.

한편, 액정 표시 장치에 표시되는 이미지의 균일성(uniformity)을 확보하기 위해서는, 상기 스토리지 캐패시터에 의해 축전되는 정전용량은 클 것이 요구된다.

이를 만족시키기 위한 하나의 방안으로, 도 2 및 도 3에 나타낸 바와 같이, 상기 화소전극 아래에 별도의 스토리지 상부전극을 형성하여, 전극 간의 거리 d를 줄여 정전용량을 크게 하는 방안이 이용되기도 한다.

도 2는 종래의 액정 표시 장치에 채용되는 개선된 온컴먼 방식의 스토리지 캐패시터가 형성된 TFT 어레이를 개략적으로 나타낸 도면이고, 도 3은 도 2의 A 부분에 대한 상세 단면도를 나타낸 도면이다.

도 2 및 도 3에 나타낸 바와 같이, 개선된 온컴먼 방식의 스토리지 캐패시터가 형성된 TFT 어레이는 도 1에 나타낸 구성과 유사하다. 따라서, 동일한 구성 요소에 대해서는 동일한 도면부호를 사용하였으며, 여기서는 구별되는 구성 요소에 대해서만 설명을 추가하기로 한다.

개선된 온컴먼 방식의 스토리지 캐패시터가 형성된 TFT 어레이의 기본적인 구조는 도 1에 나타낸 종래 TFT 어레이의 구조와 유사하며, 다만 스토리지 상부전극(217)이 변경된 구조이다.

즉, 도 2 및 도 3에 나타낸 바와 같이, 화소전극(115) 아래에 데이터 라인(110)이 형성되는 층과 동일 층에, 상기 데이터 라인(110)을 형성시키는 물질과 동일한 물질을 이용하여 스토리지 상부전극(217)이 소정 크기로 형성되어 있다.

그리고, 상기 스토리지 상부전극(217)을 덮고있는 보호막(303)의 일부에는 쓰루홀이 마련되는 쓰루홀 영역(305)이 존재한다. 그리고, 상기 쓰루홀 영역(305)을 통하여 상기 화소전극(115)과 상기 스토리지 상부전극(217)은 전기적인 연결을 하게 된다.

이와 같은 구성을 갖는 개선된 온컴먼 방식의 스토리지 캐패시터는, 상기 데이터 라인(110)과 동일 물질로 형성되는 스토리지 상부전극(217)과, 상기 게이트 전극 (114)과 동일 물질로 형성되는 상기 스토리지 하부전극(116) 사이에 전하가 축전되게 된다.

이를 도 1에 나타낸 온컴먼 방식의 스토리지 캐패시터와 비교하여 보면, 스토리지 캐패시터를 구성하는 양 전극 간의 거리가 줄어들게 됨에 따라, 상대적으로 높은 정전용량을 확보할 수 있게 된다.

상기와 같이 구성되는 온컴먼 방식의 스토리지 캐패시터 및 박막트랜지스터, 화소전극 등은 종래에는 5회의 포토 공정, 즉 5 마스크를 이용한 제조공정을 거쳐 구성되었다.

그러나, 상기 5회 각각의 포토 공정은 복잡한 과정의 단계를 거치기 때문에 각각의 단계에서 불량 발생 확률이 높아지고, 따라서 한 번의 포토공정이 증가하면 그만큼 불량발생율은 높아져 기판의 제조수율이 저하되는 문제점이 발생하게 된다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 4마스크 공정을 통해 형성되는 액정표시장치에 있어서, 박막트랜지스터의 채널부에 적용되는 회절패턴을 온컴먼 방식의 스토리지 부에 적용함으로써, 상기 스토리지부의 복잡한 패턴을 단순화하여 마스크 수를 감소하는 액정표시장치 및 그 제조방법을 제공함에 그 목적이 있다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에 의한 액정표시장치용 어레이 기판은, 기판 상에 배열된 다수의 게이트 라인과, 상기 게이트 라인과 교차하여 다수의 화소영역을 정의하는 다수의 데이터 라인과, 상기 게이트 라인과 데이터 라인의 교차부에 위치한 스위칭 소자로서의 박막트랜지스터와, 상기 화소영역에 각각 배치된 화소 전극으로 이루어진 액정표시장치용 어레이 기판에 있어서,

상기 데이터 라인에 교차되며, 상기 게이트 라인이 형성되는 층에 상기 게이트 라인에 평행하게 형성되는 스토리지 하부 전극과, 상기 스토리지 하부전극과 상기 화소 전극 사이에 회절 패턴 적용으로 형성된 반도체층이 개재되어 형성되는 스토리지 캐패시터가 포함되는 것을 특징으로 한다.

또한, 상기 반도체층 상부 영역에 형성된 콘택홀에 의해 상기 화소 전극이 상기 반도체층과 접촉되며, 상기 반도체층은 상기 화소영역 내에서 상기 스토리지 하부전극과 같거나 넓게 형성됨을 특징으로 한다.

또한, 상기 목적을 달성하기 위하여 본 발명에 의한 액정표시장치용 어레이 기판 제조방법은, 기판 상에 제 1마스크로 게이트 라인, 게이트 전극 및 스토리지 하부전극이 형성되는 단계와; 상기 게이트 라인, 게이트 전극 및 스토리지 하부전극 위에 절연층, 반도체층, 불순물반도체층, 금속층이 순차적으로 형성되는 단계와; 제 2마스크로 상기 금속층 및 불순물 반도체층을 식각하여, 데이터 라인, 소스/드레인 전극이 형성되고, 상기 스토리지 하부전극 위에 반도체층이 노출되는 단계와; 상기 데이터 라인, 소스/드레인 전극 및 노출된 반도체층 위에 보호층이 형성되는 단계와; 제 3마스크에 의해 상기 보호층이 식각되어 상기 드레인 전극의 일부 및 상기 노출된 반도체층 상부에 콘택홀 및 쓰루홀이 형성되고 그 위에 투명전극이 증착되는 단계와; 제 4마스크로 상기 투명전극을 패터닝하여 상기 콘택홀을 통해 상기 드레인 전극과 전기적으로 연결되며, 상기 스토리지 하부전극과 대응되어 스토리지 상부전극을 이루는 화소전극이 형성되는 단계가 포함되는 것을 특징으로 한다.

또한, 상기 스토리지 하부전극 위에 반도체층이 노출되는 것은 회절패턴의 마스크를 통해 현상 및 식각 공정을 거쳐 얻어짐을 특징으로 한다.

이와 같은 본 발명에 의하면, 마스크를 감소하여 스토리지 캐패시터를 형성함으로써 스토리지부의 복잡한 패턴 불량에 의한 수율 감소를 방지하고 생산성을 향상시키는 장점이 있다.

이하 첨부된 도면을 참조하여 본 발명에 의한 실시예를 상세히 설명하도록 한다.

도 4는 본 발명에 의해 온컴먼 방식의 스토리지 캐패시터가 형성된 액정표시장치용 어레이 기판을 개략적으로 나타낸 도면이다.

도 4를 참조하면, 이는 도 2에 도시된 종래의 온컴먼 방식의 스토리지 캐패시터가 형성된 액정표시장치용 어레이 기판의 구성과 유사함을 알 수 있다. 다만, 본 발명의 경우에는 스토리지 캐패시터의 상부전극으로 데이터 금속을 사용하지 않고 직접 화소전극(115)을 상기 상부전극으로 사용하며, 상기 상부전극과 스토리지 하부전극(116)과의 간격을 줄이기 위해 반도체층(113') 상부에 쓰루홀(310)을 형성하여 상기 화소전극(115)이 상기 반도체층과 접촉되도록 한다.

상기 본 발명에 의한 액정표시장치용 어레이 기판은 크게 화소전극이 형성된 화소영역과, 스토리지 캐패시터와, 박막트랜지스터와 게이트 라인과 데이터 라인 등으로 개략적인 구성을 나눌 수 있다.

여기서, 상기 박막트랜지스터는 상기 화소영역의 화소전극(115)에 전기장을 인가하는 스위칭 소자로, 이 때 상기 박막트랜지스터의 게이트 전극(114)은 상기 게이트 라인(119)에서 연장되고, 소스 전극(111)은 상기 데이터 라인(110)에서 연장되어 형성된다.

또한, 드레인 전극(112)은 콘택홀(312)을 통해 상기 화소영역의 화소전극(115)과 연결되어 있으며, 상기 소스 전극(111) 및 드레인 전극(112)사이에는 반도체층(113)이 일부가 노출되어 채널(113a)을 형성하며, 상기 소스 전극(111)과 반도체층(113), 상기 드레인 전극(112)과 반도체층(113)은 각각 옴의접촉(ohmic contact)을 이루고 있다.

즉, 상기 본 발명에 의한 액정표시장치용 어레이 기판은, 기판 상에 배열된 다수의 게이트 라인(109, 119)과, 상기 게이트 라인(109, 119)과 교차하여 다수의 화소영역을 정의하는 다수의 데이터 라인(110, 120)과, 상기 게이트 라인과 데이터 라인의 교차부에 위치한 스위칭 소자로서의 박막트랜지스터와, 상기 화소영역에 각각 배치된 화소 전극(115)으로 이루어지며, 또한 상기 데이터 라인에 교차되고, 상기 게이트 라인이 형성되는 층에 상기 게이트 라인에 평행하게 형성되는 스토리지 하부전극(116)과, 상기 스토리지 하부전극(116)과 상기 화소 전극(115) 사이에 회절 패턴 적용으로 형성된 반도체층(113')이 개재되어 형성되는 스토리지 캐패시터가 포함된다.

또한, 본 발명에 의한 액정표시장치용 어레이 기판은 4마스크 공정에 의해 형성되는 것이므로, 상기 박막트랜지스터의 소스 전극(111) 및 드레인 전극(112)과 상기 소스/드레인 전극 사이의 채널은 동일한 마스크 공정에서 형성되고, 이 때 상기 스토리지 하부전극(116)과 상기 화소 전극(115) 사이의 반도체층(113')도 형성되며, 이러한 상기 마스크 공정에는 회절 패턴이 형성된 마스크를 이용한다.

또한, 상기 반도체층(113')은 상기 화소영역 내에서 상기 스토리지 하부전극(116)과 같거나 상기 스토리지 하부전극(116)의 세로 길이보다 다소 넓게 형성한다. 도 5a 내지 5f는 도 4의 B-B' 및 C-C'를 따라 절단한 단면도로서, 본 발명에 따른 액정표시장치용 어레이 기판의 제조공정을 순서대로 도시한 도면이다.

여기서, 상기 B-B'는 박막트랜지스터 영역이며, C-C'는 스토리지 캐패시터 영역이다.

이하, 도 4를 참조하여 도 5a 내지 5f에 따른 본 발명의 제조공정을 설명하도록 한다.

도 5a에 도시한 바와 같이 투명한 기판 위에 알루미늄 또는 알루미늄 합금 등의 저항이 낮은 금속을 증착하여 제 1금속층을 형성한다.

상기 제 1금속층은 게이트 라인 등을 형성하기 위한 것이며, 알루미늄과 같이 저항이 낮은 금속을 게이트 라인으로 사용하는 이유는, 게이트 라인을 스토리지 캐패시터의 전극으로 사용할 경우 상기 게이트 라인의 시정수(time constant)가 증가하게 된다. 따라서, 저항이 높은 탄탈(Ta)이나 크롬(Cr)보다는 저항이 낮은 알루미늄 등을 사용함으로써 시정수를 감소시킬 수 있기 때문이다.

다음으로 상기 제 1금속층을 제 1마스크로 식각하여 게이트 패드(미도시), 게이트 라인(도 4의 109, 119), 게이트 전극(114), 스토리지 하부전극(116)을 형성한다.

상기 게이트 전극(114)은 상기 게이트 라인에서 분기되어 설계되고 화소의 구석에 형성되며, 상기 게이트 라인 사이에 상기 스토리지 하부전극(116)이 형성된다.

다음으로 도 5b에 도시된 바와 같이 상기 게이트 라인 등이 형성된 기판 위에 질화실리콘(SiNx) 또는 산화실리콘(SiO<sub>2</sub>)과 같은 무기 절연물질이나, 경우에 따라서는 BCB(BenzoCyclobutene) 또는 아크릴(Acryle)계 수지와 같은 유기절연물질과, 순수 아몰퍼스 실리콘과 같은 진성반도체 물질과, n+ 또는 p+ 형 불순물이 첨가된 반도체물질과, 몰리브덴(Mo), 탄탈(Ta), 텅스텐(Wo) 혹은 안티몬(Sb)과 같은 고용점을 갖는 금속을 연속으로 증착하여 절연층(510)과, 반도체층(511)과, 불순물 반도체층(512)과, 제 2금속층(514)을 형성한다.

다음으로 도 5c에 도시된 바와 같이 제 2마스크를 이용하여 금속층(514)과 불순물 반도체(512)층을 패터닝하여 데이터 라인, 소스/드레인 전극(111, 112)을 형성하고, 상기 스토리지 하부전극(116) 위에 형성된 반도체층(113')을 노출시킨다.

이 때 상기 소스 전극(111) 및 드레인 전극(112)은 채널(113a)을 형성하기 위해 소정 간격 이격되어 형성하게 되고, 상기 소스 전극(111)과 드레인 전극(112)을 마스크로 하여 상기 채널(113a)의 불순물 반도체 물질을 제거하게 되며, 상기 소스 전극(111)과 드레인 전극(112) 하부의 불순물 반도체층(512)은 옴믹 콘택층이 된다.

이와 같은 제 2마스크에는 특정 영역에 회절 패턴이 형성되어 있으며, 상기 회절 패턴이 형성된 영역을 통과하는 빛은 그 세기가 다소 약해지므로 상기 기판 상의 소스/드레인 전극 등의 패턴을 형성하기 위해 전체적으로 도포된 포토레지스트의 두께를 상대적으로 차이가 나게 한다.

도 6은 도 5c의 공정을 보다 상세히 나타낸 도면이다.

도 6a는 상기 채널 영역 및 스토리지 하부 전극 위의 영역에 회절 패턴이 형성된 마스크가 형성된 상태 및 이를 통해 노광된 빛에 의해 포토레지스트의 두께가 상대적으로 차이가 나는 것을 나타낸 도면이다.

즉, 본 발명에 있어서는 상기 채널 영역과 스토리지 하부전극 위의 영역에 회절패턴이 형성된 마스크(612)를 통과한 빛이 노광되며, 이에 의해 상기 채널 영역 및 스토리지 하부전극 위의 영역에는 상기 마스크의 어두운 부분(614)에 막혀 노광되지 않아 최초의 포토레지스트 두께로 존재하는 영역에 비해 얇은 두께의 포토레지스트가 도포된 상태가 된다. 이와 같이 포토레지스트의 두께가 상대적으로 작은 부분을 Half Tone부(618)(이하 H/T)이라 한다.

이 때, 상기 채널 형성 영역에 있어서 소스/드레인 전극이 형성되는 영역은 빛이 투과되지 않아 포토레지스트(616)가 그대로 존재하게 되고, 상기 스토리지 하부전극(116)에 있어서 하부전극(116) 위의 영역 밖에는 빛이 그대로 투과되어 포토레지스트가 모두 제거된 상태이다.

도 6b에서는 상기 채널(113a) 및 스토리지 하부전극(116) 위 영역에 반도체층(113')이 노출되는 것을 도시하고 있으며, 이는 상기 H/T 영역이 형성된 뒤 상기 H/T영역의 포토레지스트(618)를 애싱(ashing)공정을 통하여 제거하며, 다음으로 제거된 H/T영역의 포토레지스트 영역에 대해 건식 식각(Dry etching) 공정을 거침으로써 상기 영역의 제 2금속층(도 6a의 514)을 제거하고, 상기 제 2금속층(514)이 제거된 상태에서 재차 건식 식각 공정을 거침으로써 상기 영역의 불순물 반도체층(512)을 제거한다.

이로써 상기 소스 전극(111) 및 드레인 전극(112) 사이에 채널(113a)이 형성되며, 또한, 상기 스토리지 하부전극(116) 위에 형성된 반도체층(113')이 노출되는 것이며, 다음으로 남은 포토레지스트(616)를 제거함으로써 도 5c에 도시된 바와 같이 형성된다

다음으로 도 5d에 도시된 바와 같이 상기 소스/드레인 전극(111, 112) 및 채널(113a), 노출된 반도체층(113') 위에 보호층(519)이 형성되며, 도 5e에 도시된 바와 같이, 제 3마스크에 의해 상기 보호층(519)이 식각되어 상기 드레인 전극(112)의 일부 및 상기 노출된 반도체층(113') 상부에 콘택홀(312) 및 쓰루홀(310)이 형성되고 그 위에 투명전극이 증착된다.

마지막으로 도 5f에 도시된 바와 같이 제 4마스크에 의해 상기 투명전극을 패터닝하여 상기 콘택홀(312)을 통해 상기 드레인 전극(112)과 전기적으로 연결되며, 상기 스토리지 하부전극(116)과 대응되어 스토리지 상부전극을 이루는 화소전극(115)이 형성된다.

이와 같은 상기 공정을 통해 즉, 4마스크 공정의 회절패턴을 이용하여 스토리지 캐패시터가 구현되는 액정표시장치용 어레이 기판이 형성된다.

## 발명의 효과

본 발명에 의한 액정표시장치용 어레이 기판 및 그 제조방법에 의하면, 마스크를 감소하여 스토리지 캐패시터를 형성함으로써 스토리지부의 복잡한 패턴 불량에 의한 수율 감소를 방지하고 생산성을 향상시키는 장점이 있다.

## (57) 청구의 범위

### 청구항 1.

기판 상에 배열된 다수의 게이트 라인과, 상기 게이트 라인과 교차하여 다수의 화소영역을 정의하는 다수의 데이터 라인과, 상기 게이트 라인과 데이터 라인의 교차부에 위치한 스위칭 소자로서의 박막트랜지스터와, 상기 화소영역에 각각 배치된 화소 전극으로 이루어진 액정표시장치용 어레이 기판에 있어서,

상기 데이터 라인에 교차되며, 상기 게이트 라인이 형성되는 층에 상기 게이트 라인에 평행되게 형성되는 스토리지 하부전극과;

상기 스토리지 하부전극 및 상기 화소 전극 사이에 회절 패턴 적용으로 형성된 반도체층이 개재되어 형성되는 스토리지 캐패시터가 포함되고,

상기 반도체층 상부 영역에 형성된 쓰루홀에 의해 상기 화소 전극이 상기 반도체층과 접촉됨을 특징으로 하는 액정표시장치용 어레이 기판.

### 청구항 2.

삭제

### 청구항 3.

제 1항에 있어서,

상기 반도체층은 상기 화소영역 내에서 상기 스토리지 하부전극과 같거나 넓게 형성됨을 특징으로 하는 액정표시장치용 어레이 기판.

### 청구항 4.

제 1마스크에 의해 기판 상에 게이트 라인, 게이트 전극 및 스토리지 하부전극이 형성되는 단계와,

상기 게이트 라인, 게이트 전극 및 스토리지 하부전극 위에 절연층, 반도체층, 불순물반도체층, 금속층이 순차적으로 형성되는 단계와,

제 2마스크에 의해 상기 금속층 및 불순물 반도체층이 식각되어, 데이터 라인, 소스/ 드레인 전극이 형성되고, 상기 스토리지 하부전극 위에 반도체층이 노출되는 단계와,

상기 데이터 라인, 소스/ 드레인 전극 및 노출된 반도체층 위에 보호층이 형성되는 단계와,

제 3마스크에 의해 상기 보호층이 식각되어 상기 드레인 전극의 일부 및 상기 노출된 반도체층 상부에 각각 콘택홀 및 쓰루홀이 형성되고 그 위에 투명전극이 증착되는 단계와,

제 4마스크에 의해 상기 투명전극이 패터닝되어 상기 콘택홀을 통해 상기 드레인 전극과 전기적으로 연결되며, 상기 스토리지 하부전극과 대응되어 스토리지 상부전극을 이루는 화소전극이 형성되는 단계를 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판 제조방법.

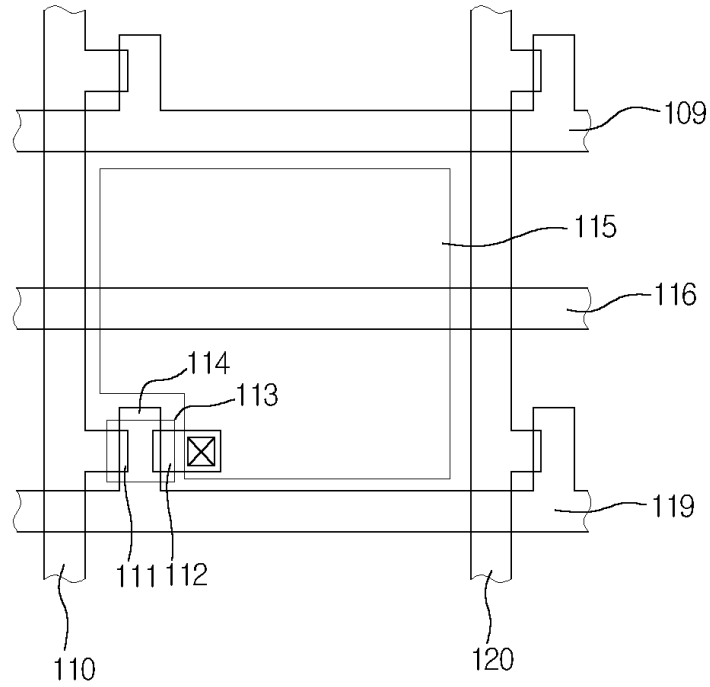
### 청구항 5.

제 4항에 있어서,

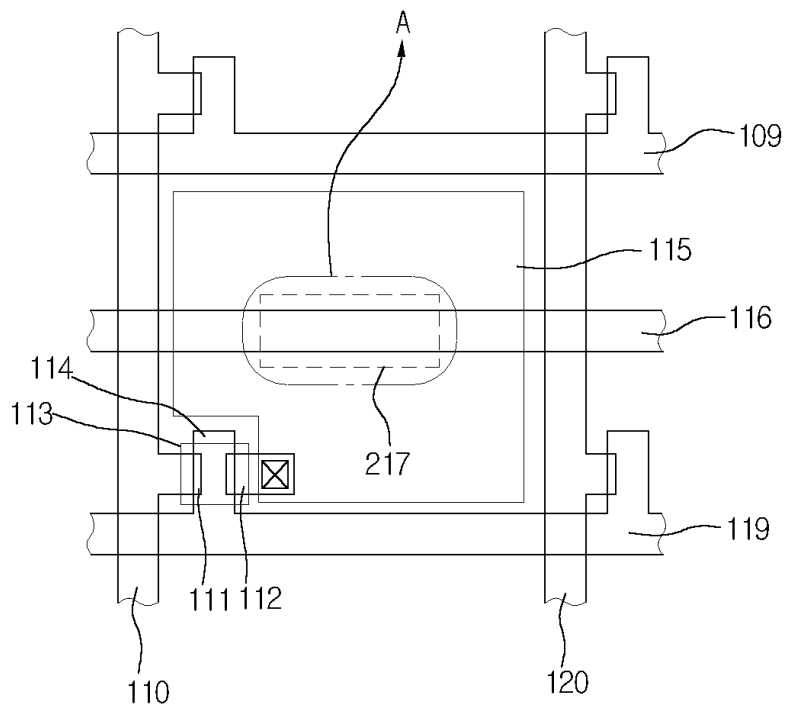
상기 스토리지 하부전극 위에 반도체층이 노출되는 것은 회절패턴의 마스크를 통해 현상 및 식각 공정을 거쳐 얻어짐을 특징으로 하는 액정표시장치용 어레이 기판 제조방법.

도면

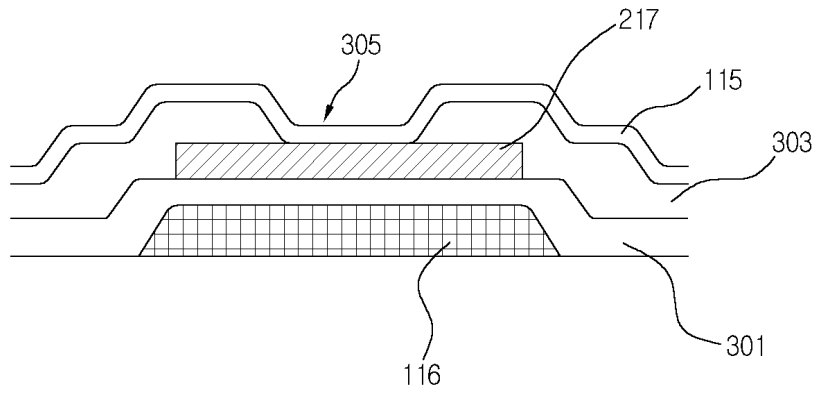
도면1



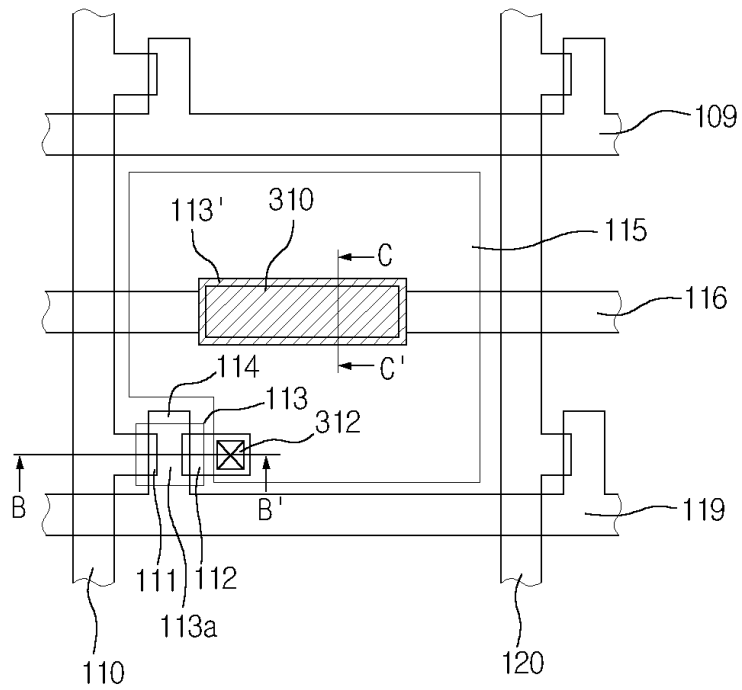
도면2



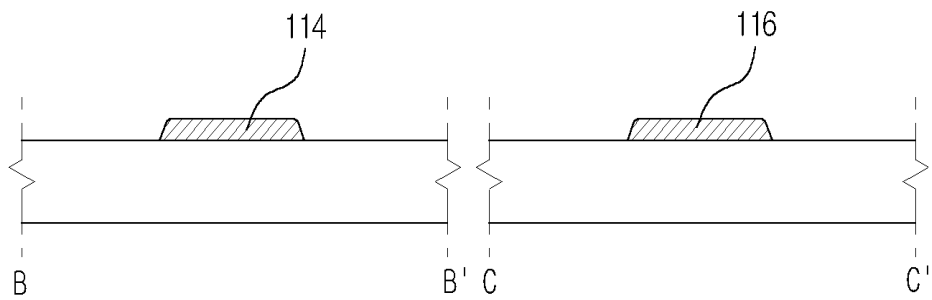
도면3



도면4

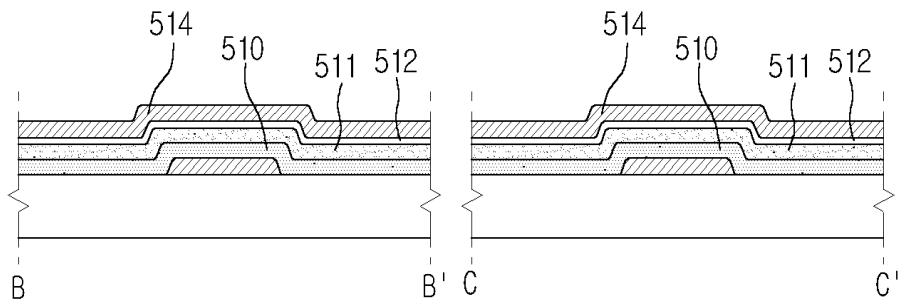


도면5a

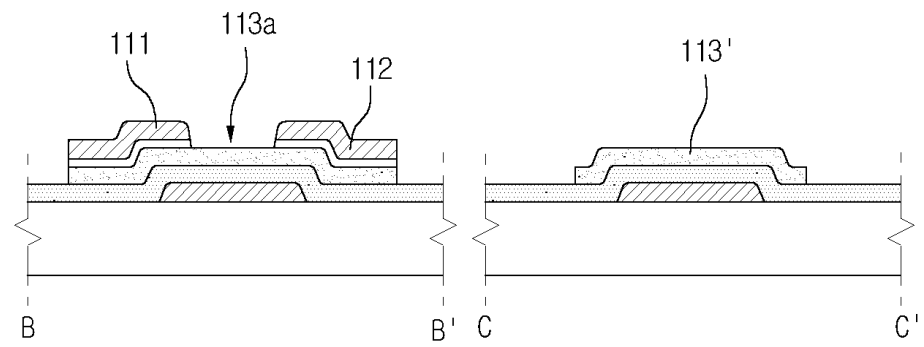




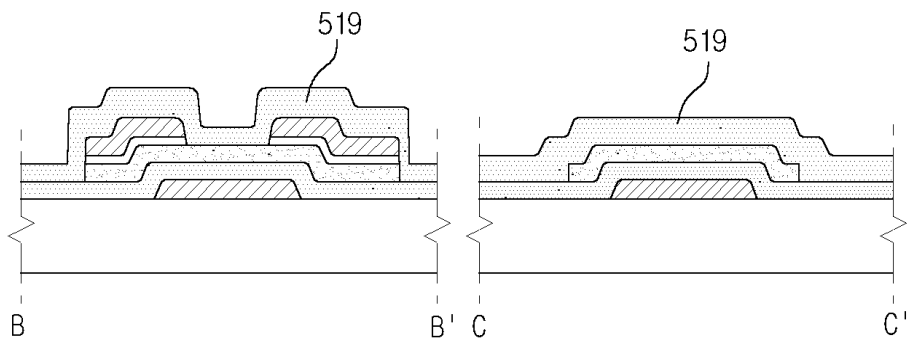
도면5b



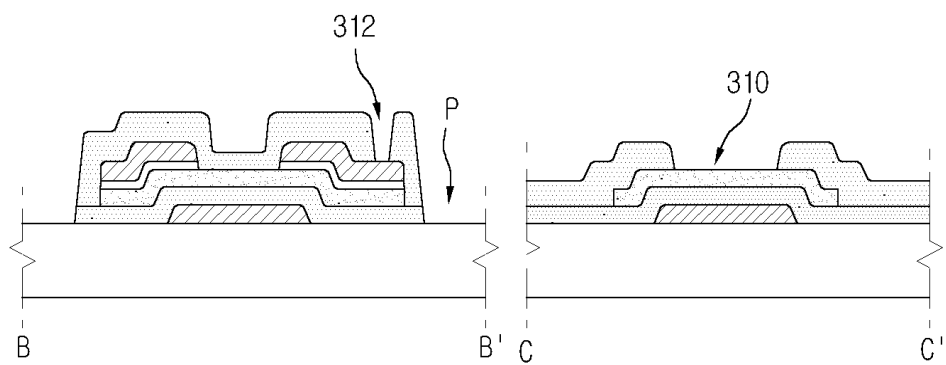
도면5c



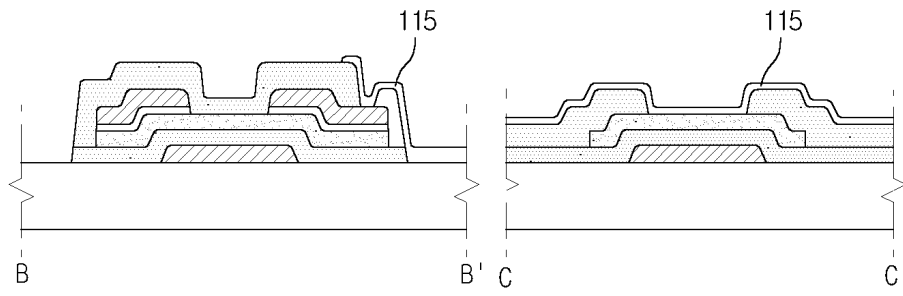
도면5d



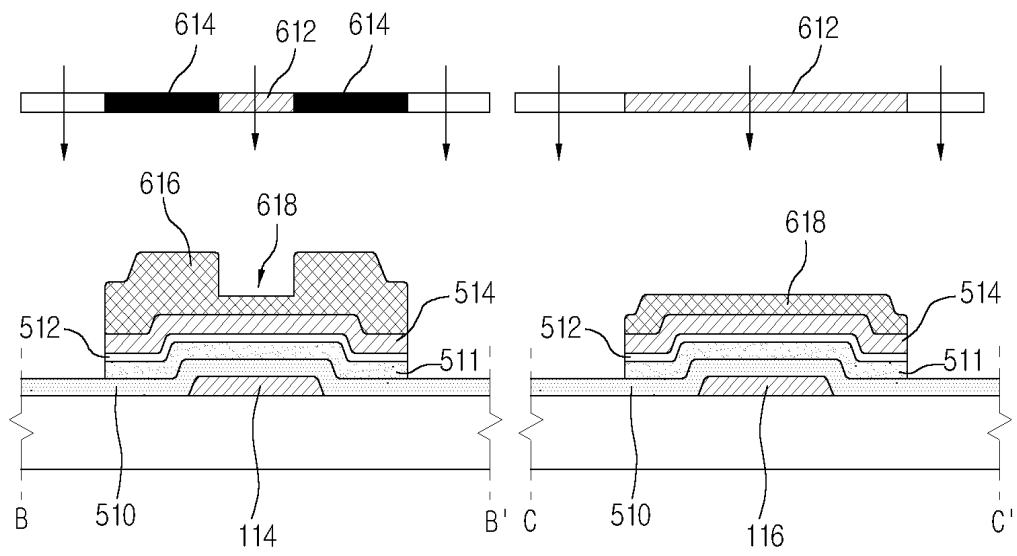
도면5e



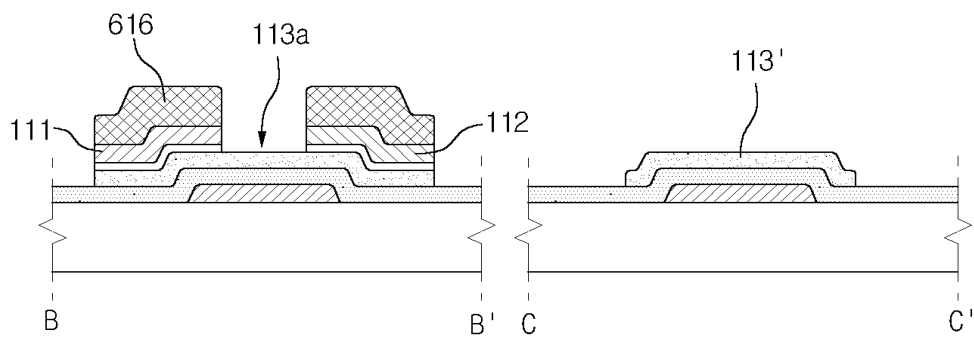
도면5f



도면6a



도면6b



|                |                                           |         |            |
|----------------|-------------------------------------------|---------|------------|
| 专利名称(译)        | 用于液晶显示装置的阵列基板及其制造方法                       |         |            |
| 公开(公告)号        | <a href="#">KR100498543B1</a>             | 公开(公告)日 | 2005-07-01 |
| 申请号            | KR1020020068877                           | 申请日     | 2002-11-07 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                  |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                 |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                 |         |            |
| [标]发明人         | CHIN GYOWON<br>진교원<br>SONG INDUK<br>송인덕   |         |            |
| 发明人            | 진교원<br>송인덕                                |         |            |
| IPC分类号         | G02F1/1362 G02F1/136 G02F1/1368           |         |            |
| CPC分类号         | G02F2001/136236 G02F1/136213 G02F1/136227 |         |            |
| 其他公开文献         | KR1020040040682A                          |         |            |
| 外部链接           | <a href="#">Espacenet</a>                 |         |            |

#### 摘要(译)

根据本发明的用于液晶显示器的阵列基板包括布置在基板上的多条栅极线，与栅极线交叉并限定多个像素区域的多条数据线，薄膜晶体管作为位于一部分的开关元件一种存储下电极，其与形成栅极线的层中的栅极线平行地形成并与数据线交叉；衍射图案是衍射图案。并且形成存储电容器，其中形成通过涂敷形成的半导体层。根据本发明，通过减少掩模形成存储电容器，从而防止由于存储部分的复杂图案缺陷导致的成品率降低并提高生产率。度

