



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0032712
(43) 공개일자 2009년04월01일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

(21) 출원번호 10-2007-0098166

(22) 출원일자 2007년09월28일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

박상진

경기 용인시 수지구 동천동 현대 홈타운1차 101동 1004호

(74) 대리인

특허법인가산

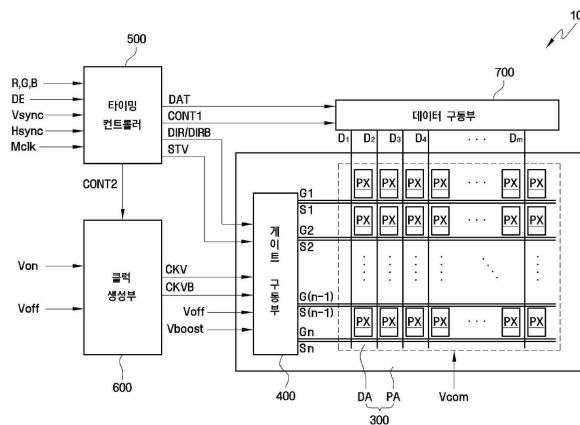
전체 청구항 수 : 총 20 항

(54) 액정 표시 장치 및 그의 구동 방법

(57) 요약

액정 표시 장치 및 그의 구동 방법이 제공된다. 액정 표시 장치는, 제1 게이트 신호의 제1 턴온 구간동안 데이터 전압이 충전되는 액정 커패시터와, 액정 커패시터에 일단이 커플링된 스토리지 커패시터 및 부스트 제어 신호의 부스트 전압 출력 구간동안 부스트 전압을 스토리지 커패시터의 타단에 제공하는 구동부를 포함하되, 부스트 전압은 제1 에지와 제2 에지를 갖고, 제1 및 제2 에지는 부스트 전압 출력 구간 내에 존재하고, 제1 턴온 구간은 제1 및 제2 에지 사이에 존재한다.

대표도



특허청구의 범위

청구항 1

제1 게이트 신호의 제1 턴온 구간동안 데이터 전압이 충전되는 액정 커패시터;

상기 액정 커패시터에 일단이 커플링된 스토리지 커패시터; 및

부스트 제어 신호의 부스트 전압 출력 구간동안 부스트 전압을 상기 스토리지 커패시터의 타단에 제공하는 구동부를 포함하되,

상기 부스트 전압은 제1 에지와 제2 에지를 갖고, 상기 제1 및 제2 에지는 상기 부스트 전압 출력 구간 내에 존재하고, 상기 제1 턴온 구간은 상기 제1 및 제2 에지 사이에 존재하는 액정 표시 장치.

청구항 2

제 1항에 있어서,

상기 제1 턴온 구간 후에 상기 스토리지 커패시터의 타단에 제공된 상기 부스트 전압의 상기 제1 에지 또는 제2 에지에 따라 상기 액정 커패시터에 충전된 전압이 부스트 업 또는 부스트 다운되는 액정 표시 장치.

청구항 3

제 1항에 있어서,

상기 액정 커패시터와 커플링되어 상기 제1 게이트 신호가 인가되는 제1 게이트 라인과,

제2 턴온 구간을 갖는 제2 게이트 신호가 인가되는 제2 게이트 라인을 더 포함하되,

순방향 스캔 모드에서 상기 제1 턴온 구간이 시작한 후에 상기 제2 턴온 구간이 시작되고,

역방향 스캔 모드에서 상기 제2 턴온 구간이 시작한 후에 상기 제1 턴온 구간이 시작되는 액정 표시 장치.

청구항 4

제 3항에 있어서,

상기 순방향 스캔 모드 및 상기 역방향 스캔 모드에서 상기 액정 커패시터에 충전된 전압은 상기 제1 턴온 구간 후에 부스트 업 또는 부스트 다운되는 액정 표시 장치.

청구항 5

제 3항에 있어서,

상기 순방향 스캔 모드에서 상기 제1 에지가 상기 제1 턴온 구간후에 상기 스토리지 커패시터의 타단에 제공되어 상기 액정 커패시터에 충전된 전압이 부스트 업 또는 부스트 다운되고,

상기 역방향 스캔 모드에서 상기 제2 에지가 상기 제1 턴온 구간후에 상기 스토리지 커패시터의 타단에 제공되어 상기 액정 커패시터에 충전된 전압이 부스트 업 또는 부스트 다운되는 액정 표시 장치.

청구항 6

제1 내지 제 n 게이트 라인;

상기 제 i ($1 \leq i \leq n$) 게이트 라인에 커플링된 액정 커패시터;

상기 액정 커패시터에 일단이 커플링된 스토리지 커패시터; 및

제1 내지 제 n 턴온 구간을 각각 갖는 제1 내지 제 n 게이트 신호를 상기 제1 내지 제 n 게이트 라인에 제공하고, 부스트 전압 출력 구간동안 부스트 전압을 상기 스토리지 커패시터의 타단에 제공하는 게이트 구동부를 포함하되,

상기 제1 내지 제 n 턴온 구간이 순차적으로 시작되는 순방향 스캔 모드 또는 상기 제 n 내지 제1 턴온 구간이 순

차적으로 시작되는 역방향 스캔 모드에서, 상기 제 i 턴은 구간동안 상기 액정 커패시터는 데이터 전압이 충전되고, 상기 액정 커패시터에 충전된 전압은 상기 제 i 턴은 구간후에 상기 부스트 전압에 따라 부스트 업 또는 부스트 다운되는 액정 표시 장치.

청구항 7

제 1항에 있어서,

상기 게이트 구동부는 제1 내지 제 n 스테이지를 포함하고,

제 $i(1 \leq i \leq n)$ 스테이지는 상기 제 i 게이트 신호를 출력하는 게이트 신호 제공부와, 상기 부스트 전압 출력 구간동안 상기 부스트 전압을 상기 스토리지 커패시터의 타단에 제공하는 부스트 전압 제공부를 포함하는 액정 표시 장치.

청구항 8

제 7항에 있어서,

부스트 전압 제공부는 상기 부스트 전압 출력 구간을 갖는 상기 부스트 제어 신호를 생성하는 부스트 제어 신호 생성부와,

상기 부스트 전압 출력 구간동안 인에이블되어 상기 부스트 전압을 상기 스토리지 커패시터의 타단에 제공하는 스위칭부를 포함하는 액정 표시 장치.

청구항 9

제 8항에 있어서,

상기 부스트 전압 출력 구간은 상기 제 $(i-1)$ 게이트 신호의 상기 제 $(i-1)$ 턴은 구간 및 상기 제 $(i+1)$ 게이트 신호의 상기 제 $(i+1)$ 턴은 구간과 오버랩되는 액정 표시 장치.

청구항 10

제 9항에 있어서, 상기 부스트 제어 신호 생성부는

상기 제 $(i-1)$ 턴은 구간동안 제1 레벨의 상기 제 $(i-1)$ 게이트 신호를 출력 노드로 제공하는 제1 스위칭 소자와,

상기 제 $(i+1)$ 턴은 구간동안 제1 레벨의 상기 제 $(i+1)$ 게이트 신호를 상기 출력 노드로 제공하는 제2 스위칭 소자와,

상기 제 $(i-1)$ 턴은 구간 및 상기 제 $(i+1)$ 턴은 구간 후에 상기 출력 노드를 제2 레벨로 천이시키는 스위칭부를 포함하여,

상기 출력 노드로 상기 부스트 제어 신호를 제공하는 액정 표시 장치.

청구항 11

제 10항에 있어서,

상기 제1 및 제2 스위칭 소자는 각각 다이오드 연결된(diode-connected) 비정질 실리콘 박막 트랜지스터(amorphous silicon TFT)이고,

상기 스위칭부는 비정질 실리콘 박막 트랜지스터를 포함하는 액정 표시 장치.

청구항 12

제 9항에 있어서, 상기 부스트 제어 신호 생성부는

상기 제 $(i-1)$ 턴은 구간동안 제1 레벨의 상기 제 $(i-1)$ 게이트 신호를 출력 노드로 제공하는 제1 스위칭 소자와,

상기 제 $(i+1)$ 턴은 구간동안 제1 레벨의 상기 제 $(i+1)$ 게이트 신호를 상기 출력 노드로 제공하는 제2 스위칭 소자와,

상기 제 $(i-2)$ 턴은 구간중 적어도 일부분 동안 제2 레벨의 상기 제 $(i-1)$ 게이트 신호를 상기 출력 노드로 제공

하는 제3 스위칭 소자와,

상기 제(i+2) 턴은 구간중 적어도 일부분 동안 제2 레벨의 상기 제(i+1) 게이트 신호를 상기 출력 노드로 제공하는 제4 스위칭 소자를 포함하여,

상기 출력 노드로 상기 부스트 제어 신호를 제공하는 액정 표시 장치.

청구항 13

제 12항에 있어서,

상기 제1 내지 제4 스위칭 소자는 비정질 실리콘 박막 트랜지스터(amorphous silicon TFT)인 액정 표시 장치.

청구항 14

제 7항에 있어서,

상기 부스트 전압은 제1 에지와 제2 에지를 갖고, 상기 제1 및 제2 에지는 상기 부스트 전압 출력 구간 내에 존재하고, 상기 제1 턴은 구간은 상기 제1 및 제2 에지 사이에 존재하는 액정 표시 장치.

청구항 15

제 14항에 있어서,

상기 제i 턴은 구간후에 상기 스토리지 커패시터의 타단에 제공된 상기 부스트 전압의 상기 제1 에지 또는 제2 에지에 따라 상기 액정 커패시터에 충전된 전압이 부스트 업 또는 부스트 다운되는 액정 표시 장치.

청구항 16

제 7항에 있어서,

상기 게이트 신호 제공부는 상기 제i 게이트 신호를 출력하는 비정질 실리콘 박막 트랜지스터(amorphous silicon TFT)를 포함하는 액정 표시 장치.

청구항 17

제1 내지 제n 게이트 라인과, 상기 제i ($1 \leq i \leq n$) 게이트 라인에 커플링된 액정 커패시터와, 상기 액정 커패시터에 일단이 커플링된 스토리지 커패시터를 포함하는 액정 표시 장치의 구동 방법에 있어서,

제i 턴은 구간을 각각 갖는 제i 게이트 신호를 상기 제i 게이트 라인에 제공하고,

부스트 전압 출력 구간동안 부스트 전압을 상기 스토리지 커패시터의 타단에 제공하는 것을 포함하되,

상기 부스트 전압은 제1 에지와 제2 에지를 갖고, 상기 제1 및 제2 에지는 상기 부스트 전압 출력 구간 내에 존재하고, 상기 제1 턴은 구간은 상기 제1 및 제2 에지 사이에 존재하는 액정 표시 장치의 구동 방법.

청구항 18

제 17항에 있어서,

상기 제i 턴은 구간동안 상기 액정 커패시터에 데이터 전압을 충전하고,

상기 제i 턴은 구간후에 상기 스토리지 커패시터의 타단에 제공된 상기 부스트 전압의 상기 제1 에지 또는 제2 에지에 따라 상기 액정 커패시터에 충전된 전압을 부스트 업 또는 부스트 다운시키는 것을 더 포함하는 액정 표시 장치의 구동 방법.

청구항 19

제 17항에 있어서, 상기 부스트 전압을 제공하는 것은

상기 부스트 전압 출력 구간을 갖는 상기 부스트 제어 신호를 생성하고,

상기 부스트 전압 출력 구간동안 상기 부스트 전압을 상기 스토리지 커패시터의 타단에 제공하는 것을 포함하는 액정 표시 장치의 구동 장치.

청구항 20

제 19항에 있어서, 상기 부스트 제어 신호를 생성하는 것은

상기 부스트 전압 출력 구간을 상기 제(i-1) 게이트 신호의 상기 제(i-1) 턴온 구간 및 상기 제(i+1) 게이트 신호의 상기 제(i+1) 턴온 구간과 오버랩시키는 것을 포함하는 액정 표시 장치의 구동 방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 액정 표시 장치 및 그의 구동 방법에 관한 것이다.

배경 기술

<2> 액정 표시 장치는 게이트 라인에 커플링되어 영상 데이터 전압이 충전되는 액정 커패시터와, 액정 커패시터와 커플링되어 액정 커패시터에 충전된 전압을 유지시키는 스토리지 커패시터를 포함한다. 액정 커패시터에 충전된 전압에 따라 영상이 표시된다.

<3> 최근에는, 액정 표시 장치의 액정 패널을 돌리더라도 영상이 뒤집히지 않고, 바로 표시되는 기술이 개발되고 있다.

발명의 내용

해결 하고자 하는 과제

<4> 상술한 바와 같이, 액정 패널을 돌리더라도 영상이 뒤집히지 않고 바로 표시되는 기술이 개발되고 있는데, 이 경우에도 전력 소비를 줄이고, 표시 품질을 향상시켜야 한다.

<5> 이에 본 발명이 해결하고자 하는 과제는, 순방향 스캔 모드 및/또는 역방향 스캔 모드에서 전력 소비를 줄일 수 있는 액정 표시 장치를 제공하는 것이다.

<6> 본 발명이 해결하고자 하는 다른 과제는, 순방향 스캔 모드 및/또는 역방향 스캔 모드에서 전력 소비를 줄일 수 있는 액정 표시 장치의 구동 방법을 제공하는 것이다.

<7> 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

<8> 상기 기술적 과제를 달성하기 위한 본 발명의 액정 표시 장치의 일 태양은, 제1 게이트 신호의 제1 턴온 구간동안 데이터 전압이 충전되는 액정 커패시터와, 상기 액정 커패시터에 일단이 커플링된 스토리지 커패시터 및 부스트 제어 신호의 부스트 전압 출력 구간동안 부스트 전압을 상기 스토리지 커패시터의 타단에 제공하는 구동부를 포함하되, 상기 부스트 전압은 제1 에지와 제2 에지를 갖고, 상기 제1 및 제2 에지는 상기 부스트 전압 출력 구간 내에 존재하고, 상기 제1 턴온 구간은 상기 제1 및 제2 에지 사이에 존재한다.

<9> 상기 기술적 과제를 달성하기 위한 본 발명의 액정 표시 장치의 다른 태양은, 제1 내지 제n 게이트 라인과, 상기 제i ($1 \leq i \leq n$) 게이트 라인에 커플링된 액정 커패시터와, 상기 액정 커패시터에 일단이 커플링된 스토리지 커패시터 및 제1 내지 제n 턴온 구간을 각각 갖는 제1 내지 제n 게이트 신호를 상기 제1 내지 제n 게이트 라인에 제공하고, 부스트 전압 출력 구간동안 부스트 전압을 상기 스토리지 커패시터의 타단에 제공하는 게이트 구동부를 포함하되, 상기 제1 내지 제n 턴온 구간이 순차적으로 시작되는 순방향 스캔 모드 또는 상기 제n 내지 제1 턴온 구간이 순차적으로 시작되는 역방향 스캔 모드에서, 상기 제i 턴온 구간동안 상기 액정 커패시터는 데이터 전압이 충전되고, 상기 액정 커패시터에 충전된 전압은 상기 제i 턴온 구간후에 상기 부스트 전압에 따라 부스트 업 또는 부스트 다운된다.

<10> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 액정 표시 장치의 구동 방법의 일 태양은, 제1 내지 제n 게이트 라인과, 상기 제i ($1 \leq i \leq n$) 게이트 라인에 커플링된 액정 커패시터와, 상기 액정 커패시터에 일단이 커플

링된 스토리지 커패시터를 포함하는 액정 표시 장치의 구동 방법에 있어서, 제i 턴은 구간을 각각 갖는 제i 게이트 신호를 상기 제i 게이트 라인에 제공하고, 부스트 전압 출력 구간동안 부스트 전압을 상기 스토리지 커패시터의 타단에 제공하는 것을 포함하되, 상기 부스트 전압은 제1 에지와 제2 에지를 갖고, 상기 제1 및 제2 에지는 상기 부스트 전압 출력 구간 내에 존재하고, 상기 제1 턴은 구간은 상기 제1 및 제2 에지 사이에 존재한다.

<11> 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

효 과

<12> 상기한 바와 같은 액정 표시 장치 및 그의 구동 방법에 의하면, 순방향 스캔 모드 및/또는 역방향 스캔 모드에서 전력 소비가 줄어든다.

발명의 실시를 위한 구체적인 내용

<13> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

<14> 하나의 소자(elements)가 다른 소자와 "연결된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 연결된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

<15> 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.

<16> 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

<17> 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

<18> 도 1 내지 도 7을 참조하여 본 발명의 일 실시예에 따른 액정 표시 장치 및 그의 구동 방법을 설명한다. 도 1은 본 발명의 실시예들에 따른 액정 표시 장치 및 그의 구동 방법을 설명하기 위한 블록도이고, 도 2는 도 1의 한 화소의 등가 회로도이고, 도 3은 도 1의 액정 표시 장치의 동작을 설명하기 위한 회로도이고, 도 4a 및 도 4b는 도 3의 액정 표시 장치의 동작을 설명하기 위한 신호도이고, 도 5는 도 1의 게이트 구동부를 설명하기 위한 예시적인 블록도이고, 도 6은 도 5의 제i 스테이지의 예시적인 회로도이고, 도 7은 제j 스테이지의 동작을 설명하기 위한 신호도이다.

<19> 먼저 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치(10)는 액정 패널(300), 타이밍 컨트롤러, 클럭 생성부, 게이트 구동부(400) 및 데이터 구동부(700)를 포함한다.

<20> 액정 패널(300)은 영상이 표시되는 표시부(DA)와 영상이 표시되지 않는 비표시부(PA)로 구분될 수 있다.

<21> 표시부(DA)는 다수의 게이트 라인(G1~Gn), 다수의 스토리지(storage) 라인(S1~Sn), 다수의 데이터 라인(D1~Dm), 스위칭 소자(미도시) 및 화소 전극(미도시)이 형성된 제1 기판(미도시)과, 컬러 필터(미도시)와 공통

전극(미도시)이 형성된 제2 기판(미도시), 제1 기판(미도시)과 제2 기판(미도시) 사이에 개재된 액정층(미도시)을 포함하여 영상을 표시한다. 게이트 라인(G1~Gn)은 대략 행 방향으로 연장되어 서로가 거의 평행하고, 유지 라인(S1~Sn)은 각 게이트 라인(G1~Gn)과 대응되어 대략 행 방향으로 연장되고, 데이터 라인(D1~Dm)은 대략 열 방향으로 연장되어 서로가 거의 평행하다.

- <22> 도 2를 참조하여 도 1의 한 화소(PX)에 대해 설명하면, 예를 들어, i번째($i=1\sim n$) 게이트 라인(G_i)과 j번째($j=1\sim m$) 데이터 라인(D_j)에 연결된 화소(PX)는, 신호 라인(G_i , D_j)에 연결된 화소 스위칭 소자(Q_p)와 이에 커플링된 액정 커패시터(liquid crystal capacitor, Clc) 및 스토리지 커패시터(storage capacitor, Cst)를 포함한다.
- <23> 좀더 구체적으로, 액정 커패시터(ClC)는 제1 기판(100)의 화소 전극(PE)과, 대향하도록 제2 기판(200)의 공통 전극(CE)으로 이루어 질 수 있다. 화소 전극(PE)은 화소 스위칭 소자(Q_p)를 통해 게이트 라인(G_i)과 커플링될 수 있다. 스토리지 커패시터(Cst)의 일단은 액정 커패시터(ClC)와 커플링되고, 타단은 스토리지 라인(S_i)과 커플링된다. 제2 기판(200)의 공통 전극(CE)의 일부 영역에 선택필터(CF)가 형성될 수 있다. 여기서 화소 스위칭 소자(Q_p)는 비정질 실리콘(amorphous silicon)으로 이루어진 박막 트랜지스터(Thin Film Transistor, 이하 'a-Si TFT'라 함)일 수 있다.
- <24> 비표시부(PA)는 제1 기판(도 2의 100 참조)이 제2 기판(도 2의 200 참조)보다 더 넓게 형성되어 영상이 표시되지 않는 부분을 의미한다.
- <25> 타이밍 컨트롤러(500)는 외부의 그래픽 제어기(미도시)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신하고, 영상 데이터 신호(DAT), 데이터 제어 신호(CONT1) 데이터 구동부(700)에 제공한다. 좀더 구체적으로 설명하면, 타이밍 컨트롤러(500)는 수평 동기 신호(Hsync), 메인 클럭 신호(Mclk), 데이터 인에이블 신호(DE) 등의 입력 제어 신호를 입력받아 데이터 제어 신호(CONT)를 출력한다. 여기서 데이터 제어 신호(CONT1)는 데이터 구동부(700)의 동작을 제어하는 신호로써, 데이터 구동부(700)의 동작을 개시하는 수평 개시 신호, 두 개의 데이터 전압의 출력을 지시하는 로드 신호 등을 포함한다.
- <26> 이에 따라 데이터 구동부(700)는 영상 데이터 신호(DAT), 데이터 제어 신호(CONT1)를 제공받아, 영상 신호(DAT)에 대응하는 영상 데이터 전압을 각 데이터 라인(D1~Dm)에 제공한다. 데이터 구동부(700)는 IC로써 테이프 캐리어 패키지(Tape Carrier Package, TCP)형태로 액정 패널(300)과 연결될 수 있으며, 이에 한정되지 않고, 액정 패널(300)의 비표시부(PA) 상에 형성될 수도 있다.
- <27> 또한 타이밍 컨트롤러(500)는 클럭생성 제어신호(CONT2)를 클럭 생성부(600)에 제공하고, 스캔 개시 신호(STV) 및 스캔방향 제어신호(DIR, DIRB)를 게이트 구동부(400)에 제공할 수 있다. 여기서 클럭생성 제어신호(CONT2)는 게이트 온 전압(Von)의 출력 시기를 결정하는 게이트 클럭 신호 및 게이트 온 전압(Von)의 펄스 폭을 결정하는 출력 인에이블 신호 등을 포함할 수 있다. 스캔방향 제어신호(DIR, DIRB)는 각 게이트 라인(G1~Gn)에 게이트 온 전압(Von)이 인가되는 구간, 즉 턴온 구간의 순서를 제어할 수 있다. 예컨대, 제1 스캔방향 제어신호(DIR)가 하이 레벨이고 제2 스캔방향 제어신호(DIRB)가 로우 레벨이면, 제1 게이트 라인(G_1)에 제1 턴온 구간이 먼저 제공되고, 순차적으로 제2 내지 제n 게이트 라인($G_2\sim G_n$)에 제2 내지 제n 턴온 구간이 제공된다. 이러한 동작 모드를 이하에서 순방향 스캔 모드라 부른다. 또는 제1 스캔방향 제어신호(DIR)가 로우 레벨이고 제2 스캔방향 제어신호(DIRB)가 하이 레벨이면, 제n 게이트 라인(G_n)에 제n 턴온 구간이 먼저 제공되고, 순차적으로 제(n-1) 내지 제1 게이트 라인($G_{n-1}\sim G_1$)에 제(n-1) 내지 제1 턴온 구간이 제공된다. 이러한 동작 모드를 이하에서 역방향 스캔 모드라 부른다.
- <28> 클럭 생성부(600)는 클럭생성 제어신호(CONT2)를 이용하여 게이트 온 전압(Von)과 게이트 오프 전압(Voff)을 스윙하는 클럭 신호(CLK) 및 클럭바 신호(CLKB)를 출력할 수 있다. 여기서 클럭 신호(CLKV)는 클럭바 신호(CLKB)와 역위상인 신호일 수 있다.
- <29> 게이트 구동부(400)는 스캔 개시 신호(STV), 스캔방향 제어신호(DIR, DIRB), 클럭 신호(CLK), 클럭바 신호(CLKB) 및 게이트 오프 전압(Voff)을 이용하여 각 게이트 라인($G_1\sim G_n$)에 각 게이트 신호를 제공한다. 또한, 게이트 구동부(400)는 부스트 전압(Vboost)을 이용하여 각 스토리지 라인($S_1\sim S_n$)에 부스트 전압(Vboost)을 순차적으로 제공할 수 있다. 이러한 게이트 구동부(400)의 상세한 설명은 도 5 내지 도 7을 참조하여 후술된다.
- <30> 도 3 및 도 4를 참조하여 상술한 액정 표시 장치(10)의 동작에 대해 좀더 구체적으로 설명한다.
- <31> 도 3을 참조하면, 제(i-1) 내지 (i+1) 게이트 라인($G_{(i-1)}\sim G_{(i+1)}$)과, 제(i-1) 내지 (i+1) 스토리지 라인($S_{(i-1)}\sim S_{(i+1)}$)과, 이들과 커플링된 화소(PX)가 도시되어 있다. 한 화소(PX)는, 상술한 바와 같이, 액정 커패시터

(Clc)와 스토리지 커패시터(Cst)를 포함한다. 액정 커패시터(Clc)의 일단은 화소 스위칭 소자(Qp)와 커플링되고, 타단에는 공통 전압(Vcom)이 인가된다. 스토리지 커패시터(Cst)의 일단은 액정 커패시터(Clc)와 커플링되고, 타단은 스토리지 라인(Si)과 커플링된다. 부스트 스위칭 소자(Qb)는 부스트 제어 신호(CONT3(i))에 응답하여 부스트 전압(Vboost)을 스토리지 라인(Si)에 인가한다.

- <32> 도 3 및 도 4a를 참조하여 순방향 스캔 모드에서 액정 표시 장치(10)의 동작을 설명한다.
- <33> 먼저 제(i-1) 턴온 구간(Pon(i-1))을 갖는 제(i-1) 게이트 신호(Gout(i-1))가 제(i-1) 게이트 라인(G(i-1))에 제공되고, 다음으로 제i 턴온 구간(Pon(i))을 갖는 제i 게이트 신호(Gout(i))가 제i 게이트 라인(Gi)에 제공되고, 다음으로 제(i+1) 턴온 구간(Pon(i+1))을 갖는 제(i+1) 게이트 신호(Gout(i+1))가 제(i+1) 게이트 라인(G(i+1))에 제공된다. 즉, 제(i-1) 내지 제(i+1) 턴온 구간(Pon(i-1)~Pon(i+1))이 순차적으로 시작된다. 각 턴온 구간(Pon(i-1)~Pon(i+1))은 1 수평 주기(1H)일 수 있으며, 각 턴온 구간(Pon(i-1)~Pon(i+1))에 액정 커패시터(Clc)에는 데이터 전압이 충전된다.
- <34> 부스트 전압(Vboost)은, 예컨대 하이 레벨과 로우 레벨 사이를 스위칭하는 전압으로서, 에지(edge)들(E1, E2)을 갖는다. 에지들(E1, E2)은 라이징 에지 또는 폴링 에지일 수 있다.
- <35> 제i 부스트 제어 신호(CONT3(i))는 부스트 전압 출력 구간(Pb)을 갖는다. 예를 들어, 제i 부스트 제어 신호(CONT3(i))는 부스트 전압 출력 구간(Pb)동안 하이 레벨일 수 있다. 부스트 전압 출력 구간(Pb)동안 부스트 스위칭 소자(Qb)는 턴온되어 부스트 전압(Vboost)을 스토리지 라인(Si)에 제공한다. 따라서 스토리지 라인(Si)의 전압(Sout(i))이 도 4a에 도시된 바와 같이 된다. 여기서 제1 에지(E1) 및 제2 에지(E2)는 부스트 전압 출력 구간(Pb) 내에 존재하고, 제i 턴온 구간(Pon(i))은 제1 에지(E1) 및 제2 에지(E2) 사이에 존재한다. 즉, 부스트 전압 출력 구간(Pb)은 제1 에지(E1), 제i 턴온 구간(Pon(i)) 및 제2 에지(E2)와 오버랩된다.
- <36> 액정 커패시터(Clc)에 충전된 전압을 시간에 따라 살펴본다. 먼저, 제i 턴온 구간(Pon(i))이 시작되면, 화소 스위칭 소자(Qp)가 턴온되고, 데이터 라인(Dj)을 따라 영상 데이터 전압(Vdat)이 액정 커패시터(Clc)에 충전된다. 여기서 도4a에는 영상 데이터 전압(Vdat)이 공통 전압(Vcom)을 기준으로 부극성의 전압인 경우가 예로 도시되어 있다.
- <37> 다음으로, 제i 턴온 구간(Pon(i))후에 화소 스위칭 소자(Qp)는 턴오프되고, 스토리지 커패시터(Cst)의 타단에 부스트 전압(Vboost)의 제2 에지(E2), 즉 폴링 에지가 제공된다. 스토리지 커패시터(Cst)의 타단에 부스트 전압(Vboost)의 폴링 에지가 제공되면, 스토리지 커패시터(Cst)의 전압이, 예컨대 공통 전압(Vcom)을 기준으로 음으로 감소되고, 이와 동시에 스토리지 커패시터(Cst)에 커플링된 액정 커패시터(Clc)의 전압도 감소된다. 예를 들어, 스토리지 커패시터(Cst)의 커패시턴스(capacitance)와 액정 커패시터(Clc)의 커패시턴스가 동일할 경우, 부스트 전압(Vboost)이 하이 레벨에서 로우 레벨로 천이하는 제2 에지(E2)에서, 액정 커패시터(Clc)에 충전된 전압은 $V_{boost}/2$ 만큼 감소된다.
- <38> 즉, 제i 턴온 구간(Pon(i))후에 스토리지 커패시터(Cst)의 타단에 제공된 부스트 전압(Vboost)의 제2 에지(E2)에 따라 액정 커패시터(Clc)에 충전된 전압(V_Clc)이 부스트 다운된다. 액정 커패시터(Clc)에 충전된 전압(V_Clc)은 부스트 다운되기 전보다 부스트 다운된 후에 커진다. 부스트 다운된 후의 액정 커패시터(Clc)에 충전된 전압(V_Clc)이 타겟 전압이라면, 타겟 전압보다 낮은 영상 데이터 전압(Vdat)으로도 타겟 전압이 액정 커패시터(Clc)에 제공된 효과가 발생하므로, 전력 소비를 줄일 수 있다.
- <39> 도 3 및 도 4b를 참조하여 역방향 스캔 모드에서 액정 표시 장치의 동작을 설명한다.
- <40> 순방향 스캔 모드에서와 달리 역방향 스캔 모드에서는, 먼저 제(i+1) 턴온 구간(Pon(i+1))을 갖는 제(i+1) 게이트 신호(Gout(i+1))가 제(i+1) 게이트 라인(G(i+1))에 제공되고, 다음으로 제i 턴온 구간(Pon(i))을 갖는 제i 게이트 신호(Gout(i))가 제i 게이트 라인(Gout(i))에 제공되고, 다음으로 제(i-1) 턴온 구간(Pon(i-1))을 갖는 제(i-1) 게이트 신호(Gout(i-1))가 제(i-1) 게이트 라인(G(i-1))에 제공된다. 즉, 제(i+1) 내지 제(i-1) 턴온 구간(Pon(i+1)~Pon(i-1))이 순차적으로 시작된다.
- <41> 부스트 전압(Vboost)은 에지(edge)들(E1, E2)을 갖는다.
- <42> 제i 부스트 제어 신호(CONT3(i))는 부스트 전압 출력 구간(Pb)을 갖는다. 상술한 바와 같이, 제1 에지(E1) 및 제2 에지(E2)는 부스트 전압 출력 구간(Pb) 내에 존재하고, 제i 턴온 구간(Pon(i))은 제1 에지(E1) 및 제2 에지(E2) 사이에 존재한다. 즉, 부스트 전압 출력 구간(Pb)은 제1 에지(E1), 제i 턴온 구간(Pon(i)) 및 제2 에지(E2)와 오버랩된다.

- <43> 이러한 상황에서, 액정 커패시터(C1c)에 충전된 전압이 시간에 따라 도시되어 있다. 먼저, 제i 턴온 구간(Pon(i))이 시작되면, 화소 스위칭 소자(Qp)가 턴온되고, 데이터 라인(Dj)을 따라 영상 데이터 전압(Vdat)이 액정 커패시터(C1c)에 충전된다. 여기서 도4b에는 영상 데이터 전압(Vdat)이 공통 전압(Vcom)을 기준으로 부극성의 전압인 경우가 예로 도시되어 있다.
- <44> 다음으로, 제i 턴온 구간(Pon(i))후에 화소 스위칭 소자(Qp)는 턴오프되고, 스토리지 커패시터(Cst)의 타단에 부스트 전압(Vboost)의 제1 에지(E1)가 제공된다. 스토리지 커패시터(Cst)의 타단에 부스트 전압(Vboost)의 폴링 에지가 제공되면, 스토리지 커패시터(Cst)의 전압이 감소되고, 이와 동시에 스토리지 커패시터(Cst)에 커플링된 액정 커패시터(C1c)의 전압도 감소된다. 예를 들어, 액정 커패시터(C1c)에 충전된 전압(V_C1c)은 부스트 다운되기 전보다 Vboost/2 만큼의 전압 감소가 이루어질 수 있다.
- <45> 도 4a 및 도 4b를 참조하여 정리하여 설명하면, 부스트 전압(Vboost)이 제1 에지(E1)와 제2 에지(E2)를 포함하고, 부스트 전압 출력 구간(Pb)내에 제1 에지(E1)와 제2 에지(E2)가 존재하고, 제i 턴온 구간(Pon(i))이 제1 에지(E1)와 제2 에지(E2) 사이에 존재하면, 순방향 스캔 모드 및/또는 역방향 스캔 모드에서 액정 커패시터(C1c)에 충전된 전압(V_C1c)은 부스트 다운 또는 부스트 업될 수 있다. 부스트 전압 출력 구간(Pb)은 제(i-1) 턴온 구간 내지 (i+1) 턴온 구간(Pon(i-1)~Pon(i+1))과 오버랩될 수 있다.
- <46> 부스트 전압 출력 구간(Pb)을 갖는 부스트 제어 신호(CONT3(i))와, 부스트 전압 출력 구간(Pb)동안 스토리지 라인(Si)에 제공되는 부스트 전압(Vboost) 및 게이트 신호(Gout(i-1)~Gout(i+1))를 제공하는 게이트 구동부(400)에 대해 이하에서 상세히 설명한다. 설명의 편의상 게이트 구동부(400)가 순방향 스캔 모드에서 동작하는 경우를 예로 들어 설명한다.
- <47> 도 1 및 도 5를 참조하면, 게이트 구동부(400)는 다수의 스테이지(ST1~STn)를 포함하는데, 각 스테이지(ST1~STn)는 캐스케이드(cascade)로 연결될 수 있다. 각 스테이지(ST1~STn)는 게이트 라인(G1~Gn) 및 스토리지 라인(S(i))과 연결되어 각각 게이트 신호(Gout(1)~Gout(n)) 및 부스트 전압 출력 구간(Pb)의 부스트 전압(Sout(1)~Sout(n))을 출력한다. 각 스테이지(ST1~STn+1)에는 부스트 전압(Vboost), 게이트 오프 전압(Voff), 클럭 신호(CKV), 클럭바 신호(CKVB) 및 스캔방향 제어신호(DIR, DIRB)가 입력된다.
- <48> 각 스테이지(ST1~STn)는 제1 스캔방향 단자(D1), 제2 스캔방향 단자(D2), 제1 클럭 단자(CK1), 제2 클럭 단자(CK2), 셋 단자(S), 리셋 단자(R), 전원 전압 단자(G), 부스트 전압 단자(B), 게이트 출력 단자(OUT1) 및 스토리지 출력 단자(OUT2)를 가지고 있을 수 있다.
- <49> 예를 들어 i번째(i≠1) 게이트 라인(Gi)과 연결된 제i 스테이지(STi)의 셋 단자(S)에는 제(i-1) 스테이지(ST(i-1))의 게이트 신호(Gout(i-1))가, 리셋 단자(R)에는 제(i+1) 스테이지(ST(i+1))의 게이트 신호(Gout(i+1))가 입력되고, 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 각각 클럭 신호(CKV) 및 클럭바 신호(CKVB)가 입력되며, 전원 전압 단자(GV)에는 게이트 오프 전압(Voff)이 입력되며, 제1 및 제2 스캔방향 단자(D1, D2)에는 각각 제1 및 제2 스캔방향 제어신호(DIR, DIRB)가 입력된다. 제1 스캔방향 제어신호(DIR)은 하이 레벨이고, 제2 스캔방향 제어신호(DIRB)은 로우 레벨일 수 있다. 게이트 출력 단자(OUT1)로 제i 게이트 신호(Gout(i))가 출력되고, 스토리지 출력 단자(OUT2)로 부스트 전압 출력 구간(Pb)의 부스트 전압(Sout(i))이 출력된다.
- <50> 첫 번째 스테이지(ST1)의 셋 단자(S)에 스캔 개시 신호(STV)가 입력된다.
- <51> 다만, 역방향 스캔 모드에서는 마지막 스테이지(STn)의 리셋 단자(R)에 스캔 개시 신호(STV)가 입력되고, 제1 스캔방향 제어신호(DIR)은 로우 레벨이고, 제2 스캔방향 제어신호(DIRB)은 하이 레벨일 수 있다.
- <52> 도 6 및 도 7을 더 참조하여 도 5의 제i 스테이지(STi)에 대하여 좀더 상세히 설명한다.
- <53> 도 6을 참조하면, 제i 스테이지(STi)는 게이트 신호 제공부(410)와 부스트 전압 제공부(460)를 포함한다. 게이트 신호 제공부(410)는 제i 게이트 라인(Gi)에 제i 게이트 신호(Gout(i))를 출력하고, 부스트 전압 제공부(460)는 제i 스토리지 라인(Si)에 부스트 전압 출력 구간(Pb)동안 부스트 전압(Sout(i))을 출력한다.
- <54> 먼저, 게이트 신호 제공부(410)는 풀업 제어부(420), 풀업부(430), 풀다운부(440) 및 홀딩부(450)를 포함할 수 있다. 순방향 스캔 모드에서 제1 스캔방향 제어신호(DIR, DIRB)는 하이 레벨이고, 제2 스캔방향 제어신호(DIR, DIRB)는 로우 레벨이다.
- <55> 풀업 제어부(420)는 트랜지스터들(T2, T3)를 포함한다. 트랜지스터(T2)는 게이트로 제(i-1) 게이트 신호(Gout(i-1))를 입력받고, 이에 응답하여 하이 레벨의 제1 스캔방향 제어신호(DIR)를 제1 노드(N1)로 제공한다. 또한 트랜지스터(T3)는 게이트로 제(i+1) 게이트 신호(Gout(i+1))를 입력받고, 이에 응답하여 로우 레벨의 제2

스캔방향 제어신호(DIRB)를 제1 노드(N1)로 제공한다.

- <56> 풀업부(430)는 트랜지스터(T1)와, 트랜지스터(T1)의 게이트와 드레인을 연결하는 커패시터(C1)를 포함한다. 트랜지스터(T1)의 게이트는 제1 노드(N1)와 연결되고, 트랜지스터(T1)의 드레인으로 클럭 신호(CKV)를 인가받는다.
- <57> 풀다운부(440)는 트랜지스터(T6)를 포함하고, 트랜지스터(T6)의 드레인은 풀업부(430)의 트랜지스터(T1)의 소스와 연결되고, 트랜지스터(T6)의 소스로 게이트 오프 전압이 인가되고, 트랜지스터(T6)의 게이트로 클럭바 신호(CKVB)가 인가된다.
- <58> 홀딩부(450)는 트랜지스터들(T4, T5, T7)을 포함한다. 트랜지스터(T4)의 게이트는 제2 노드와 연결되고, 트랜지스터(T4)의 드레인인 제1 노드와 연결되고, 트랜지스터(T4)의 소스는 게이트 오프 전압과 연결된다. 트랜지스터(T5)의 게이트는 제2 노드와 연결되고, 트랜지스터(T5)의 드레인은 풀업부(430)의 트랜지스터(T1)의 소스와 연결되고, 트랜지스터(T5)의 소스로 게이트 오프 전압이 인가된다. 트랜지스터(T7)의 게이트는 제1 노드와 연결되고, 트랜지스터(T7)의 드레인은 제2 노드와 연결되고, 트랜지스터(T7)의 소스로 게이트 오프 전압(Voff)이 인가된다.
- <59> 상술한 트랜지스터들(T1~T7)은 a-Si TFT일 수 있다.
- <60> 먼저, 제i 게이트 신호(Gout(i))가 로우 레벨에서 하이 레벨로 천이하는 동작을 설명한다.
- <61> 제(i-1) 턴온 구간(Pon(i-1))동안 풀업 제어부(420)의 트랜지스터(T2)가 하이 레벨의 제(i-1) 게이트 신호(Gout(i-1))에 턴온되어 하이 레벨의 제1 스캔방향 제어신호(DIR)를 제1 노드(N1)로 제공한다. 따라서 제(i-1) 턴온 구간(Pon(i-1))동안 풀업부(430)의 커패시터(C1)가 충전된다.
- <62> 다음으로 제i 턴온 구간(Pon(i))동안 풀업부(430)의 충전된 커패시터(C2)에 의해 트랜지스터(T1)가 턴온되어 하이 레벨의 클럭 신호(CLK)를 제i 게이트 신호(Gout(i))로 출력한다.
- <63> 다음으로, 제i 게이트 신호(Gout(i))가 하이 레벨로 유지되는 동작을 설명한다.
- <64> 제i 게이트 신호(Gout(i))가 하이 레벨이 되면, 홀딩부(450)의 트랜지스터(T7)가 턴온되어 트랜지스터들(T4, T5)의 게이트로 게이트 오프 전압(Voff)을 제공한다. 따라서 트랜지스터(T7)가 트랜지스터(T4)를 턴오프하여 트랜지스터(T4)가 풀업부(430)의 트랜지스터(T1)를 턴오프시키는 것을 방지한다. 또한 트랜지스터(T7)가 트랜지스터(T5)를 턴오프하여 트랜지스터(T5)가 제i 게이트 신호(Gout(i))를 풀다운시키는 것을 방지한다. 즉, 홀딩부(450)는 제i 턴온 구간(Pon(i))동안 하이 레벨의 제i 게이트 신호(Gout(i))를 유지시킨다.
- <65> 다음으로, 제i 게이트 신호(Gout(i))가 하이 레벨에서 로우 레벨로 천이되는 동작을 설명한다.
- <66> 제(i+1) 턴온 구간(Pon(i+1))동안 풀다운부(440)의 트랜지스터(T6)는 하이 레벨의 클럭바 신호(CLKB)에 턴온되어 제i 게이트 신호(Gout(i))를 게이트 오프 전압(Voff)으로 풀다운시킨다.
- <67> 이때, 풀업 제어부(420)의 트랜지스터(T3)는 하이 레벨의 제(i+1) 게이트 신호(Gout(i+1))를 입력받아 턴온되어, 로우 레벨의 제2 스캔방향 제어신호(DIRB)를 제1 노드(N1)로 제공한다. 따라서 제1 노드(N1)의 전압이 로우 레벨로 감소되고, 풀업부(430)의 트랜지스터(T1)가 턴오프된다.
- <68> 다음으로, 제i 게이트 신호(Gout(i))가 하이 레벨에서 로우 레벨로 천이되는 동작을 설명한다.
- <69> 제1 노드(N1)의 전압이 로우 레벨이 되면, 홀딩부(450)의 트랜지스터(T7)는 턴오프되어 트랜지스터(T7)은 제2 노드(N2)로 게이트 오프 전압(Voff)을 제공하지 않는다. 따라서 제2 노드(N2)의 전압은 커패시터(C2)로 커플링된 클럭 신호(CLK)에 따라 결정된다. 예컨대 클럭 신호(CLK)가 하이 레벨이면 제2 노드(N2)는 하이 레벨이 되고 트랜지스터들(T4, T5)이 턴온된다. 턴온된 트랜지스터(T4)는 제1 노드(N1)에 게이트 오프 전압(Voff)을 제공하여, 풀업부(430)의 트랜지스터(T1)를 턴오프시키고, 커패시터(C1)를 방전시킨다. 또한 턴온된 트랜지스터(T5)는 제i 게이트 신호(Gout(i))를 게이트 오프 전압(Voff)으로 유지시킨다.
- <70> 다시 말하면 게이트 구동부(400)는, 도 7에 도시된 바와 같이, 제(i-2) 턴온 구간(Pon(i-2))동안 하이 레벨의 클럭 신호(CKV)를 제(i-2) 게이트 신호(Gout(i-2))로 출력하고, 제(i-1) 턴온 구간(Pon(i-1))동안 하이 레벨의 클럭바 신호(CKVB)를 제(i-1) 게이트 신호(Gout(i-1))로 출력하고, 제i 턴온 구간(Pon(i))동안 하이 레벨의 클럭 신호(CKV)를 제i 게이트 신호(Gout(i))로 출력하고, 제(i+1) 턴온 구간(Pon(i+1))동안 하이 레벨의 클럭바 신호(CKVB)를 제(i+1) 게이트 신호(Gout(i+1))로 출력하고, 제(i+2) 턴온 구간(Pon(i+2))동안 하이 레벨의 클

력 신호(CKV)를 제(i+2) 게이트 신호(Gout(i+2))로 출력한다.

- <71> 다음으로 부스트 전압 제공부(460)에 대해 상세히 설명한다. 부스트 전압 제공부(460)는 제1 스위칭 소자(470), 제2 스위칭 소자(480) 및 스위칭부(490)를 포함할 수 있다. 제1 스위칭 소자(470)는 다이오드 연결된(diode-connected) 트랜지스터(T8)일 수 있다. 제2 스위칭 소자(480)는 다이오드 연결된(diode-connected) 트랜지스터(T9)일 수 있다. 스위칭부(490)는 2개의 트랜지스터들(T10, T11)을 포함할 수 있다. 여기서 트랜지스터들(T8~T11)은 a-Si TFT일 수 있다.
- <72> 동작을 설명하면, 제(i-2) 턴온 구간(Pon(i-2))동안 스위칭부(490)의 트랜지스터(T10)가 턴온되어 제3 노드(N3)에 그라운드 전압을 제공한다. 따라서 제(i-2) 턴온 구간(Pon(i-2))동안 제i 부스트 제어 신호(CONT3(i))는 로우 레벨이 된다. 이때 다른 트랜지스터들(T8, T9, T11)은 턴오프된다.
- <73> 다음으로 제(i-1) 턴온 구간(Pon(i-1))동안 다이오드 연결된 트랜지스터(T8)는 하이 레벨의 제(i-1) 게이트 신호(Gout(i-1))를 제3 노드(N3)로 제공한다. 따라서 제(i-1) 턴온 구간(Pon(i-2))동안 제i 부스트 제어 신호(CONT3(i))는 하이 레벨이 된다. 이때 다른 트랜지스터들(T9, T10, T11)은 턴오프된다.
- <74> 다음으로, 제(i+1) 턴온 구간(Pon(i+1))동안 다이오드 연결된 트랜지스터(T9)는 하이 레벨의 제(i+1) 게이트 신호(Gout(i+1))를 제3 노드(N3)로 제공한다. 따라서 제(i+1) 턴온 구간(Pon(i+1))동안 제i 부스트 제어 신호(CONT3(i))는 하이 레벨이 된다. 이때 다른 트랜지스터들(T8, T10, T11)은 턴오프된다.
- <75> 다음으로, 제(i+2) 턴온 구간(Pon(i+2))동안 스위칭부(490)의 트랜지스터(T11)가 턴온되어 제3 노드(N3)에 그라운드 전압을 제공한다. 따라서 제(i+2) 턴온 구간(Pon(i+2))동안 제i 부스트 제어 신호(CONT3(i))는 로우 레벨이 된다. 이때 다른 트랜지스터들(T8, T9, T11)은 턴오프된다.
- <76> 따라서 제i 부스트 제어 신호(CONT3(i))가 도 4a, 도 4b 및 도 7에 도시된 바와 같이 부스트 전압 출력 구간(Pb)동안 하이 레벨인 신호가 된다. 다만, 본 실시예에서 스위칭부(490)가 2개의 트랜지스터(T10, T11)를 포함하고, 각 트랜지스터가 제(i-2) 게이트 신호(Gout(i-2)) 및 제(i+2) 게이트 신호(Gout(i+2))를 입력받아서 동작하는 경우가 예로 설명되나, 본 발명이 이에 한정되지 않는다. 예를 들어, 스위칭부(490)는 적어도 하나의 트랜지스터를 포함하여, 제(i-1) 턴온 구간(Pon(i-1)) 및 제(i+1) 턴온 구간(Pon(i+1))이외의 구간에서 제3 노드(N3)로 그라운드 전압을 제공할 수 있다.
- <77> 도 8 내지 도 11b를 참조하여 본 발명의 다른 실시예에 따른 액정 표시 장치 및 이의 구동 방법을 설명한다. 도 8은 본 발명의 다른 실시예에 따른 액정 표시 장치 및 이의 구동 방법을 설명하기 위한 블록도이고, 도 9는 도 8의 게이트 구동부의 동작을 설명하기 위한 신호도이고, 도 10은 도 8의 제1 게이트 구동부의 제i 스테이지의 회로도이고, 도 11a 및 도 11b는 도 8의 액정 표시 장치의 동작을 설명하기 위한 신호도이다. 도 1 및 도 6에 도시된 구성 요소와 동일한 기능을 하는 구성 요소에 대해서는 동일한 도면 부호를 사용하고, 설명의 편의상 해당 구성 요소에 대한 상세한 설명은 생략한다.
- <78> 도 8을 참조하면, 본 발명의 다른 실시예에 따른 액정 표시 장치(11)는 액정 패널(300), 타이밍 컨트롤러(501), 제1 및 제2 클럭 생성부(600a, 600b), 제1 및 제2 게이트 구동부(400a, 400b) 및 데이터 구동부(700)를 포함한다.
- <79> 이전 실시예와 달리, 액정 표시 장치(11)는 비표시부(PA)에 구비된 제1 게이트 구동부(400a) 및 제2 게이트 구동부(400b)를 포함한다. 각 게이트 구동부(400a, 400b)는 표시부(DA)의 일측과 타측에 구비되고, 다수의 게이트 라인(G1~G2n)에 교대로 게이트 신호를 제공한다. 예를 들어, 제1 게이트 구동부(400a)는 다수의 게이트 라인(G1~G2n)중, 홀수 번째 게이트 라인(G1~G(2n-1))과 다수의 스토리지 라인(S1~GSn)중 홀수 번째 스토리지 라인(S1~S(2n-1))과 연결될 수 있다. 제2 게이트 구동부(400b)는 짝수번째 게이트 라인(G2~G2n) 및 짝수번째 스토리지 라인(S2~S2n)과 연결될 수 있다. 다만 본 발명이 이에 한정되는 것은 아니다. 또한 제1 게이트 구동부(400a) 및 제2 게이트 구동부(400b)가 물리적으로 분리되지 않을 수 있다.
- <80> 좀더 구체적으로 설명하면, 타이밍 컨트롤러(501)는 제1 클럭 생성부(600a)에 제1 클럭생성 제어신호(CONT2a)를 제공하고, 제2 클럭 생성부(600b)에 제2 클럭생성 제어신호(CONT2b)를 제공한다. 또한, 타이밍 컨트롤러(501)는 제1 게이트 구동부(400a)에 제1 스캔 개시 신호(STV_L)를 제공하고, 제2 게이트 구동부(400b)에 제2 스캔 개시 신호(STV_R)를 제공한다. 여기서 제1 스캔 개시 신호(STV_L)와 제2 스캔 개시 신호(STV_R)는 소정의 위상차를 갖을 수 있다.
- <81> 제1 클럭 생성부(600a)는 제1 클럭생성 제어신호(CONT2a)를 입력받아 제1 클럭 신호(CKV_L), 제1 클럭바 신호

(CKVB_L)를 생성하여 제1 게이트 구동부(400a)로 제공한다. 제2 클럭 생성부(600b)는 제2 클럭생성 제어신호(CONT2b)를 입력받아 제2 클럭 신호(CKV_R), 제2 클럭바 신호(CKVB_R)를 생성하여 제2 게이트 구동부(400b)로 제공한다. 여기서 제1 클럭 신호(CKV_L)와 제2 클럭 신호(CKV_R)는 소정의 위상차를 갖을 수 있다.

<82> 도 9 및 도 10을 더 참조하여 도 8의 게이트 구동부(400a, 400b)를 상세히 설명한다. 설명의 편의상 게이트 구동부(400a, 400b)가 순방향 스캔 모드에서 동작하는 경우를 예로 들어 설명한다.

<83> 도 9를 참조하면, 제1 게이트 구동부(400a)는 제(i-2) 게이트 신호(Gout(i-2)), 제i 게이트 신호(Gout(i)) 및 제(i+2) 게이트 신호(Gout(i+2))를 출력한다. 제2 게이트 구동부(400b)는 제(i-1) 게이트 신호(Gout(i-1)) 및 제(i+1) 게이트 신호(Gout(i+1))를 출력한다. 순방향 스캔 모드에서 동작하는 경우, 도 9에 도시된 바와 같이 제(i-2) 턴온 구간(Pon(i-2)) 내지 제(i+2) 턴온 구간(Pon(i+2))이 순차적으로 시작된다.

<84> 좀더 구체적으로 설명하면, 제1 게이트 구동부(400a)는 제1 클럭 신호(CKV_L) 및 제2 클럭바 신호(CKVB_R)를 입력받아 제(i-2) 게이트 신호(Gout(i-2)), 제i 게이트 신호(Gout(i)) 및 제(i+2) 게이트 신호(Gout(i+2))를 출력한다. 즉, 제1 게이트 구동부(400a)는 제(i-2) 턴온 구간(Pon(i-2))동안 하이 레벨의 제1 클럭바 신호(CKVB_L)를 제(i-2) 게이트 신호(Gout(i-2))로 출력하고, 제i 턴온 구간(Pon(i))동안 하이 레벨의 제1 클럭 신호(CKV_L)를 제i 게이트 신호(Gout(i))로 출력하고, 제(i+2) 턴온 구간(Pon(i+2))동안 하이 레벨의 제1 클럭바 신호(CKVB_L)를 제(i+2) 게이트 신호(Gout(i+2))로 출력한다.

<85> 제2 게이트 구동부(400b)는 제2 클럭 신호(CKV_R) 및 제2 클럭바 신호(CKVB_R)를 입력받아 제(i-1) 게이트 신호(Gout(i-1)) 및 제(i+1) 게이트 신호(Gout(i+1))를 출력한다. 여기서 제2 클럭 신호(CKV_R)는, 도 10에 도시된 바와 같이, 제1 클럭 신호(CKV_L)와 소정의 위상차를 갖을 수 있다. 즉, 제2 게이트 구동부는 제(i-1) 턴온 구간(Pon(i-1))동안 하이 레벨의 제2 클럭 신호(CKV_R)를 제(i-1) 게이트 신호(Gout(i-1))로 출력하고, 제(i+1) 턴온 구간(Pon(i+1))동안 하이 레벨의 제2 클럭바 신호(CKVB_R)를 제(i+1) 게이트 신호(Gout(i+1))로 출력한다.

<86> 순방향 스캔 모드인 경우, 제(i-2) 게이트 신호(Gout(i-2))의 제(i-2) 턴온 구간(Pon(i-2))이 시작되고, 다음으로 제(i-1) 게이트 신호(Gout(i-1))의 제(i-1) 턴온 구간(Pon(i-1))이 시작되고, 다음으로 제i 게이트 신호(Gout(i))의 제i 턴온 구간(Pon(i))이 시작되고, 다음으로 제(i+1) 게이트 신호(Gout(i+1))의 제(i+1) 턴온 구간(Pon(i+1))이 시작되고, 다음으로 제(i+2) 게이트 신호(Gout(i+2))의 제(i+2) 턴온 구간(Pon(i+2))이 시작된다.

<87> 각 턴온 구간((Pon(i-2))~Pon(i+2))은 인접한 턴온 구간과 일부분이 오버랩된다. 각 턴온 구간((Pon(i-2))~Pon(i+2))은 프리차지 구간(Ppre(i-2))~Ppre(i+2))과 메인차지 구간(Pmain(i-2))~Pmain(i+2))을 포함할 수 있다. 제i 턴온 구간(Pon(i)) 중 프리차지 구간(Ppre(i))은 제(i-1) 턴온 구간(Pon(i-1)) 중 메인차지 구간(Pmain(i-1))과 오버랩되고, 제i 턴온 구간(Pon(i)) 중 메인차지 구간(Pmain(i))은 제(i+1) 턴온 구간(Pon(i+1)) 중 프리차지 구간(Ppre(i+1))과 오버랩될 수 있다.

<88> 이러한 제1 및 제2 게이트 구동부(400a, 400b)의 동작을 제1 게이트 구동부(400a)의 제i 스테이지(STi)를 예로 들어 좀더 상세히 설명한다.

<89> 도 10을 참조하면, 제i 스테이지(STi)는 게이트 신호 제공부(410a)와 부스트 전압 제공부(460a)를 포함할 수 있다. 게이트 신호 제공부(410a)는 제i 게이트 라인(Gi)에 제i 게이트 신호(Gout(i))를 출력하고, 부스트 전압 제공부(460a)는 제i 스토리지 라인(Si)에 부스트 전압 출력 구간(Pb)동안 부스트 전압(Sout(i))을 출력한다.

<90> 게이트 신호 제공부(410a)는 풀업 제어부(420a), 풀업부(430a), 폴다운부(440a) 및 홀딩부(450a)를 포함한다. 도 6 및 도 7을 더 참조하여 이전 실시예와 비교하여 설명하면, 게이트 신호 제공부(410a)의 풀업 제어부(420a)는 제(i-2) 게이트 신호(Gout(i-2)) 및 제(i+2) 게이트 신호(Gout(i+2))를 입력받아, 도 11에 도시된 바와 같이, 제i 턴온 구간(Pon(i))동안 하이 레벨의 제1 클럭 신호(CKV_L)를 제i 게이트 신호(Gout(i))로 출력한다. 이러한 게이트 신호 제공부(410a)의 동작은, 이전 실시예에서 상세히 설명되었으므로, 생략한다.

<91> 한편, 제i 스테이지(STi)의 부스트 전압 제공부(460a)는, 부스트 제어 신호(CONT3(i))를 이용하여 도 9에 도시된 바와 같이, 부스트 전압 출력 구간(Pb)동안 부스트 전압(Sout(i))을 출력한다. 여기서 부스트 전압(Vboost)은, 예컨대 하이 레벨과 로우 레벨 사이를 스위칭하는 전압으로서, 에지(edge)들(E1, E2)을 갖는다. 에지들(E1, E2)은 라이징 에지 또는 폴링 에지일 수 있다. 제i 부스트 제어 신호(CONT3(i))는 부스트 전압 출력 구간(Pb)을 갖는다. 여기서 제1 에지 및 제2 에지는 부스트 전압 출력 구간(Pb) 내에 존재하고, 제i 턴온 구간(Pon(i))은 제1 에지 및 제2 에지 사이에 존재한다. 즉, 부스트 전압 출력 구간(Pb)은 제1 에지, 제i 턴온 구간(Pon(i)) 및

제2 에지와 오버랩된다. 예컨대, 부스트 전압 출력 구간(Pb)은 제(i-1) 턴온 구간(Pon(i-1)) 및 제(i+1) 턴온 구간(Pon(i+1))과 오버랩될 수 있다.

<92> 이러한 부스트 전압 제공부(460a)는 제1 스위칭 소자(470a), 제2 스위칭 소자(480a) 및 스위칭부(490a)를 포함할 수 있다. 제1 스위칭 소자(470a)는 다이오드 연결된(diode-connected) 트랜지스터(T8)일 수 있다. 제2 스위칭 소자(480a)는 다이오드 연결된(diode-connected) 트랜지스터(T9)일 수 있다. 스위칭부(490a)는 2개의 트랜지스터들(T12, T13)을 포함할 수 있다.

<93> 동작을 설명하면, 제(i-1) 턴온 구간(Pon(i-1))동안 다이오드 연결된 트랜지스터(T8)는 하이 레벨의 제(i-1) 게이트 신호(Gout(i-1))를 제3 노드(N3)로 제공한다. 이때 스위칭부(490a)의 트랜지스터(T12)도 하이 레벨의 제2 클럭 신호(CKV_R)를 입력받아 턴온되어, 하이 레벨의 제(i-1) 게이트 신호(Gout(i-1))를 제3 노드(N3)로 제공한다. 다이오드 연결된 트랜지스터(T9) 및 스위칭부(490a)의 트랜지스터(T13)는 턴오프된다.

<94> 다음으로, 제(i+1) 턴온 구간(Pon(i+1))동안 다이오드 연결된 트랜지스터(T9)는 하이 레벨의 제(i+1) 게이트 신호(Gout(i+1))를 제3 노드(N3)로 제공한다. 이때 스위칭부(490a)의 트랜지스터(T13)도 하이 레벨의 제2 클럭바 신호(CKVB_R)를 입력받아 턴온되어, 하이 레벨의 제(i+1) 게이트 신호(Gout(i+1))를 제3 노드(N3)로 제공한다. 다이오드 연결된 트랜지스터(T8) 및 스위칭부(490a)의 트랜지스터(T12)는 턴오프된다.

<95> 제(i-1) 턴온 구간(Pon(i-1)) 및 제(i+1) 턴온 구간(Pon(i+1))이 지난 후에, 스위칭부(490a)의 트랜지스터들(T12, T13)은 각각 제2 클럭 신호(CKV_R) 및 제2 클럭바 신호(CKVB_R)에 인에이블되어 로우 레벨의 제(i-1) 게이트 신호(Gout(i-1)) 및 제(i+1) 게이트 신호(Gout(i+1))를 제3 노드(N3)에 제공한다.

<96> 따라서 부스트 전압 제공부(460a)는 도 9에 도시된 바와 같이 제(i-1) 턴온 구간(Pon(i-1)) 및 제(i+1) 턴온 구간(Pon(i+1))과 오버랩되는 부스트 전압 출력 구간(Pb)을 갖는 제i 부스트 제어 신호(CONT3(i))를 생성한다.

<97> 부스트 스위칭 소자(Qb)는 제i 부스트 제어 신호(CONT3(i))에 응답하여 부스트 전압 출력 구간(Pb)동안 부스트 전압(Sout(i))을 출력한다.

<98> 여기서 트랜지스터들(T8, T9, T12, T13)은 a-Si TFT일 수 있다.

<99> 다음으로 도 3, 도 11a 및 도 11b를 참조하여, 순방향 스캔 모드 및 역방향 스캔 모드에서 액정 표시 장치의 동작을 설명한다.

<100> 먼저 도 3 및 도 11a를 참조하여 순방향 스캔 모드에서 액정 표시 장치의 동작을 설명한다.

<101> 제i 턴온 구간(Pon(i))중 프리차지 구간(Ppre(i))이 시작되면, 화소 스위칭 소자(Qp)가 턴온되고, 데이터 라인(Dj)을 통해 제(i-1) 게이트 라인(G(i-1))과 커플링된 액정 커패시터(미도시)에 인가되는 데이터 전압이 제i 게이트 라인(Gi)과 커플링된 액정 커패시터(Clc)에도 인가되어, 소정의 전압(Vpre)으로 프리차지될 수 있다. 메인차지 구간(Pmain(i))에서 액정 커패시터(Clc)에는 영상 데이터 전압(Vdat)이 제공되어 영상 데이터 전압(Vdat)으로 충전된다.

<102> 제i 턴온 구간(Pon(i))후에 화소 스위칭 소자(Qp)는 턴오프되고, 스토리지 커패시터(Cst)의 타단에 부스트 전압(Vboost)의 제2 에지(E2), 즉 폴링 에지가 제공된다. 스토리지 커패시터(Cst)의 타단에 부스트 전압(Vboost)의 폴링 에지가 제공되면, 스토리지 커패시터(Cst)의 전압이, 예컨대 공통 전압(Vcom)을 기준으로 음으로 감소되고, 이와 동시에 스토리지 커패시터(Cst)에 커플링된 액정 커패시터(Clc)의 전압도 감소된다. 예를 들어, 스토리지 커패시터(Cst)의 커패시턴스(capacitance)와 액정 커패시터(Clc)의 커패시턴스가 동일할 경우, 제2 에지에서 액정 커패시터(Clc)에 충전된 전압은 Vboost/2 만큼 감소된다. 즉, 제i 턴온 구간(Pon(i))후에 스토리지 커패시터(Cst)의 타단에 제공된 부스트 전압(Vboost)의 제2 에지(E2)에 따라 액정 커패시터(Clc)에 충전된 전압(V_Clc)이 부스트 다운된다.

<103> 도 3 및 도 11b를 참조하여 역방향 스캔 모드에서 액정 표시 장치의 동작을 설명한다.

<104> 순방향 스캔 모드에서와 달리, 제(i+2) 내지 제(i-2) 턴온 구간(Pon(i+2)~Pon(i-2))이 순차적으로 시작된다. 제i 턴온 구간(Pon(i)) 중 프리차지 구간(Ppre(i))은 제(i+1) 턴온 구간(Pon(i+1)) 중 메인차지 구간(Pmain(i+1))과 오버랩되고, 제i 턴온 구간(Pon(i)) 중 메인차지 구간(Pmain(i))은 제(i-1) 턴온 구간(Pon(i+1)) 중 프리차지 구간(Ppre(i-1))과 오버랩된다.

<105> 부스트 전압(Vboost)은 에지(edge)들(E1, E2)을 갖는다.

- <106> 제i 부스트 제어 신호(CONT3(i))는 부스트 전압 출력 구간(Pb)을 갖는다. 상술한 바와 같이, 제1 에지(E1) 및 제2 에지(E2)는 부스트 전압 출력 구간(Pb) 내에 존재하고, 제i 턴온 구간(Pon(i))은 제1 에지 및 제2 에지 사이에 존재한다. 즉, 부스트 전압 출력 구간(Pb)은 제1 에지(E1), 제i 턴온 구간(Pon(i)) 및 제2 에지(E2)와 오버랩된다. 예컨대, 부스트 전압 출력 구간(Pb)은 제(i-1) 턴온 구간(Pon(i-1)) 및 제(i+1) 턴온 구간(Pon(i+1))과 오버랩될 수 있다.
- <107> 제i 턴온 구간(Pon(i)) 중 프리차지 구간(Ppre(i))이 시작되면, 화소 스위칭 소자(Qp)가 턴온되고, 데이터 라인(Dj)을 통해 제(i+1) 게이트 라인(G(i+1))과 커플링된 액정 커패시터(미도시)에 인가되는 데이터 전압이 제i 게이트 라인(Gi)과 커플링된 액정 커패시터(Clc)에도 인가되어, 소정의 전압(Vpre)으로 프리차지될 수 있다. 메인차지 구간(Pmain(i))에서 액정 커패시터(Clc)에는 영상 데이터 전압(Vdat)이 제공되어 영상 데이터 전압(Vdat)으로 충전된다.
- <108> 다음으로, 제i 턴온 구간(Pon(i))후에 화소 스위칭 소자(Qp)는 턴오프되고, 스토리지 커패시터(Cst)의 타단에 부스트 전압(Vboost)의 제1 에지(E1)가 제공된다. 스토리지 커패시터(Cst)의 타단에 부스트 전압(Vboost)의 라이징 에지가 제공되면, 스토리지 커패시터(Cst)의 전압이, 예컨대 공통 전압(Vcom)을 기준으로 양으로 증가되고, 이와 동시에 스토리지 커패시터(Cst)에 커플링된 액정 커패시터(Clc)의 전압도 증가된다. 예를 들어, 액정 커패시터(Clc)에 충전된 전압은 부스트 업되기 전보다 Vboost/2 만큼의 전압 증가가 이루어질 수 있다.
- <109> 도 11a 및 도 11b를 참조하여 정리하여 설명하면, 부스트 전압(Vboost)이 제1 에지(E1)와 제2 에지(E2)를 포함하고, 부스트 전압 출력 구간(Pb)내에 제1 에지(E1)와 제2 에지(E2)가 존재하고, 제i 턴온 구간(Pon(i))이 제1 에지(E1)와 제2 에지(E2) 사이에 존재하면, 순방향 스캔 모드 및/또는 역방향 스캔 모드에서 액정 커패시터(Clc)에 충전된 전압은 부스트 다운 또는 부스트 업될 수 있다. 부스트 전압 출력 구간(Pb)은 제(i-1) 턴온 구간(Pon(i-1)) 내지 (i+1) 턴온 구간과 오버랩될 수 있다.
- <110> 상술한 바와 같이, 부스트 전압 출력 구간(Pb)동안 하이 레벨인 제i 부스트 제어 신호(CONT3(i))를 제3 노드(N3)로 출력되면 도 9에 도시된 바와 같이 스토리지 라인(Si)에 인가되는 부스트 전압(Sout(i))이 스토리지 커패시터(Cst)의 타단에 제공되므로, 액정 표시 장치(11)가 순방향 스캔 모드 및/또는 역방향 스캔 모드에서 액정 커패시터(Clc)에 충전된 데이터 전압이 부스트 업 또는 부스트 다운되므로, 소비 전력을 줄일 수 있다.
- <111> 다만, 본 발명은 이에 한정되지 않고, 제i 스토리지 라인(Si)에 부스트 전압(Sout(i))을 제공하는 부스트 전압 제공부(460a)가 제2 게이트 구동부(400b) 내부에 구비될 수도 있다.
- <112> 도 12를 참조하여 본 발명의 또 다른 실시예에 따른 액정 표시 장치를 설명한다. 도 12는 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 부스트 전압 제공부를 설명하기 위한 회로도이다. 도 10에 도시된 구성 요소와 동일한 기능을 하는 구성 요소에 대해서는 동일한 도면 부호를 사용하고, 설명의 편의상 해당 구성 요소에 대한 설명은 생략한다.
- <113> 도 9 및 도 12를 참조하면, 부스트 전압 제공부(461a)는 제(i-1) 턴온 구간(Pon(i-1))동안 하이 레벨의 제(i-1) 게이트 신호(Gout(i-1))를 제3 노드(N3)로 제공하는 제1 스위칭 소자(T12)와, 제(i+1) 턴온 구간(Pon(i+1))동안 하이 레벨의 제(i+1) 게이트 신호(Gout(i+1))를 제3 노드(N3)로 제공하는 제2 스위칭 소자(T13)와, 제(i-2) 턴온 구간(Pon(i-2))동안 로우 레벨의 제(i-1) 게이트 신호(Gout(i-1))를 제3 노드(N3)로 제공하는 제3 스위칭 소자(T14)와, 제(i+2) 턴온 구간(Pon(i+2))동안 로우 레벨의 제(i+1) 게이트 신호(Gout(i+1))를 제3 노드(N3)로 제공하는 제4 스위칭 소자(T14)를 포함한다.
- <114> 동작을 설명하면, 제(i-2) 턴온 구간(Pon(i-2))중 프리차지 구간(Ppre(i-2))동안 제3 스위칭 소자(T14)는 로우 레벨의 제(i-1) 게이트 신호(Gout(i-1))를 제3 노드(N3)로 제공한다. 따라서 제i 부스트 제어 신호(CONT3(i))는 제(i-2) 턴온 구간(Pon(i-2))동안 로우 레벨이 된다.
- <115> 다음으로 제(i-1) 턴온 구간(Pon(i-1))동안 제1 스위칭 소자(T12)는 하이 레벨의 제2 클럭 신호(CKV_R)를 입력받아 턴온되어 하이 레벨의 제(i-1) 게이트 신호(Gout(i-1))를 제3 노드(N3)로 제공한다. 따라서 제i 부스트 제어 신호(CONT3(i))는 제(i-1) 턴온 구간(Pon(i-1))동안 하이 레벨이 된다. 여기서 제2 스위칭 소자(T13) 및 제4 스위칭 소자(T15)는 턴오프된다.
- <116> 다음으로, 제(i+1) 턴온 구간(Pon(i+1))동안 제2 스위칭 소자(T13)는 하이 레벨의 제2 클럭바 신호(CKVB_R)를 입력받아 턴온되어 하이 레벨의 제(i+1) 게이트 신호(Gout(i+1))를 제3 노드(N3)로 제공한다. 따라서 부스트 제어 신호(CONT3(i))는 제(i+1) 턴온 구간(Pon(i+1))동안 하이 레벨이 된다. 여기서 제1 스위칭 소자(T12) 및 제

3 스위칭 소자(T14)는 턴오프된다.

- <117> 다음으로, 제(i+2) 턴온 구간(Pon(i+2))중 메인차지 구간(Pmain(i+2))동안 제4 스위칭 소자(T15)는 로우 레벨의 제(i+1) 게이트 신호(Gout(i+1))를 제3 노드(N3)로 제공한다.
- <118> 여기서 스위칭 소자들(T12~T15)은 a-Si TFT일 수 있다.
- <119> 정리해서 설명하면, 제1 내지 제4 스위칭 소자(T12~15)는, 도 9에 도시된 바와 같이 부스트 전압 출력 구간(Pb)동안 하이 레벨인 제i 부스트 제어 신호(CONT3(i))를 제3 노드(N3)로 출력한다. 여기서 부스트 전압 출력 구간(Pb)은 제(i-1) 턴온 구간(Pon(i-1)) 및 제(i+1) 턴온 구간(Pon(i+1))과 오버랩될 수 있다.
- <120> 상술한 바와 같이, 부스트 전압 출력 구간(Pb)동안 하이 레벨인 제i 부스트 제어 신호(CONT3(i))를 제3 노드(N3)로 출력되면 도 9에 도시된 바와 같이 스토리지 라인(Si)에 인가되는 부스트 전압(Sout(i))이 스토리지 커패시터(Cst)의 타단에 제공되므로, 액정 표시 장치(11)가 순방향 스캔 모드 및/또는 역방향 스캔 모드에서 액정 커패시터(Clc)에 충전된 데이터 전압이 부스트 업 또는 부스트 다운되므로, 소비 전력을 줄일 수 있다.
- <121> 도 13 및 도 14를 참조하여 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 부스트 전압 제공부를 설명하기 위한 회로도이다. 도 12에 도시된 구성 요소와 동일한 기능을 하는 구성 요소에 대해서는 동일한 도면 부호를 사용하고, 설명의 편의상 해당 구성 요소에 대한 설명은 생략한다.
- <122> 도 13 및 도 14를 참조하면, 부스트 전압 제공부(462a)는 제(i-1) 턴온 구간(Pon(i-1))동안 하이 레벨의 제(i-1) 게이트 신호(Gout(i-1))를 제3 노드(N3)로 제공하는 제1 스위칭 소자(T12)와, 제(i+1) 턴온 구간(Pon(i+1))동안 하이 레벨의 제(i+1) 게이트 신호(Gout(i+1))를 제3 노드(N3)로 제공하는 제2 스위칭 소자(T13)와, 그라운드 전압을 제3 노드(N3)로 제공하는 스위칭부(T16, T17)를 포함한다.
- <123> 동작을 설명하면, 제3 스위칭 소자(T16)는 제(i-3) 턴온 구간(Pon(i-3))동안 하이 레벨의 제(i-3) 게이트 신호(Gout(i-3))를 입력받아 턴온되어, 그라운드 전압을 제3 노드(N3)로 제공한다. 따라서 제i 부스트 제어 신호(CONT3(i))는 제(i-3) 턴온 구간(Pon(i-3))동안 로우 레벨이 된다.
- <124> 다음으로 제(i-1) 턴온 구간(Pon(i-1))동안 제1 스위칭 소자(T12)는 하이 레벨의 제2 클럭 신호(CKV_R)를 입력받아 턴온되어 하이 레벨의 제(i-1) 게이트 신호(Gout(i-1))를 제3 노드(N3)로 제공한다. 따라서 제i 부스트 제어 신호(CONT3(i))는 제(i-1) 턴온 구간(Pon(i-1))동안 하이 레벨이 된다. 여기서 제2 스위칭 소자(T13) 및 제4 스위칭 소자(T17)는 턴오프된다.
- <125> 다음으로, 제(i+1) 턴온 구간(Pon(i+1))동안 제2 스위칭 소자(T13)는 하이 레벨의 제2 클럭바 신호(CKVB_R)를 입력받아 턴온되어 하이 레벨의 제(i+1) 게이트 신호(Gout(i+1))를 제3 노드(N3)로 제공한다. 따라서 부스트 제어 신호(CONT3(i))는 제(i+1) 턴온 구간(Pon(i+1))동안 하이 레벨이 된다. 여기서 제1 스위칭 소자(T12) 및 제3 스위칭 소자(T16)는 턴오프된다.
- <126> 다음으로, 제4 스위칭 소자(T17)는 제(i+3) 턴온 구간(Pon(i+3))동안 하이 레벨의 제(i+3) 게이트 신호(Gout(i+3))를 입력받아 턴온되어, 그라운드 전압을 제3 노드(N3)로 제공한다. 따라서 제i 부스트 제어 신호(CONT3(i))는 제(i+3) 턴온 구간(Pon(i+3))동안 로우 레벨이 된다.
- <127> 여기서 스위칭 소자들(T12, T13, T16, T17)은 a-Si TFT일 수 있다.
- <128> 정리해서 설명하면, 제1 내지 제4 스위칭 소자(T12, T13, T16, T17)는, 도 13에 도시된 바와 같이 부스트 전압 출력 구간(Pb)동안 하이 레벨인 제i 부스트 제어 신호(CONT3(i))를 제3 노드(N3)로 출력한다. 여기서 부스트 전압 출력 구간(Pb)은 제(i-1) 턴온 구간(Pon(i-1)) 및 제(i+1) 턴온 구간(Pon(i+1))과 오버랩될 수 있다.
- <129> 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

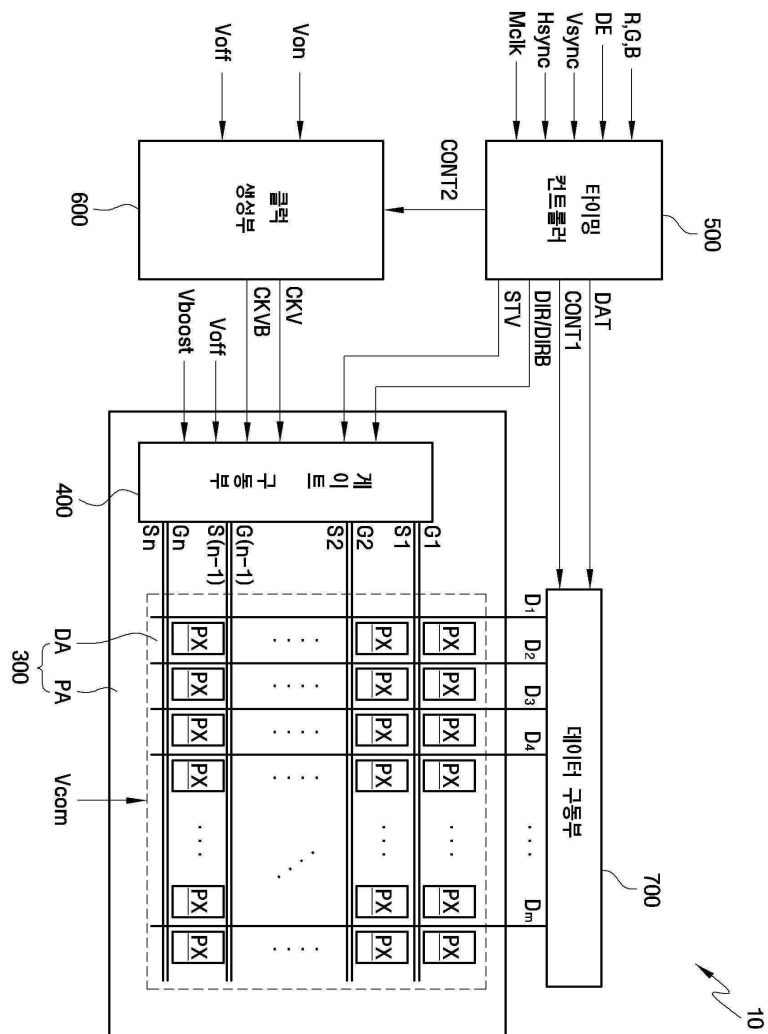
도면의 간단한 설명

- <130> 도 1은 본 발명의 실시예들에 따른 액정 표시 장치 및 그의 구동 방법을 설명하기 위한 블록도이다.
- <131> 도 2는 도 1의 한 화소의 등가 회로도이다.

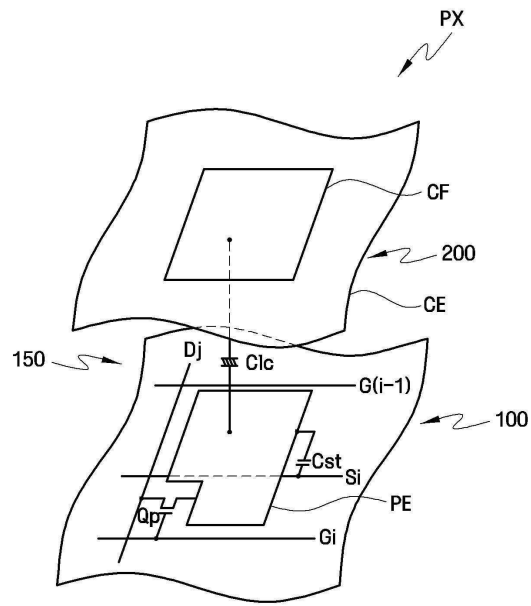
- <132> 도 3은 도 1의 액정 표시 장치의 동작을 설명하기 위한 회로도이다.
 - <133> 도 4a 및 도 4b는 도 3의 액정 표시 장치의 동작을 설명하기 위한 신호도이다.
 - <134> 도 5는 도 1의 게이트 구동부를 설명하기 위한 예시적인 블록도이다.
 - <135> 도 6은 도 5의 제i 스테이지의 예시적인 회로도이다.
 - <136> 도 7은 제j 스테이지의 동작을 설명하기 위한 신호도이다.
 - <137> 도 8은 본 발명의 다른 실시예에 따른 액정 표시 장치 및 이의 구동 방법을 설명하기 위한 블록도이다.
 - <138> 도 9는 도 8의 게이트 구동부의 동작을 설명하기 위한 신호도이다.
 - <139> 도 10은 도 8의 제1 게이트 구동부의 제i 스테이지의 회로도이다.
 - <140> 도 11a 및 도 11b는 도 8의 액정 표시 장치의 동작을 설명하기 위한 신호도이다.
 - <141> 도 12는 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 부스트 전압 제공부를 설명하기 위한 회로도이다.
 - <142> 도 13은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 부스트 전압 제공부를 설명하기 위한 회로도이다.
 - <143> 도 14는 도 13의 부스트 전압 제공부의 동작을 설명하기 위한 신호도이다.
 - <144> (도면의 주요부분에 대한 부호의 설명)

도면

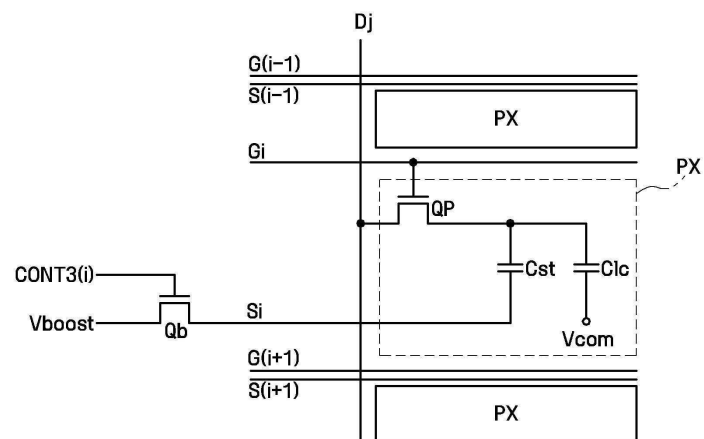
도면1



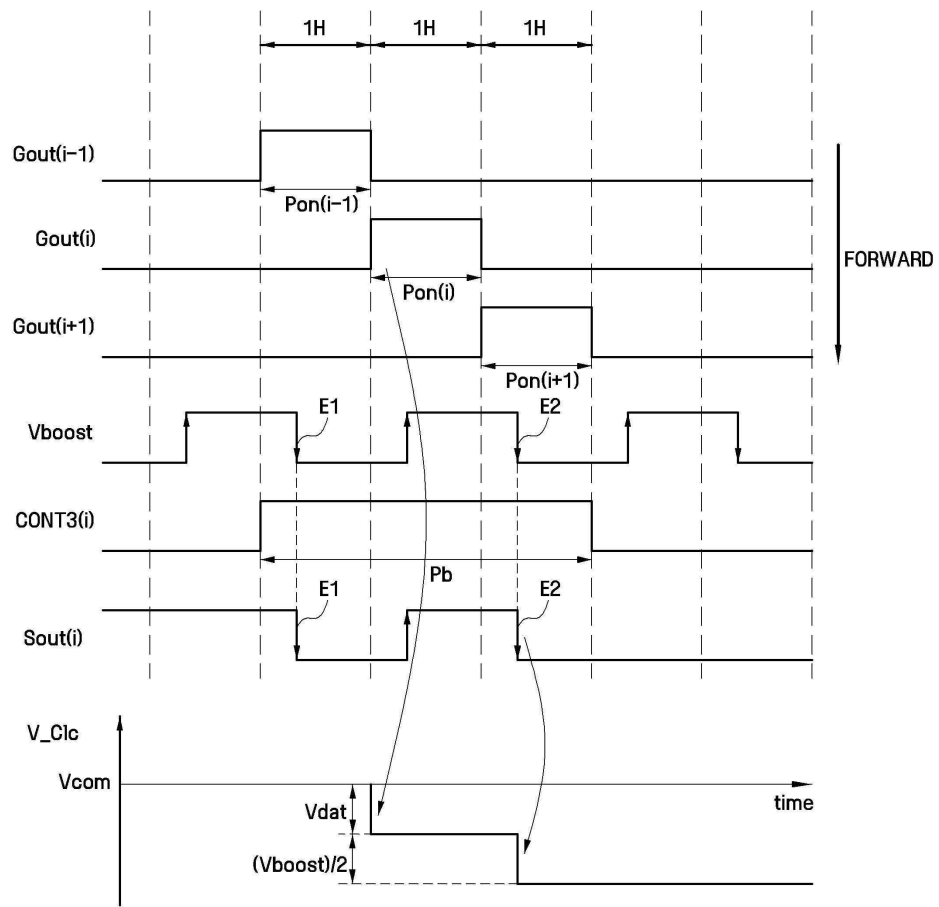
도면2



도면3

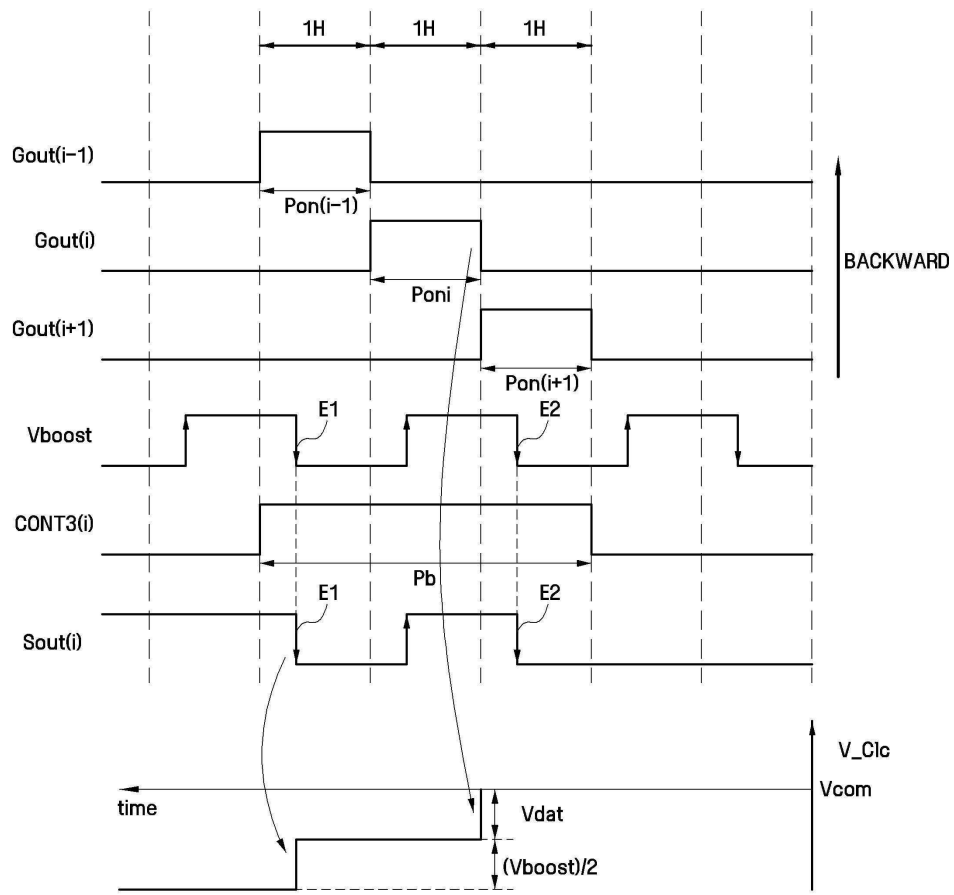


도면4a



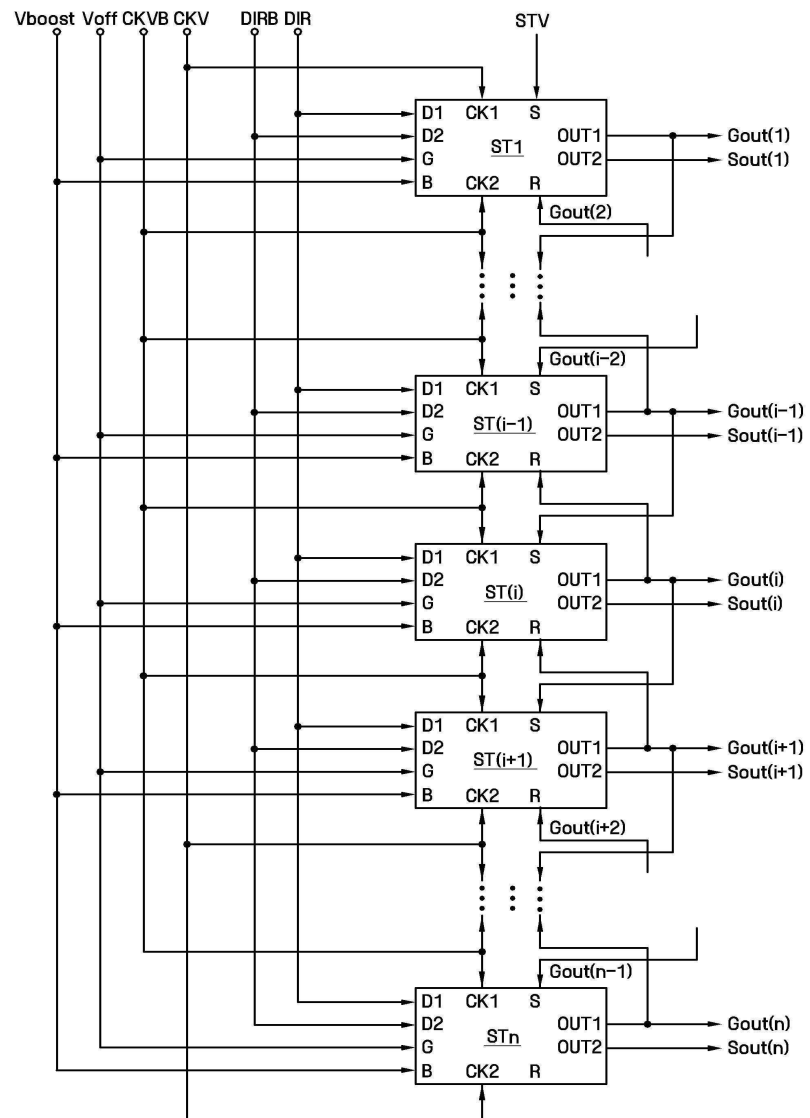
< 순방향 스캔 모드 >

도면4b

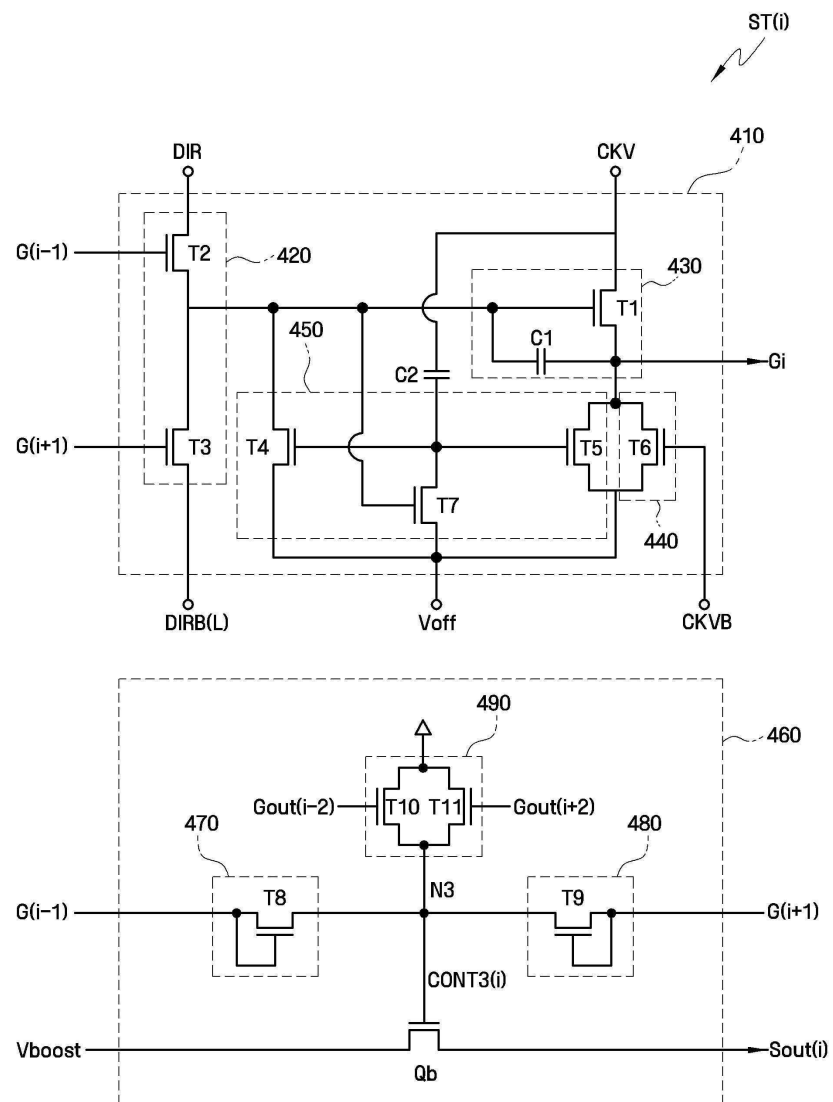


< 역방향 스캔 모드 >

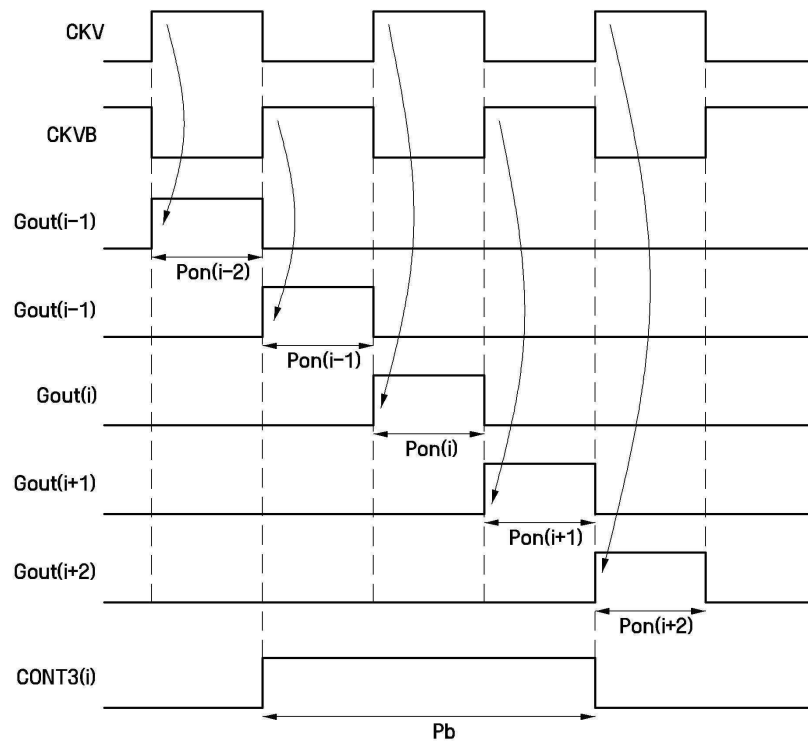
도면5



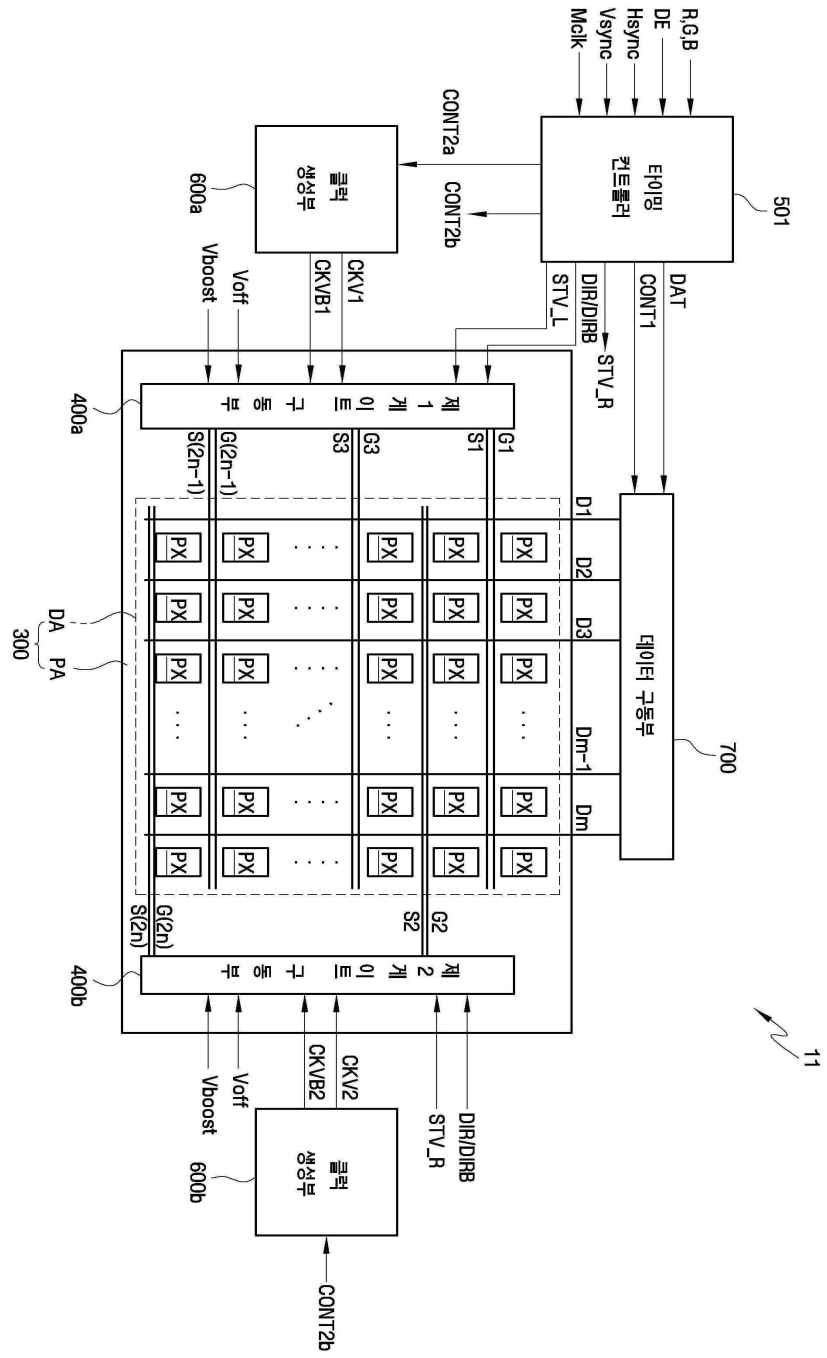
도면6



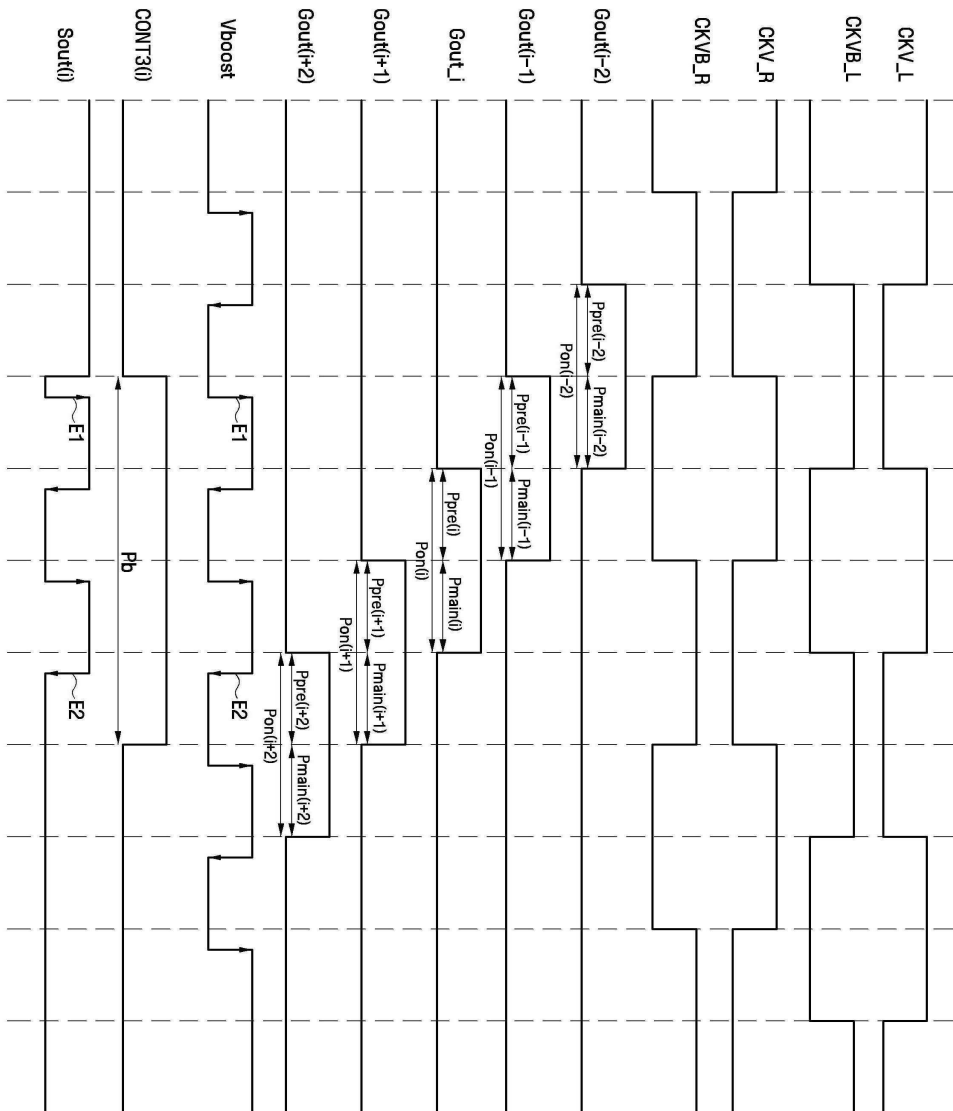
도면7



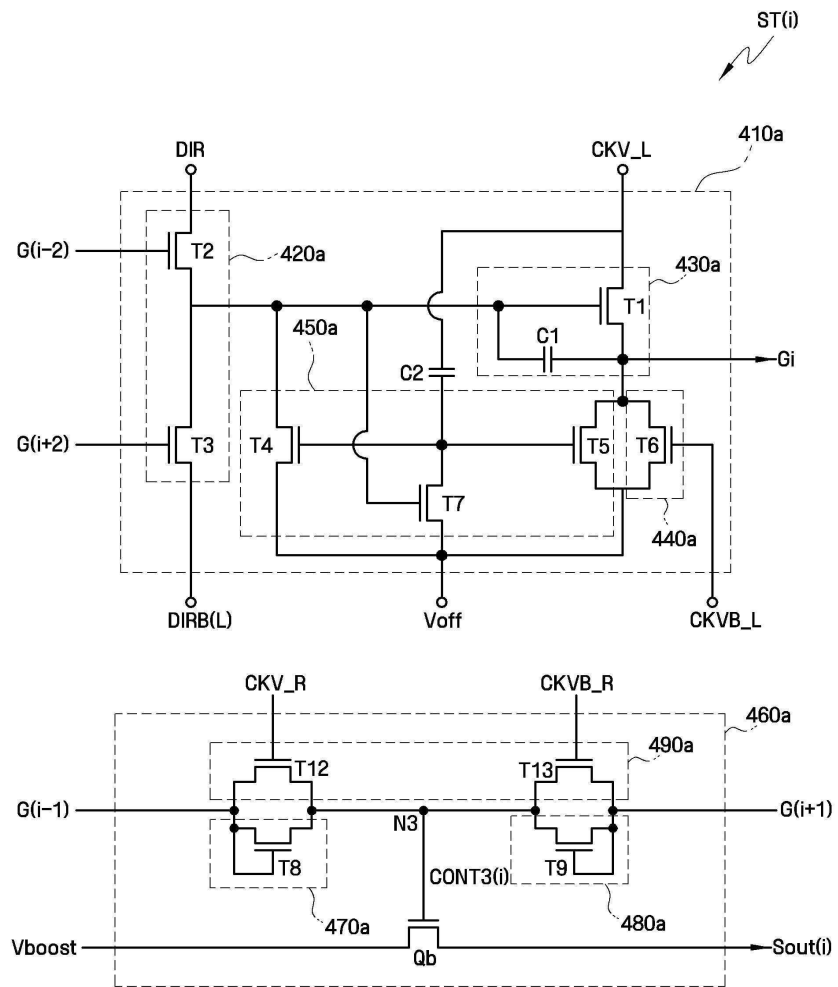
도면8



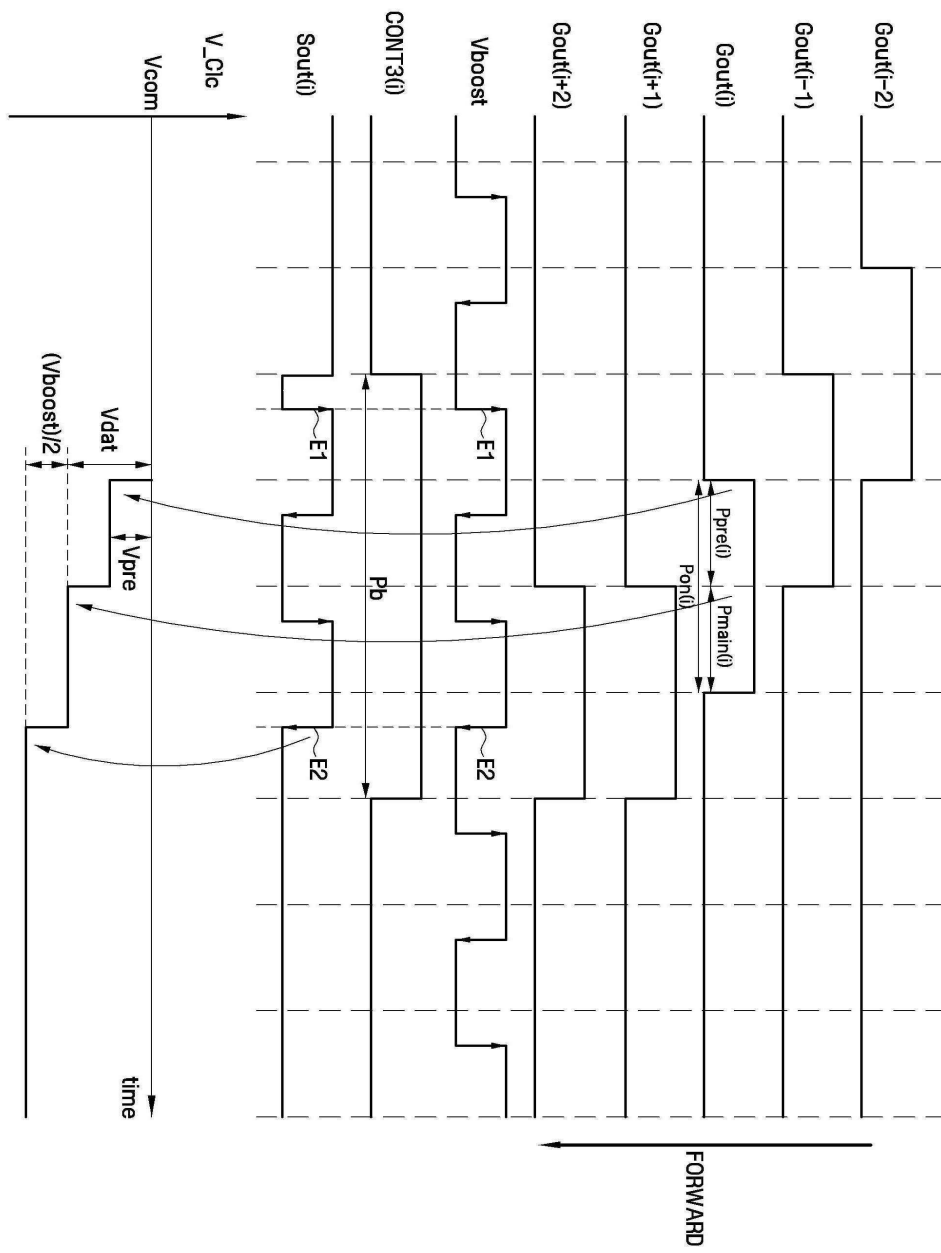
도면9



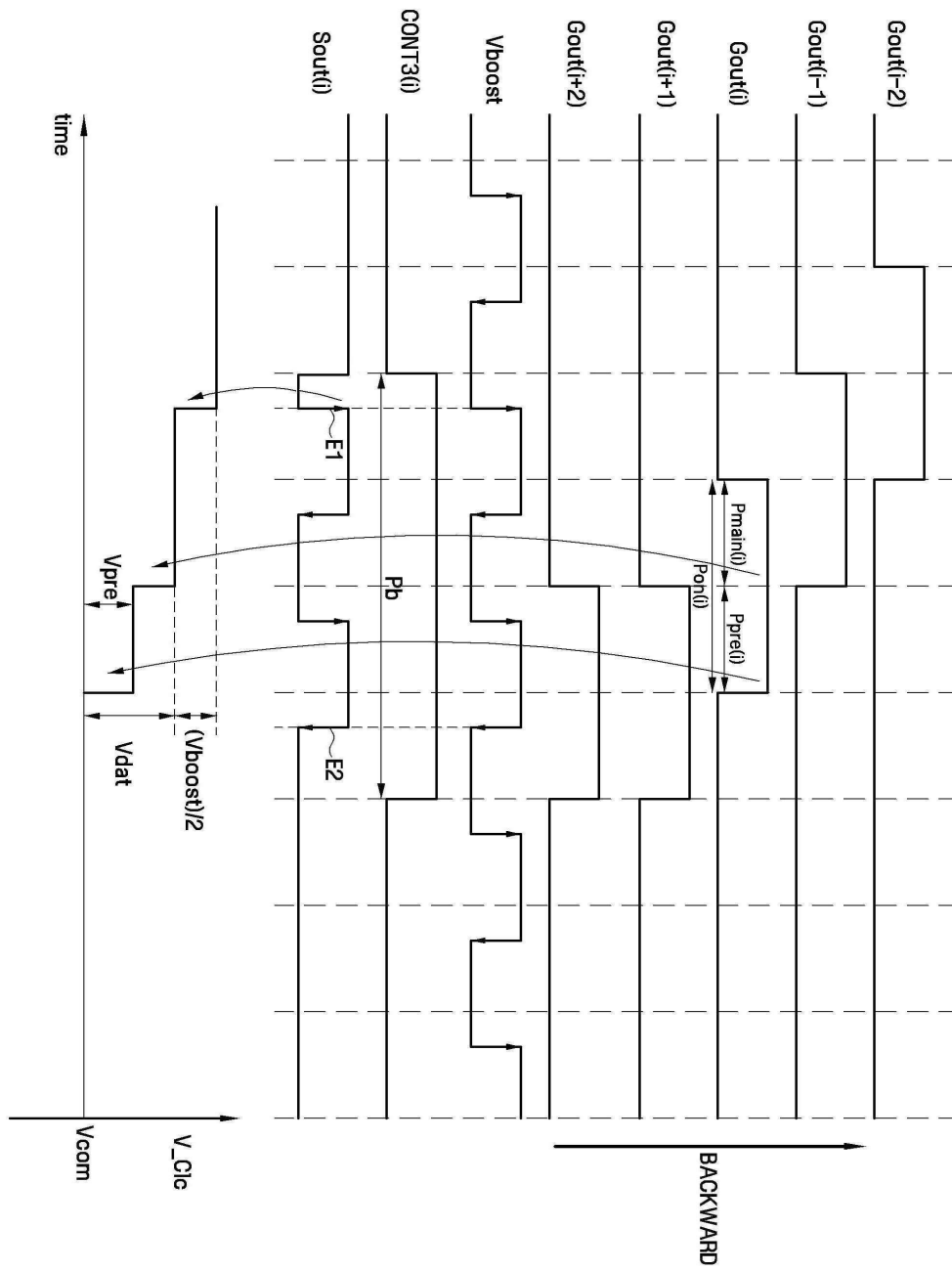
도면10



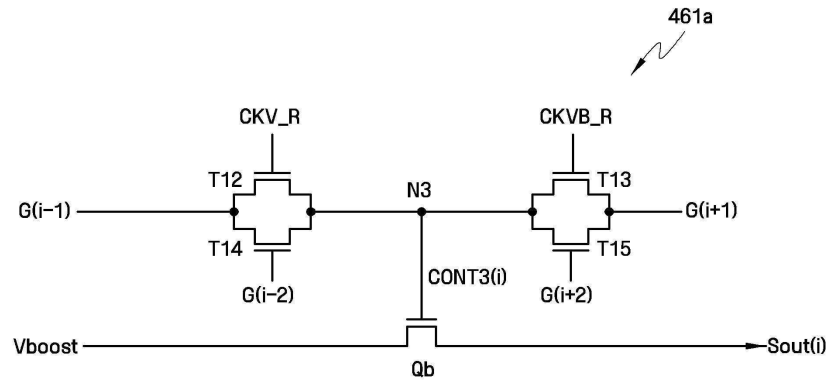
도면11a



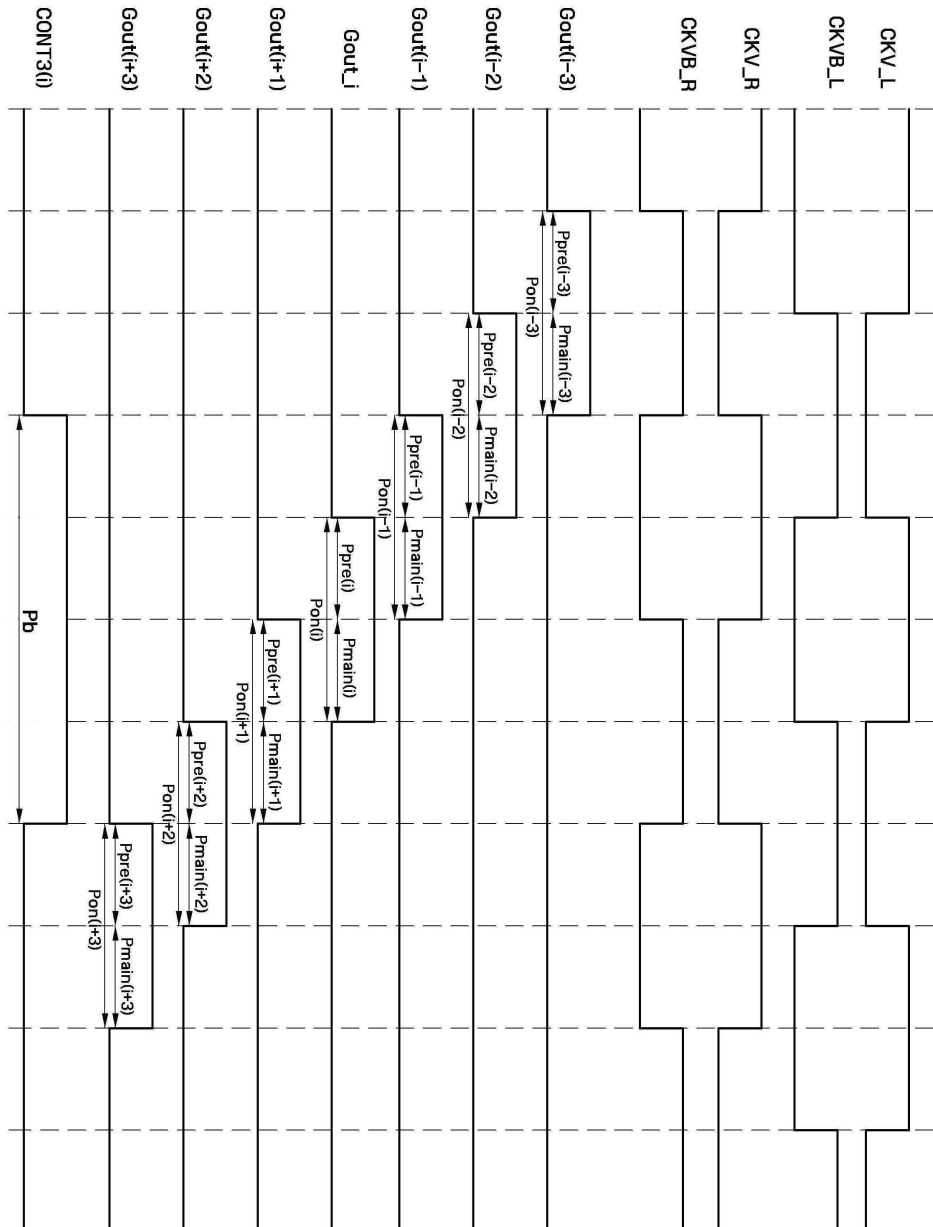
도면11b



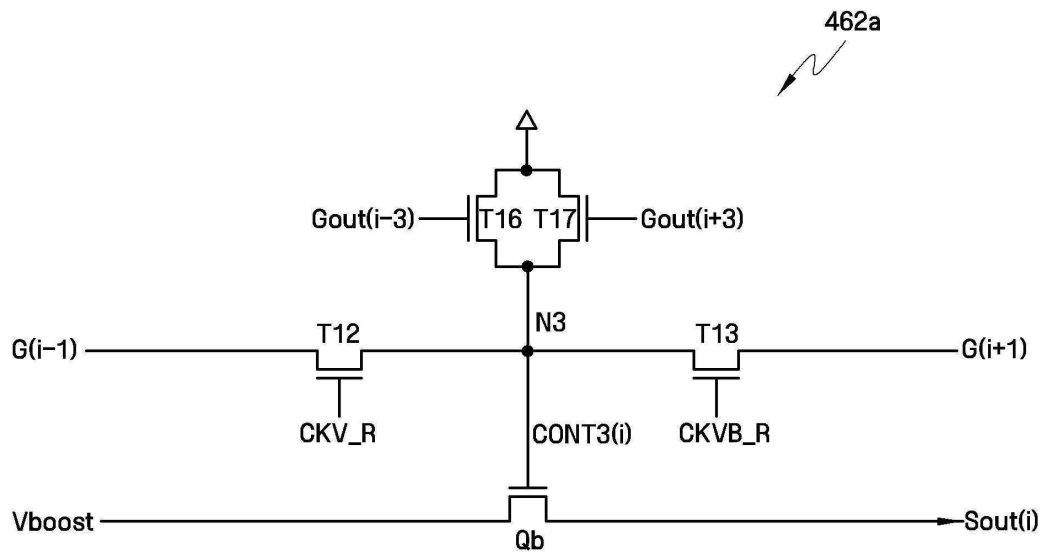
도면12



도면13



도면14



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020090032712A	公开(公告)日	2009-04-01
申请号	KR1020070098166	申请日	2007-09-28
[标]申请(专利权)人(译)	三星电子株式会社 三星显示有限公司		
申请(专利权)人(译)	SAMSUNG ELECTRONICS CO. , LTD. 三星DISPLAY CO. , LTD.		
当前申请(专利权)人(译)	SAMSUNG ELECTRONICS CO. , LTD. 三星DISPLAY CO. , LTD.		
[标]发明人	PAK SANG JIN		
发明人	PAK, SANG JIN		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3677 G09G2330/021 G09G3/3655 G09G2310/08 G09G2300/0876 G09G2310/0283		
其他公开文献	KR101599351B1		
外部链接	Espacenet		

摘要(译)

提供一种液晶显示装置及其驱动方法。液晶显示器包括在第一栅极信号的第一导通时段期间充电数据电压的液晶电容器，在其一端耦合到液晶电容器的存储电容器，以及在升压控制信号的升压电压输出时段期间耦合在存储电容器和存储电容器之间的升压电容器。具有第一边缘和第二边缘的升压电压，其中第一和第二边缘在升压电压输出部分内，并且第一导通部分在第一和第二边缘之间它的存在。

