



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0011896
(43) 공개일자 2008년02월11일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0072611

(22) 출원일자 2006년08월01일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

우두형

경기 안양시 동안구 호계동 대림아파트 119동 1504호

박기찬

경기 안양시 동안구 평안동 초원력키아파트 506동 1501호

(뒷면에 계속)

(74) 대리인

조희원

전체 청구항 수 : 총 13 항

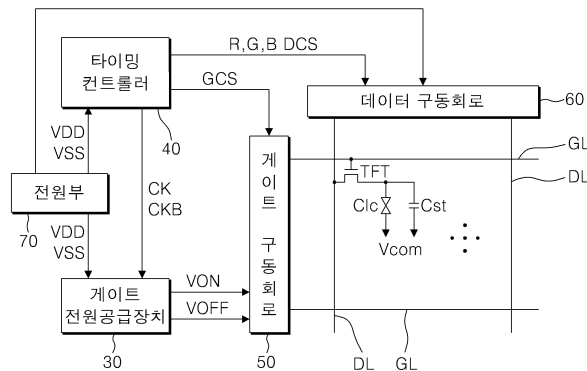
(54) 게이트 온 전압 발생회로와 게이트 오프 전압 발생회로 및이들을 갖는 액정표시장치

(57) 요약

본 발명은 액정패널에 폴리실리콘 박막 트랜지스터를 이용하여 적은 면적에 게이트 온 전압 발생회로 및 게이트 오프 전압 발생회로를 집적하여 고효율 및 고수율의 액정표시장치를 제공하는 데 있다.

이를 위하여, 본 발명은 N형 박막 트랜지스터와 P형 박막 트랜지스터를 조합하여 전원부에서 공급되는 제1 기준 전압과 타이밍 컨트롤러에서 공급되는 제1 제어신호를 통해 승압된 게이트 온 전압을 발생하는 게이트 온 전압 발생회로와, 전원부에서 공급되는 제2 기준전압과 타이밍 컨트롤러에서 공급되는 제1 제어신호를 통해 감압된 게이트 오프 전압을 발생하는 게이트 오프 전압 발생회로를 각각 구비하고, 이들이 액정패널상에 집적되어 형성된 액정표시장치를 제공한다.

대표도 - 도1



(72) 발명자

김치우

서울 서초구 서초4동 삼풍아파트 18동 105호

이상민

서울 서초구 반포동 구반포아파트 97동 509호

잔지평

경기도 용인시 기흥구 농서동 삼성전자(주) 기흥공장 남자기숙사상록수동 101

박성일

서울 관악구 봉천3동 7번지 신원빌라 1동 109호

특허청구의 범위

청구항 1

제1 제어신호 및 제1 기준전압을 충전하여 상기 제1 제어신호에 따라 제1 차징전압을 제1 출력단으로 공급하는 제1 커패시터와;

제2 제어신호 및 상기 제1 기준전압을 충전하여 제2 제어신호에 따라 제2 차징전압을 출력하는 제2 커패시터와;

상기 제1 커패시터와 상기 제1 출력단 사이에 형성되어 상기 제1 차징전압을 선택적으로 상기 제1 출력단으로 출력시키는 제1 스위칭소자와;

상기 제1 스위칭소자와 배타적으로 턴온 및 턴오프되며 상기 제2 차징전압에 의해 턴온되어 상기 제1 커패시터에 상기 제1 기준전압을 공급하는 제2 스위칭소자와;

상기 제2 차징전압에 의해 턴온되어 상기 제1 기준전압을 상기 제2 커패시터에 공급함과 아울러, 상기 제1 기준전압을 상기 제1 및 제2 스위칭소자에 공급하여 상기 제1 스위칭소자를 턴온시키고 이와 동시에 상기 제2 스위칭소자를 턴오프시키는 제3 스위칭소자를 구비하는 것을 특징으로 하는 게이트 온 전압 발생회로.

청구항 2

제 1 항에 있어서,

상기 제1 스위칭소자는 P형 박막 트랜지스터로 형성된 것을 특징으로 하는 게이트 온 전압 발생회로.

청구항 3

제 1 항에 있어서,

상기 제2 및 제 3 스위칭소자는 N형 박막 트랜지스터로 형성된 것을 특징으로 하는 게이트 온 전압 발생회로.

청구항 4

제 1 항에 있어서,

상기 제2 스위칭소자는 상기 제1 차징전압이 출력되는 동안 상기 제1 기준전압이 게이트에 입력되어 항상 턴오프되어 상기 제1 차징전압이 상기 제2 스위칭소자로 역공급되는 것이 방지된 것을 특징으로 하는 게이트 온 전압 발생회로.

청구항 5

제 1 항에 있어서,

상기 제1 차징전압은 상기 제1 기준전압이 승압되어 출력된 것을 특징으로 하는 게이트 온 전압 발생회로.

청구항 6

제1 제어신호 및 제2 기준전압을 충전하여 상기 제1 제어신호에 따라 제3 차징전압을 제2 출력단으로 공급하는 제3 커패시터와;

제2 제어신호 및 상기 제2 기준전압을 충전하여 제2 제어신호에 따라 제4 차징전압을 출력하는 제2 커패시터와;

상기 제3 커패시터와 상기 제2 출력단 사이에 형성되어 상기 제3 차징전압을 선택적으로 상기 제2 출력단으로 출력시키는 제4 스위칭소자와;

상기 제4 스위칭소자와 배타적으로 턴온 및 턴오프되며 상기 제4 차징전압에 의해 턴온되어 상기 제3 커패시터에 상기 제2 기준전압을 공급하는 제5 스위칭소자와;

상기 제4 차징전압에 의해 턴온되어 상기 제2 기준전압을 상기 제4 커패시터에 공급함과 아울러, 상기 제2 기준전압을 상기 제4 및 제5 스위칭소자에 공급하여 상기 제4 스위칭소자를 턴온시키고 이와 동시에 상기 제5 스위칭소자를 턴오프시키는 제6 스위칭소자를 구비하는 것을 특징으로 하는 게이트 오프 전압 발생회로.

청구항 7

제 6 항에 있어서,

상기 제4 스위칭소자는 N형 박막 트랜지스터로 형성된 것을 특징으로 하는 게이트 오프 전압 발생회로.

청구항 8

제 6 항에 있어서,

상기 제 5 및 제 6 스위칭소자는 P형 박막 트랜지스터로 형성된 것을 특징으로 하는 게이트 오프 전압 발생회로.

청구항 9

제 6 항에 있어서,

상기 제5 스위칭소자는 상기 제3 차징전압이 출력되는 동안 상기 제2 기준전압이 게이트에 입력되어 항상 턴오프되어 상기 제3 차징전압이 상기 제5 스위칭소자로 역공급되는 것이 방지된 것을 특징으로 하는 게이트 오프 전압 발생회로.

청구항 10

제 6 항에 있어서,

상기 제3 차징전압은 상기 제2 기준전압 이하로 감압되어 출력된 것을 특징으로 하는 게이트 오프 전압 발생회로.

청구항 11

화상을 표시하는 액정패널과;

상기 액정패널의 게이트 라인을 구동하며 상기 액정패널에 집적되어 형성된 게이트 구동회로와;

상기 액정패널의 데이터 라인을 구동하는 데이터 구동회로와;

상기 게이트 구동회로 및 데이터 구동회로에 제어신호를 공급하며, 상기 데이터 구동회로에 화상신호를 공급하는 타이밍 컨트롤러와;

상기 액정패널에 집적되어 형성되며 상기 제1 내지 제 5 항 중 선택된 어느 하나의 게이트 온 전압 발생회로를 구비하며,

상기 데이터 구동회로와, 상기 타이밍 컨트롤러 및 상기 게이트 온 전압 발생회로에 제1 및 제2 기준전압을 공급하는 전원부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 12

화상을 표시하는 액정패널과;

상기 액정패널의 게이트 라인을 구동하며 상기 액정패널에 집적되어 형성된 게이트 구동회로와;

상기 액정패널의 데이터 라인을 구동하는 데이터 구동회로와;

상기 게이트 구동회로 및 데이터 구동회로에 제어신호를 공급하며, 상기 데이터 구동회로에 화상신호를 공급하는 타이밍 컨트롤러와;

상기 액정패널에 집적되어 형성되며 상기 제6 내지 제 10 항 중 선택된 어느 하나의 게이트 오프 전압 발생회로를 구비하며,

상기 데이터 구동회로와, 상기 타이밍 컨트롤러 및 상기 게이트 오프 전압 발생회로에 제1 및 제2 기준전압을 공급하는 전원부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 13

화상을 표시하는 액정패널과;

상기 액정패널의 게이트 라인을 구동하며 상기 액정패널에 집적되어 형성된 게이트 구동회로와;

상기 액정패널의 데이터 라인을 구동하는 데이터 구동회로와;

상기 게이트 구동회로 및 데이터 구동회로에 제어신호를 공급하며, 상기 데이터 구동회로에 화상신호를 공급하는 타이밍 컨트롤러와;

상기 액정패널에 집적되어 형성되며 상기 제1 내지 제 5 항 중 선택된 어느하나의 게이트 온 전압 발생부 및 상기 제6 내지 제 10 항 중 선택된 어느 하나의 게이트 오프 전압 발생회로를 구비하며,

상기 데이터 구동회로와, 상기 타이밍 컨트롤러와 상기 게이트 온 전압 발생회로 및 상기 게이트 온 전압 발생회로에 제1 및 제2 기준전압을 공급하는 전원부를 포함하는 것을 특징으로 하는 액정표시장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <17> 본 발명은 게이트 온 전압 발생회로와 게이트 오프 전압 발생회로 및 이들을 갖는 액정표시장치에 관한 것으로, 특히 액정패널에 집적되어 형성된 게이트 온 전압 발생회로와 게이트 오프 전압 발생회로 및 이를 갖는 액정표시장치에 관한 것이다.
- <18> 일반적으로, 액정표시장치는 화소 매트릭스를 통해 화상을 표시하는 액정패널과, 액정패널을 구동하는 패널구동부를 구비한다. 그리고 액정표시장치는 액정패널이 비발광소자이므로 액정패널의 후면에서 광을 공급하는 백라이트 유닛을 구비한다. 액정패널은 비디오 신호에 따라 각각의 서브 화소의 액정 배열 상태가 가변하여 백라이트 유닛에서 공급된 광의 투과율을 조절함으로써 영상을 표시한다. 이러한 액정표시장치는 이동통신 단말기, 휴대용 컴퓨터, 액정 텔레비전과 같이 소형 표시 장치부터 대형 표시 장치까지 널리 사용된다.
- <19> 액정패널을 구동하는 패널구동부는 게이트 라인을 구동하는 게이트 구동부와 데이터 라인을 구동하는 데이터 구동부를 포함하고, 게이트 구동부 및 데이터 구동부에 제어신호를 공급하며 데이터 구동부에 비디오 신호를 공급하는 타이밍 컨트롤러와 게이트 구동부, 데이터 구동부에 전원을 공급하는 전원부를 포함한다.
- <20> 게이트 구동부는 액정패널의 게이트 라인에 게이트 온 전압 및 게이트 오프 전압을 순차적으로 공급한다. 그리고, 데이터 구동부는 타이밍 컨트롤러로부터 공급된 비디오 신호를 해당 서브 화소에 게이트 구동부로부터 게이트 온 신호가 공급될 때 해당 서브 화소에 공급하여 화상을 표시하도록 한다.
- <21> 전원부는 게이트 구동부에 게이트 온 전압 및 게이트 오프 전압을 생성하여 공급하며, 데이터 구동부에 아날로그 전압을 생성하여 공급한다. 이러한 전원부는 별도의 회로로 형성되어 인쇄회로기판 등의 회로기판에 실장된다.
- <22> 이때, 전원부는 고전압의 전원을 발생하여야 하므로 전원부에 형성되는 회로가 복잡해지고, 이를 형성하기 위한 공정의 난이도가 증가하여 전원부 단가가 상승하는 문제점이 발생된다.

발명이 이루고자 하는 기술적 과제

- <23> 따라서, 본 발명이 이루고자 하는 기술적 과제는 액정패널에 폴리실리콘 박막 트랜지스터를 이용하여 적은 면적에 게이트 온 전압 발생회로 및 게이트 오프 전압 발생회로를 집적하여 고효율 및 고수율의 액정표시장치를 제공하는 데 있다.

발명의 구성 및 작용

- <24> 상기의 목적을 달성하기 위하여, 본 발명은 제1 제어신호 및 제1 기준전압을 충전하여 상기 제1 제어신호에 따라 제1 차징전압을 제1 출력단으로 공급하는 제1 커패시터와, 제2 제어신호 및 상기 제1 기준전압을 충전하여 제2 제어신호에 따라 제2 차징전압을 출력하는 제2 커패시터와, 상기 제1 커패시터와 상기 제1 출력단 사이에

형성되어 상기 제1 차징전압을 선택적으로 상기 제1 출력단으로 출력시키는 제1 스위칭소자와, 상기 제1 스위칭소자와 배타적으로 턴온 및 턴오프되며 상기 제2 차징전압에 의해 턴온되어 상기 제1 커패시터에 상기 제1 기준전압을 공급하는 제2 스위칭소자와, 상기 제2 차징전압에 의해 턴온되어 상기 제1 기준전압을 상기 제2 커패시터에 공급함과 아울러, 상기 제1 기준전압을 상기 제1 및 제2 스위칭소자에 공급하여 상기 제1 스위칭소자를 턴온시키고 이와 동시에 상기 제2 스위칭소자를 턴오프시키는 제3 스위칭소자를 구비하는 것을 특징으로 하는 게이트 온 전압 발생회로를 제공한다.

<25> 여기서, 상기 제1 스위칭소자는 P형 박막 트랜지스터로 형성된다.

<26> 그리고 상기 제2 및 제3 스위칭소자는 N형 박막 트랜지스터로 형성된다.

<27> 또한, 상기 제2 스위칭소자는 상기 제1 차징전압이 출력되는 동안 상기 제1 기준전압이 게이트에 입력되어 항상 턴오프되어 상기 제1 차징전압이 상기 제2 스위칭소자로 역공급되는 것이 방지된 것을 특징으로 한다.

<28> 그리고 제1 차징전압은 상기 제1 기준전압이 증압되어 출력된다.

<29> 그리고 상기의 기술적 과제를 해결하기 위하여, 본 발명은 제1 제어신호 및 제2 기준전압을 충전하여 상기 제1 제어신호에 따라 제3 차징전압을 제2 출력단으로 공급하는 제3 커패시터와, 제2 제어신호 및 상기 제2 기준전압을 충전하여 제2 제어신호에 따라 제4 차징전압을 출력하는 제2 커패시터와, 상기 제3 커패시터와 상기 제2 출력단 사이에 형성되어 상기 제3 차징전압을 선택적으로 상기 제2 출력단으로 출력시키는 제4 스위칭소자와, 상기 제4 스위칭소자와 배타적으로 턴온 및 턴오프되며 상기 제4 차징전압에 의해 턴온되어 상기 제2 기준전압을 상기 제4 커패시터에 공급함과 아울러, 상기 제2 기준전압을 상기 제4 및 제5 스위칭소자에 공급하여 상기 제4 스위칭소자를 턴온시키고 이와 동시에 상기 제5 스위칭소자를 턴오프시키는 제6 스위칭소자를 구비하는 것을 특징으로 하는 게이트 오프 전압 발생회로를 제공한다.

<30> 여기서 상기 제4 스위칭소자는 N형 박막 트랜지스터로 형성된다.

<31> 그리고 상기 제5 및 제6 스위칭소자는 P형 박막 트랜지스터로 형성된다.

<32> 또한, 상기 제5 스위칭소자는 상기 제3 차징전압이 출력되는 동안 상기 제2 기준전압이 게이트에 입력되어 항상 턴오프되어 상기 제3 차징전압이 상기 제5 스위칭소자로 역공급되는 것이 방지된 것을 특징으로 한다.

<33> 그리고, 상기 제3 차징전압은 상기 제2 기준전압 이하로 감압되어 출력된다.

<34> 그리고 상기의 기술적 과제를 해결하기 위하여, 본 발명은 화상을 표시하는 액정패널과, 상기 액정패널의 게이트 라인을 구동하며 상기 액정패널에 집적되어 형성된 게이트 구동회로와, 상기 액정패널의 데이터 라인을 구동하는 데이터 구동회로와, 상기 게이트 구동회로 및 데이터 구동회로에 제어신호를 공급하며, 상기 데이터 구동회로에 화상신호를 공급하는 타이밍 컨트롤러와, 상기 액정패널에 집적되어 형성되며 상기 제1 내지 제5 항 중 선택된 어느 하나의 게이트 온 전압 발생회로를 구비하며, 상기 데이터 구동회로와, 상기 타이밍 컨트롤러 및 상기 게이트 온 전압 발생회로에 제1 및 제2 기준전압을 공급하는 전원부를 포함하는 것을 특징으로 하는 액정표시장치를 제공한다.

<35> 또한, 화상을 표시하는 액정패널과, 상기 액정패널의 게이트 라인을 구동하며 상기 액정패널에 집적되어 형성된 게이트 구동회로와, 상기 액정패널의 데이터 라인을 구동하는 데이터 구동회로와, 상기 게이트 구동회로 및 데이터 구동회로에 제어신호를 공급하며, 상기 데이터 구동회로에 화상신호를 공급하는 타이밍 컨트롤러와, 상기 액정패널에 집적되어 형성되며 상기 제6 내지 제10 항 중 선택된 어느 하나의 게이트 오프 전압 발생회로를 구비하며, 상기 데이터 구동회로와, 상기 타이밍 컨트롤러 및 상기 게이트 오프 전압 발생회로에 제1 및 제2 기준전압을 공급하는 전원부를 포함하는 것을 특징으로 하는 액정표시장치를 제공한다.

<36> 그리고, 본 발명은 화상을 표시하는 액정패널과, 상기 액정패널의 게이트 라인을 구동하며 상기 액정패널에 집적되어 형성된 게이트 구동회로와, 상기 액정패널의 데이터 라인을 구동하는 데이터 구동회로와, 상기 게이트 구동회로 및 데이터 구동회로에 제어신호를 공급하며, 상기 데이터 구동회로에 화상신호를 공급하는 타이밍 컨트롤러와, 상기 액정패널에 집적되어 형성되며 상기 제1 내지 제5 항 중 선택된 어느 하나의 게이트 온 전압 발생부 및 상기 제6 내지 제10 항 중 선택된 어느 하나의 게이트 오프 전압 발생회로를 구비하며, 상기 데이터 구동회로와, 상기 타이밍 컨트롤러와 상기 게이트 온 전압 발생회로 및 상기 게이트 오프 전압 발생회로에 제1 및 제2 기준전압을 공급하는 전원부를 포함하는 것을 특징으로 하는 액정표시장치를 제공한다.

- <37> 상기 기술적 과제 외에 본 발명의 다른 기술적 과제 및 특징들은 첨부한 도면을 참조한 실시 예에 대한 설명을 통하여 명백히 드러나게 될 것이다.
- <38> 이하, 도 1 내지 도 7을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명하기로 한다.
- <39> 도 1는 본 발명의 실시 예에 따른 액정표시장치를 개략적으로 도시한 블록도이다.
- <40> 도 1를 참조하면, 본 발명에 따른 액정표시장치는 화상을 표시하는 액정패널과, 액정패널의 게이트 라인(GL) 및 데이터 라인(DL)을 구동하는 게이트 구동회로(50) 및 데이터 구동회로(60)와, 액정패널에 집적되며 게이트 구동회로(50) 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF)을 생성하여 공급하는 게이트전원공급장치(30)와, 게이트 구동회로(50)와 데이터 구동회로(60) 각각에 제어신호를 공급하고, 데이터 구동회로(60)에 화소 데이터 신호를 공급하는 타이밍 컨트롤러(40) 및 게이트전원공급장치(30)와, 데이터 구동회로(60) 및 타이밍 컨트롤러(40)를 구동하는 구동신호들을 생성하여 생성된 구동신호를 공급하는 전원부(70)를 구비한다.
- <41> 구체적으로, 액정패널은 박막 트랜지스터 어레이가 형성된 박막 트랜지스터 기판과, 박막 트랜지스터 기판과 마주하며 컬러 필터 어레이가 형성된 컬러필터기판 및 박막 트랜지스터 기판과 컬러 필터 기판 사이에 개재된 액정을 구비한다.
- <42> 컬러 필터 기판은 기판 상에 빔샘 방지를 위한 블랙매트릭스와, 색구현을 위한 컬러 필터 어레이 및 액정에 공통전압을 인가하기 위한 공통전극을 포함한다.
- <43> 액정은 데이터 신호가 공급된 화소전극과 기준전압인 공통전압이 공급된 공통 전극 간의 전압차로 구동한다. 이에 따라, 유전 이방성을 갖는 액정이 그 전압차에 따라 회전하여 광원으로부터 입사된 광의 투과율을 가변시키게 된다.
- <44> 박막 트랜지스터 기판은 게이트 라인(GL) 및 데이터 라인(DL)과, 게이트 라인(GL) 및 데이터 라인(DL)이 교차하여 정의하는 화소영역과, 각각의 화소영역에 게이트 라인(GL)과 데이터 라인(DL)에 접속된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)에 접속된 화소전극을 포함한다.
- <45> 게이트 구동회로(50)는 게이트 라인(GL)에 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF)을 순차적으로 공급한다. 이러한 게이트 구동회로(50)는 박막 트랜지스터 기판상에 집적되어 형성된다. 즉, 게이트 구동회로(50)는 폴리실리콘 박막 트랜지스터(TFT)를 이용하여 박막 트랜지스터 기판의 표시영역에 형성된 박막 트랜지스터(TFT)와 동일한 공정으로 다수의 박막 트랜지스터가 직병렬로 접속된 쉬프트 레지스터의 형태로 집적되어 형성된다. 이러한 게이트 구동회로(50)는 타이밍 컨트롤러(40)에서 공급되는 게이트 제어신호(GCS)에 응답하여 게이트전원공급장치(30)에서 공급되는 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF)을 게이트 라인들(GL)에 순차적으로 공급한다.
- <46> 데이터 구동회로(60)는 타이밍 컨트롤러(40)로부터의 제어 신호에 응답하여 디지털 데이터를 아날로그 데이터 신호로 변환하여 액정패널의 게이트 라인(GL)에 게이트 온 전압(VON)이 공급될 때마다 데이터 라인(DL)으로 공급한다. 데이터 구동회로(60)는 쉬프트 레지스터, 래치부, 디지털-아날로그 변환부, 출력 버퍼부를 포함한다. 쉬프트 레지스터는 타이밍 컨트롤러(40)로부터의 데이터 스타트 펄스(D_STV)를 데이터 쉬프트 클럭(D_CPV)에 따라 순차적으로 쉬프트시키면서 샘플링 제어 신호를 발생한다. 래치부는 샘플링 제어 신호에 응답하여 타이밍 컨트롤러(40)로부터 입력되는 데이터를 순차적으로 래치하여 한 수평 라인분의 데이터가 래치되면 디지털-아날로그 변환부로 동시에 출력한다. 디지털-아날로그 변환부는 다수의 감마 전압 중 래치부로부터의 데이터에 해당되는 감마 전압을 선택하여 아날로그 데이터 신호로 출력하고, 출력 버퍼부는 디지털-아날로그 변환부로부터의 데이터 신호를 완충하여 데이터 라인(DL)으로 공급한다. 이러한 데이터 구동회로(60)는 별도의 칩으로 형성되어 필름에 실장된 형태로 박막 트랜지스터에 접속되거나, 박막 트랜지스터 기판상에 직접 실장되기도 한다.
- <47> 타이밍 컨트롤러(40)는 외부로부터 입력된 R, G, B의 화소 데이터 신호를 정렬하여 데이터 구동회로(60)로 공급한다. 그리고 타이밍 컨트롤러(40)는 외부로부터 화상 데이터 신호와 함께 입력된 다수의 동기 신호들, 예를 들면 도트 클럭(DCLK), 데이터 이네이블 신호(DE), 수직 동기 신호(VSYNC), 수평 동기 신호(HSYNC) 등을 이용하여 게이트 구동회로(50)와 데이터 구동회로(60)의 구동 타이밍을 제어하는 다수의 제어 신호들을 생성하여 공급한다. 예를 들면, 타이밍 컨트롤러(40)는 게이트 구동회로(50)에 공급되는 게이트 스타트 펄스(STV), 게이트 쉬프트 클럭(CPV), 출력제어신호(OE) 등을 포함하는 제어신호들을 생성하여 게이트 구동회로(50)로 공급한다. 또한, 타이밍 컨트롤러(40)는 데이터 스타트 펄스(D_STV), 데이터 쉬프트 클럭(D_CPV), 극성 제어 신호(POL) 등을 포함하는 데이터 제어 신호들을 생성하여 데이터 구동회로(60)로 공급한다. 또한, 타이밍 컨트롤러(40)는

게이트 구동회로(50)에 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF)을 발생하여 공급하는 게이트전원공급장치(30)에 클럭신호(CK) 및 반전클럭신호(CKB)를 생성하여 공급한다. 여기서 클럭신호(CK) 및 반전클럭신호(CKB)는 전원부(70)에서 공급되는 제1 및 제2 기준전압(VDD, VSS)이 교번적으로 출력된다.

- <48> 전원부(70)는 게이트전원공급장치(30)에 제1 및 제2 기준전압(VDD, VSS)를 공급하며 데이터 구동회로(60)에 아날로그 전압(AVDD)을 공급한다. 또한, 전원부(70)는 타이밍 컨트롤러(40)를 구동시키는 기준전압들을 생성하여 공급한다. 이때, 전원부(70)는 5V의 직류전압과 0V의 직류전압 각각을 생성하여 게이트전원공급장치(30)에 제1 및 제2 기준전압(VDD, VSS)으로 공급한다. 예를 들어, 제1 기준전압(VDD)은 5V 이외의 전압을 생성하며, 제2 기준전압(VSS)은 0V 전압을 생성하여 타이밍 컨트롤러(40) 및 게이트전원공급장치(30)로 공급한다.
- <49> 게이트전원공급장치(30)는 입력된 제1 및 제2 기준전압(VDD, VSS)를 이용하여 게이트 라인(GL)에 공급되는 게이트 온 전압(VON)과 게이트 오프 전압(VOFF) 각각을 발생시키는 게이트 온 전압 발생회로(10)와 게이트 오프 전압 발생회로(20)를 구비한다. 게이트전원공급장치(30)는 박막 트랜지스터 기판의 비표시영역에 게이트 구동회로(50)와 함께 집적되어 형성된다.
- <50> 도 2는 게이트 온 전압 발생회로를 도시한 회로도이고, 도 3은 도 2에 도시된 게이트 온 전압 발생회로의 노드 A 및 B에서의 출력파형을 도시한 파형도이다.
- <51> 도 2 및 도 3를 참조하면, 제1 제어신호(CKB) 및 제1 기준전압(VDD)을 충전하여 제1 제어신호(CKB)에 따라 제1 차징전압(2VDD)을 제1 출력단(VOUT1)으로 공급하는 제1 커패시터(C1)와, 제2 제어신호(CK) 및 제1 기준전압(VDD)을 충전하여 제2 제어신호(CK)에 따라 제2 차징전압(2VDD)을 출력하는 제2 커패시터(C2)와, 제1 커패시터(C1)와 제1 출력단(VOUT1) 사이에 형성되어 제1 기준전압(VDD) 및 제2 차징전압(2VDD)에 따라 제1 차징전압(2VDD)을 선택적으로 제1 출력단(VOUT1)으로 출력시키는 제1 스위칭소자(TR1)와, 제1 스위칭소자(TR1)와 배타적으로 턴온 및 턴오프되며 제2 차징전압(2VDD)에 의해 턴온되어 제1 커패시터(C1)에 제1 기준전압(VDD)을 공급하는 제2 스위칭소자(TR2)와, 제2 차징전압(2VDD)에 의해 턴온되어 제1 기준전압(VDD)을 제2 커패시터(C2)에 공급함과 아울러, 제1 기준전압(VDD)을 제1 및 제2 스위칭소자(TR1, TR2)에 공급하여 제1 스위칭소자(TR1)를 턴온시키고 이와 동시에 제2 스위칭소자(TR2)를 턴오프시키는 제3 스위칭소자(TR3)를 구비한다. 여기서, 제1 내지 제3 스위칭소자(TR1 내지 TR3)는 박막 트랜지스터로 형성된다.
- <52> 구체적으로, 제1 커패시터(C1)는 타이밍 컨트롤러(40)로부터 공급된 제1 제어신호(CKB) 즉, 반전클럭신호(CKB) 및 전원부(70)로부터 공급된 제1 기준전압(VDD)을 충전하며, 충전된 반전클럭신호(CKB)의 하이레벨 전압(VDD)과 제1 기준전압(VDD)가 합산된 전압 즉, 제1 차징전압(2VDD)을 방전시켜 제1 트랜지스터(TR1)의 소스 단자로 공급한다. 제1 차징전압(2VDD)은 제1 기준전압(VDD)이 반전클럭신호(CKB)의 하이레벨 전압(VDD)과 더해져 2배의 제1 기준전압(VDD)을 갖는다. 이러한 제1 커패시터(C1)의 일단은 타이밍 컨트롤러(40)의 일단과 연결되며 타단은 제1 트랜지스터(TR1)의 소스 단자와, 제2 트랜지스터(TR2)의 게이트 단자 및 제3 트랜지스터(TR3)의 드레인 단자와 공통으로 연결된다.
- <53> 제2 커패시터(C2)는 타이밍 컨트롤러(40)로부터 공급된 클럭신호(CK) 및 전원부(70)로부터 공급된 제1 기준전압(VDD)에 의해 충전되어 클럭신호(CK)의 하이레벨 전압과 제1 기준전압(VDD)가 합산된 전압 즉, 제2 차징전압(2VDD)을 공급한다. 제2 차징전압(2VDD)은 제1 차징전압(2VDD)과 마찬가지로 2배의 제1 기준전압(VDD)을 갖는다. 이러한 제2 커패시터(C2)의 일단은 타이밍 컨트롤러(40)의 일단과 연결되며, 타단은 제1 트랜지스터(TR1)의 게이트 단자와, 제2 트랜지스터(TR2)의 게이트 단자 및 제3 트랜지스터(TR3)의 드레인 단자와 공통으로 접속된다.
- <54> 제1 트랜지스터(TR1)는 제1 커패시터(C1)에서 출력되는 제1 차징전압(2VDD) 즉, 게이트 온 전압(VON)의 출력 타이밍을 제어한다. 이를 위해, 제1 트랜지스터(TR1)는 제2 트랜지스터(TR2)와 공통으로 접속된 게이트 단자를 구비하고 소스 단자는 제1 커패시터(C1)와 접속되며 드레인 단자는 제1 출력단(VOUT1)과 연결된다. 여기서, 제1 트랜지스터(TR1)는 P형 불순물이 도핑된 P형 박막 트랜지스터로 형성된다.
- <55> 제2 트랜지스터(TR2)는 제2 커패시터(C2)에서 공급되는 제2 차징전압(2VDD)에 따라 턴온되어 제1 기준전압(VDD)을 제1 커패시터(C1)에 공급한다. 그리고, 제2 트랜지스터(TR2)는 제3 트랜지스터(TR3)가 턴온되어 공급되는 제1 기준전압(VDD)에 따라 턴오프되어 제1 트랜지스터(TR1)에서 제1 차징전압(2VDD)을 제1 출력단(VOUT1)으로 공급할 때, 제1 차징전압(2VDD)이 제1 기준전압(VDD)을 공급하는 전원부(70)로의 역공급되는 것을 방지한다. 이를 위해, 제2 트랜지스터(TR2)의 게이트 단자는 제2 커패시터(C2)의 일측 및 제3 트랜지스터(TR3)의

드레인 단자와 연결된다. 그리고 제2 트랜지스터(TR2)의 소스 단자는 제1 기준전압(VDD)을 공급하는 전원부(70)와 접속되며, 드레인 단자는 제1 커패시터(C1)의 일측에 연결된다. 이러한 제2 트랜지스터(TR2)는 N형 불순물이 도핑된 N형 박막 트랜지스터로 형성된다.

<56> 제3 트랜지스터(TR3)는 제1 차징전압(2VDD)에 응답하여 턴온되며, 제3 트랜지스터(TR3)가 턴온되어 제1 기준전압(VDD)을 제1 및 제2 트랜지스터(TR2)에 동시에 공급한다. 따라서, 제1 트랜지스터(TR1)는 턴온되어 제1 차징전압(2VDD)을 제1 출력단(VOUT1)으로 공급하도록 하며, 제2 트랜지스터(TR2)를 턴오프 시킨다. 이를 위해, 제3 트랜지스터(TR3)의 게이트 단자는 제1 커패시터(C1)의 일측단과 접속된다. 그리고 제3 트랜지스터(TR3)의 소스 단자는 제1 기준전압(VDD)을 공급하는 전원부(70)와 접속되며, 드레인 단자는 제1 및 제2 트랜지스터(TR2)의 게이트 단자와 공통으로 접속된다. 여기서, 제1 차징전압(2VDD)을 통해 제3 트랜지스터(TR3)를 턴온시키기 위해 제3 트랜지스터(TR3)는 제2 트랜지스터(TR2)와 동일한 N형 박막 트랜지스터로 형성된다. 제3 트랜지스터(TR3)를 통해 공급되는 제1 기준전압(VDD)을 이용하여 제2 트랜지스터(TR2)의 턴온 전압 즉, 제2 트랜지스터(TR2)의 오프셋 값을 제1 기준전압(VDD)으로 일정하게 유지할 수 있다. 따라서, 제3 트랜지스터(TR3)에서 공급되는 제1 기준전압(VDD)을 통해 제2 트랜지스터(TR2)의 오프셋이 일정하게 유지되어 제1 차징전압(2VDD)이 제1 출력단(VOUT1)으로 공급될 때 제2 트랜지스터(TR2)가 불필요하게 턴온되어 제1 차징전압(2VDD)이 역공급되는 것이 방지된다.

<57> 이러한 구성요소를 갖는 게이트 온 전압 발생회로(10)의 동작을 도 3을 참조하여 설명하면, T1 시간 동안 노드 A에 제1 커패시터(C1)에서 충전된 제1 차징전압(2VDD)이 공급되면 노드 A와 연결된 제3 트랜지스터(TR3)를 턴온시킨다. 제3 트랜지스터(TR3)가 턴온되면서 제3 트랜지스터(TR3)의 소스 단자에 연결된 제1 기준전압(VDD)이 제1 및 제2 트랜지스터(TR2)의 게이트 단자에 공급된다. 여기서, 제1 트랜지스터(TR1)는 제1 기준전압(VDD)이 공급되어 턴온되며 이와 동시에 제2 트랜지스터(TR2)를 턴오프시킨다. 이에 따라, 노드 A에 공급된 제1 차징전압(2VDD)은 제1 트랜지스터(TR1)를 통해 제1 출력단(VOUT1)으로 공급된다. 이때, 제2 커패시터(C2)는 제1 기준전압(VDD)에 의해 충전된다.

<58> 한편, T2 시간 동안 노드 B에 제2 차징전압(2VDD)이 공급되면, 제2 트랜지스터(TR2)가 턴온되며 이와 동시에 제1 트랜지스터(TR1)는 턴오프 된다. 이에 따라, 제1 기준전압(VDD)은 제2 트랜지스터(TR2)를 통해 제1 커패시터(C1)에 공급되며 충전된다. 이때, 제1 및 제3 트랜지스터(TR3)는 턴오프된다.

<59> 도 5는 본 발명의 실시 예에 따른 게이트전원공급장치에 형성된 게이트 온 전압 발생회로에 형성된 박막 트랜지스터들의 테스트 출력전류 값에 따른 각각의 출력전압 시뮬레이션한 값을 도시한 파형도이다.

<60> 도 2에 도시된 제1 내지 제3 트랜지스터(TR1 내지 TR3)들은 동시에 집적되기 때문에 N형 및 P형 박막 트랜지스터 각각의 스위칭 타이밍 및 이에 따른 출력전압을 각각 측정해야 한다. 즉, N형 박막 트랜지스터와 P형 박막 트랜지스터의 턴온/턴오프 타이밍에 따른 출력전압을 측정하여 각각의 트랜지스터의 출력특성을 테스트한다.

<61> 도 4에 도시된 바와 같이, 본 발명의 실시 예에 따른 게이트전원공급장치는 각각의 N형 및 P형 트랜지스터의 동작속도에 따라 출력단에서 출력되는 전압을 측정한다. 즉, N형 박막 트랜지스터의 턴온 전류(Ion(N))와 P형 박막 트랜지스터의 턴온 전류(Ion(P)) 모두 큰 경우의 출력전압을 SS라 하고, N형 박막 트랜지스터의 턴온 전류는 크고, P형 박막 트랜지스터의 턴온 전류는 작은 경우의 출력전압을 FS라 하고, N형 박막 트랜지스터의 턴온 전류는 작고, P형 박막 트랜지스터의 턴온 전류는 큰 경우의 출력전압을 SF라 하고, N형 및 P형 박막 트랜지스터의 턴온 전류가 모두 중간일 경우 출력전압을 TT라 하고, N형 및 P형 박막 트랜지스터의 턴온 전류가 모두 작은 경우 출력전압을 SS라 하며, 각각의 턴온 전류에 따른 출력전압은 도 5에 도시된 그래프와 같이 출력된다.

<62> 예를 들어, 제1 기준전압은(VDD) 5.3V로 공급되며, 이때의 주파수는 12kHz일 때 코너테스트에 의한 출력전압은 FS 일때 최저 전압레벨인 9.43V이고 SF일 때 최고 전압레벨인 9.51V가 출력된다. 따라서, 전압레벨의 편차는 약 0.08V이다. 도 5에 도시된 바와 같이, 본 발명의 실시 예에 따른 전압공급장치는 출력특성은 전압레벨의 편차가 0.08V이므로 매우 안정적인 것을 알 수 있다. 따라서, N형 및 P형 박막 트랜지스터를 동시에 집적하여 안정적인 출력전압을 공급할 수 있음을 알 수 있다.

<63> 도 6은 게이트 오프 전압 발생회로를 도시한 회로도이고, 도 7은 도 6에 도시된 게이트 오프 전압 발생회로의 노드 C 및 D에서의 출력파형을 도시한 파형도이다.

<64> 도 6 및 도 7을 참조하면, 본 발명의 실시 예에 따른 게이트 오프 전압 발생회로(20)는 제1 제어신호(CKB) 및 제2 기준전압(VSS)을 충전하여 제1 제어신호(CKB)에 따라 제3 차징전압(-VDD)을 제2 출력단(VOUT2)으로 공급하는 제3 커패시터(C3)와, 제2 제어신호(CK) 및 제2 기준전압(VSS)을 충전하여 제2 제어신호(CK)에 따라 제4 차징

전압(-VDD)을 출력하는 제2 커패시터(C2)와, 제3 커패시터(C3)와 제2 출력단(VOUT2) 사이에 형성되어 제3 차징 전압(-VDD)을 선택적으로 제2 출력단(VOUT2)으로 출력시키는 제4 스위칭소자(TR4)와, 제4 스위칭소자(TR4)와 배타적으로 턴온 및 턴오프되며 제4 차징전압(-VDD)에 의해 턴 온 되어 상기 제3 커패시터(C3)에 상기 제2 기준 전압(VSS)을 공급하는 제5 스위칭소자(TR5)와, 제4 차징전압(-VDD)에 의해 턴온되어 제2 기준전압(VSS)을 제4 커패시터(C4)에 공급함과 아울러, 제2 기준전압(VSS)을 제4 및 제5 스위칭소자(TR5)에 공급하여 제4 스위칭소자(TR4)를 턴온시키고 이와 동시에 제5 스위칭소자(TR5)를 턴오프 시키는 제6 스위칭소자(TR6)를 구비한다.

<65> 여기서, 제4 내지 제6 스위칭소자(TR6)는 폴리실리콘 박막 트랜지스터로 액정패널의 박막 트랜지스터 기판상에 집적되어 형성된다.

<66> 구체적으로, 제3 커패시터(C3)는 타이밍 컨트롤러(40)로부터 공급된 제1 제어신호(CKB) 즉, 반전클럭신호(CKB) 및 전원부(70)로부터 공급된 제2 기준전압(VSS)을 충전하며, 충전된 반전클럭신호(CKB)의 하이레벨 전압(VDD)의 역전위 전압 즉, 제3 차징전압(-VDD)의 방전시켜 제4 트랜지스터(TR4)의 소스 단자로 공급한다. 이러한 제3 커패시터(C3)의 일단은 타이밍 컨트롤러(40)의 일단과 연결되며 타단은 제5 트랜지스터(TR5)의 소스 단자와, 제5 트랜지스터(TR5)의 드레인 단자 및 제6 트랜지스터(TR6)의 게이트 단자와 공통으로 접속된다.

<67> 제4 커패시터(C4)는 타이밍 컨트롤러(40)로부터 공급된 제2 제어신호(CK) 및 전원부(70)로부터 공급된 제2 기준 전압(VSS)에 의해 충전되어 제2 제어신호(CK)의 하이레벨 전압의 역전위 전압 즉, 제2 차징전압(2VDD)을 공급한다. 이러한 제4 커패시터(C4)의 일단은 타이밍 컨트롤러(40)의 일단과 연결되며, 타단은 제4 및 제5 트랜지스터(TR4, TR5)의 게이트 단자와 제6 트랜지스터(TR6)의 드레인 단자와 공통으로 접속된다.

<68> 제4 트랜지스터(TR4)는 제3 커패시터(C3)에서 출력되는 제3 차징전압(-VDD) 즉, 게이트 오프 전압(VOFF)의 출력 타이밍을 제어한다. 이를 위해, 제4 트랜지스터(TR4)는 제5 트랜지스터(TR5)와 공통으로 접속된 게이트 단자를 구비하고 소스 단자는 제3 커패시터(C3)와 접속되며 드레인 단자는 제2 출력단(VOUT2)과 연결된다. 여기서, 제4 트랜지스터(TR4)는 제5 트랜지스터(TR5)와 반대로 N형 불순물이 도핑된 N형 박막 트랜지스터로 형성된다.

<69> 제5 트랜지스터(TR5)는 제4 커패시터(C4)에서 공급되는 제4 차징전압(-VDD)에 따라 턴 온되어 제2 기준전압(VSS)을 제3 커패시터(C3)에 공급한다. 그리고, 제5 트랜지스터(TR5)는 제6 트랜지스터(TR6)가 턴온되어 공급되는 제2 기준전압(VSS)에 따라 턴오프 되어 제4 트랜지스터(TR4)에서 제3 차징전압(-VDD)을 제2 출력단(VOUT2)으로 공급할 때, 제3 차징전압(-VDD)이 제2 기준전압(VSS)을 공급하는 전원부(70)로의 역공급되는 것을 방지한다. 이를 위해, 제5 트랜지스터(TR5)의 게이트 단자는 제4 커패시터(C4)의 일측 및 제6 트랜지스터(TR6)의 드레인 단자와 연결된다. 그리고 제5 트랜지스터(TR5)의 소스 단자는 전원부(70)와 접속되며, 드레인 단자는 제3 커패시터(C3)의 일측에 접속된다. 이러한 제5 트랜지스터(TR5)는 제4 트랜지스터(TR4)와 반대로 P형 불순물이 도핑된 P형 박막 트랜지스터로 형성된다.

<70> 제6 트랜지스터(TR6)는 제3 차징전압(-VDD)에 응답하여 턴온되며, 제6 트랜지스터(TR6)가 턴온되어 제2 기준전압(VSS)을 제4 및 제5 트랜지스터(TR4, TR5)에 동시에 공급한다. 따라서, 제4 트랜지스터(TR4)는 턴온되어 제3 차징전압(-VDD)을 제2 출력단(VOUT2)으로 공급하도록 하며, 제5 트랜지스터(TR5)를 턴오프 시킨다. 이를 위해, 제6 트랜지스터(TR6)의 게이트 단자는 제3 커패시터(C3)의 일측단과 접속된다. 그리고 제6 트랜지스터(TR6)의 소스 단자는 제2 기준전압(VSS)을 공급하는 전원부(70)와 접속되며, 드레인 단자는 제4 및 제5 트랜지스터(TR4, TR5)의 게이트 단자와 공통으로 접속된다. 여기서, 제3 차징전압(-VDD)을 통해 제6 트랜지스터(TR6)를 턴온시키기 위해 제6 트랜지스터(TR6)는 제5 트랜지스터(TR5)와 동일한 N형 박막 트랜지스터로 형성된다. 또한, 제6 트랜지스터(TR6)는 제5 트랜지스터(TR5)의 턴온 전압을 즉, 제5 트랜지스터(TR5)의 오프셋 값을 제2 기준전압(VSS)으로 일정하게 유지할 수 있다. 따라서, 제6 트랜지스터(TR6)에서 공급되는 제2 기준전압(VSS)을 통해 제5 트랜지스터(TR5)의 오프 셋값이 일정하게 유지되어 제3 차징전압(-VDD)이 제2 출력단(VOUT2)으로 공급될 때 제5 트랜지스터(TR5)가 불필요하게 턴온되어 제3 차징전압(-VDD)이 역공급되는 것이 방지된다.

<71> 이러한 구성요소를 갖는 게이트 온 전압 발생회로(10)의 동작을 도 7을 참조하여 설명하면, T3 시간 동안 노드 C에서 제2 기준전압(VSS)이 측정되며 이때, 제6 트랜지스터를 턴오프시킨다. 이와 동시에 노드 D에서 제2 제어신호(CK)로 인해 충전된 제2 기준전압(VSS)이 출력되어 제5 트랜지스터(TR5)를 턴온시킨다. 따라서 제4 트랜지스터(TR4)는 턴오프 되어 제3 커패시터(C3)에 제2 기준전압(VSS)이 충전된다. 다음으로, T4 시간동안에 제3 커패시터(C3)에 제1 제어신호(CKB)를 통해 VDD가 충전되면서 제6 트랜지스터(TR6)를 턴온시켜 제4 및 제5 트랜지스터(TR4, TR5)에 제2 기준전압(VSS)을 동시에 공급한다. 따라서, 제4 트랜지스터(TR4)는 턴온되어 제1 제어신호를 통해 충전된 전압의 역전위 값 즉, -VDD를 제2 출력단으로 공급함과 동시에 제5 트랜지스터(TR5)를 턴오프 시킨다.

<72> 본 발명의 실시 예에 따른 액정표시장치는 예를 들어, 제1 기준전압(VDD)이 5V로 공급되고, 제2 기준전압(VSS)이 0V로 공급되면, 게이트 온 전압 발생회로(10)는 10V의 제1 차징전압(2VDD)이 공급되며 제1 출력단(VOUT1)에 10V가 출력되어 게이트 구동회로(50)에 공급된다. 그리고, 게이트 오프 전압 발생회로(20)는 5V의 제3 차징전압(-VDD)이 충전되어 제3 차징전압(-VDD)이 제2 출력단(VOUT2)으로 -5V가 출력된다.

발명의 효과

<73> 본 발명의 실시 예에 따른 게이트 온 전압 발생회로와 게이트 오프 전압 발생회로 및 이들을 갖는 액정표시장치는 게이트 온 전압 및 게이트 오프 전압 각각을 출력하는 게이트 온 전압 발생회로 및 게이트 오프 전압 발생회로를 최소 면적에 최소 수량의 폴리실리콘 박막 트랜지스터를 이용하여 박막 트랜지스터 기판상에 집적할 수 있다. 따라서, 전원부의 부하를 줄이고, 종래 전원부의 제조시 발생하는 비용을 줄일 수 있는 장점이 있다.

<74> 또한, 게이트 온 전압 발생회로와 게이트 오프 전압 발생회로에 형성된 제2 및 제5 트랜지스터의 오프셋 전압을 제1 기준전압으로 일정하게 유지시켜 오프셋 전압의 상승으로 인한 제2 및 제5 트랜지스터의 오동작을 방지함으로써 제2 및 제5 트랜지스터로 역공급되는 전류를 차단하여 안정된 게이트 온 전압 및 게이트 오프 전압을 출력하고 이에 따라 전력소모를 줄일 수 있다.

<75> 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

<76> 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

<1> 도 1은 본 발명의 실시 예에 따른 액정표시장치를 개략적으로 도시한 블록도이다.

◁ 도 2는 도 1에 도시된 게이트전원공급장치의 게이트 온 전압 발생회로를 도시한 회로도이다.

〈3〉 도 3은 도 2에 도시된 게이트 온 전압 발생회로의 노드 A 및 B에서의 전압 파형을 도시한 파형도이다.

<4> 도 4은 도 2에 도시된 제1 내지 제 3 트랜지스터들의 스위칭 속도에 따른 전류 특성을 도시한 그래프이다.

<5> 도 5은 도 4에 도시된 제1 내지 제 3 트랜지스터 각각의 턴온전류에 대한 출력단의 출력전압의 특성을 시뮬레이션하여 도시한 파형도이다.

<6> 도 6은 도 1에 도시된 게이트전원공급장치의 게이트 오프 전압 발생회로를 도시한 회로도이다.

<7> 도 7은 도 6에 도시된 게이트 오프 전압 발생회로의 노드 C 및 D에서의 전압 파형을 도시한 파형도이다.

<8> <도면부호의 간단한 설명>

<9> 10: 게이트 온 전압 발생회로 20: 게이트 오프 전압 발생회로

<10> 30: 게이트전원공급장치 40: 타이밍 컨트롤러

<11> 50: 게이트 구동회로 60: 데이터 구동회로

<12> 70: 전원부

<13> GL: 게이트 라인

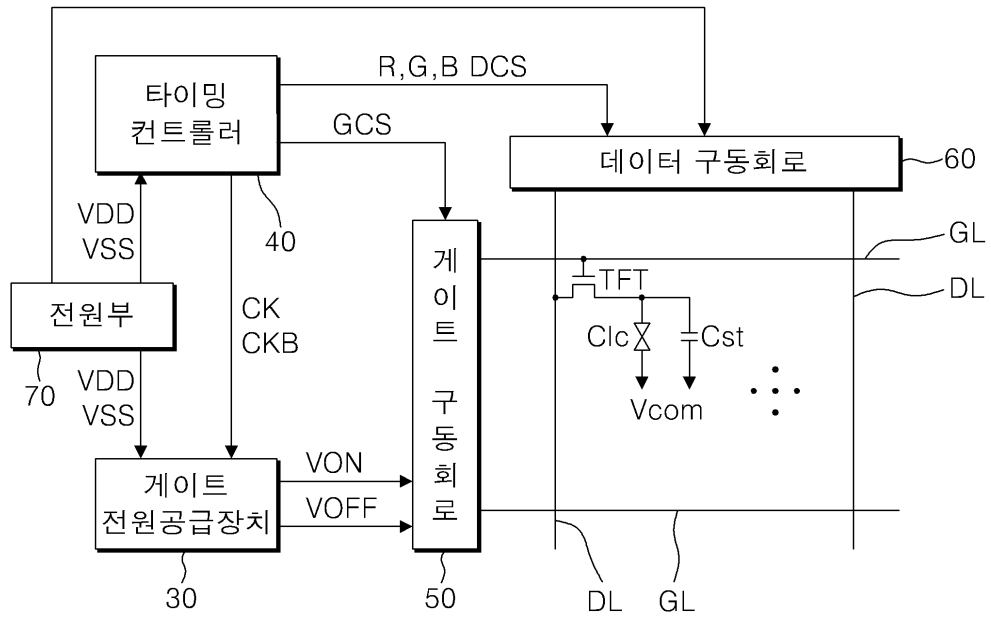
<14> DL: 데이터 라인

<15> TR1 내지 TR6 : 제1 내지 제 6 박막 트랜지스터

<16> C1 내지 C4: 제1 및 제4 커패시터

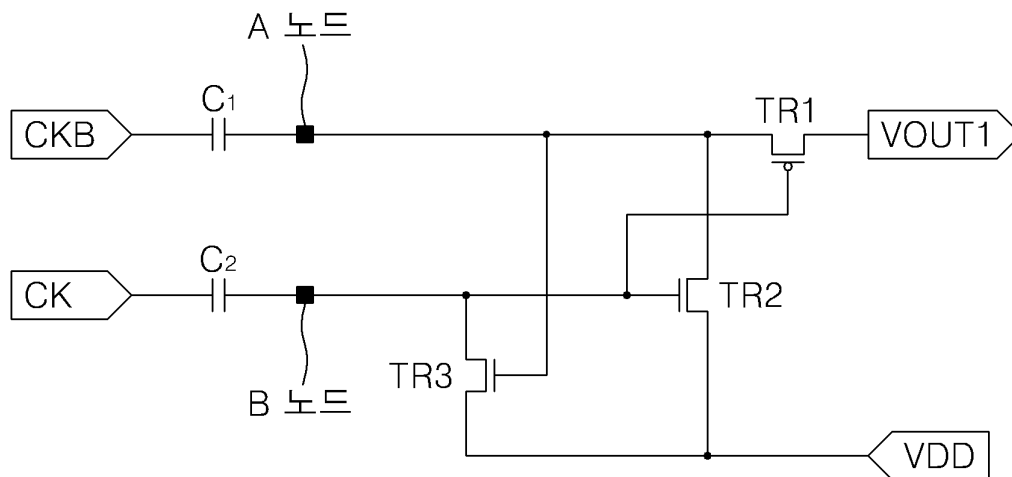
도면

도면1

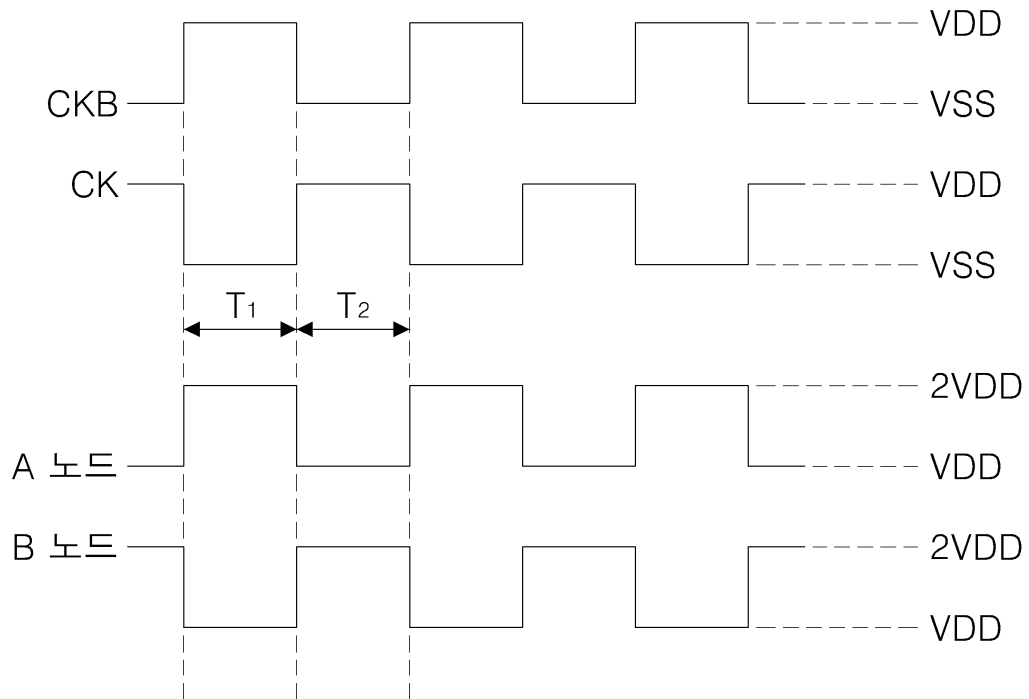


도면2

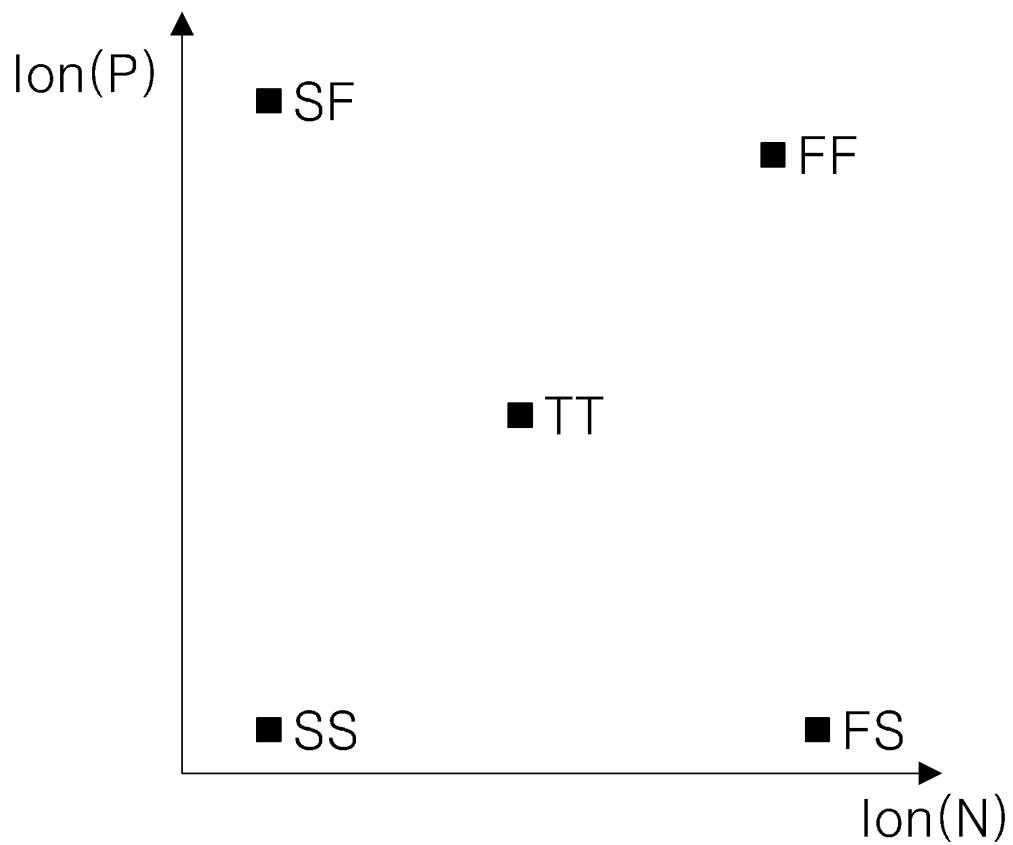
10



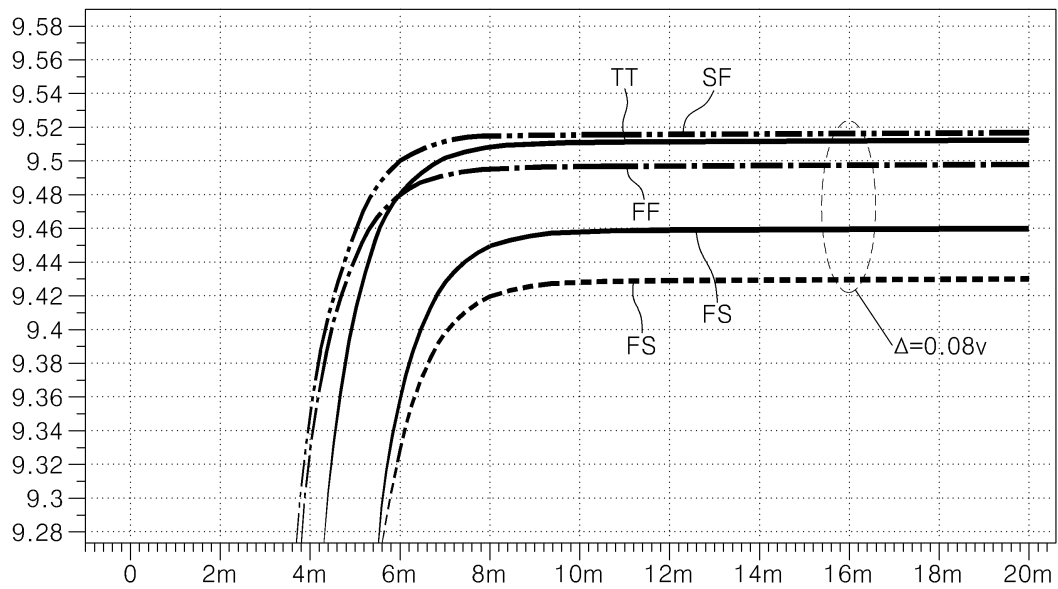
도면3



도면4

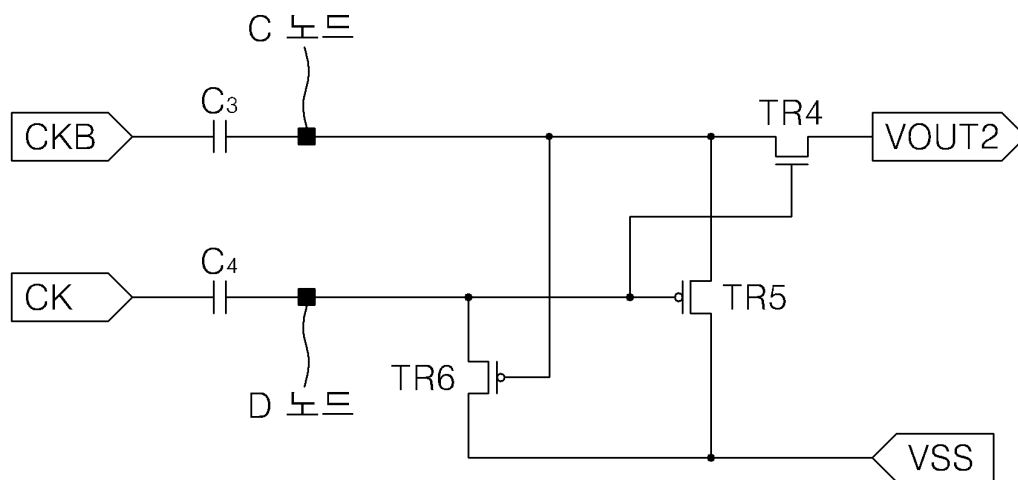


도면5



도면6

20



도면7

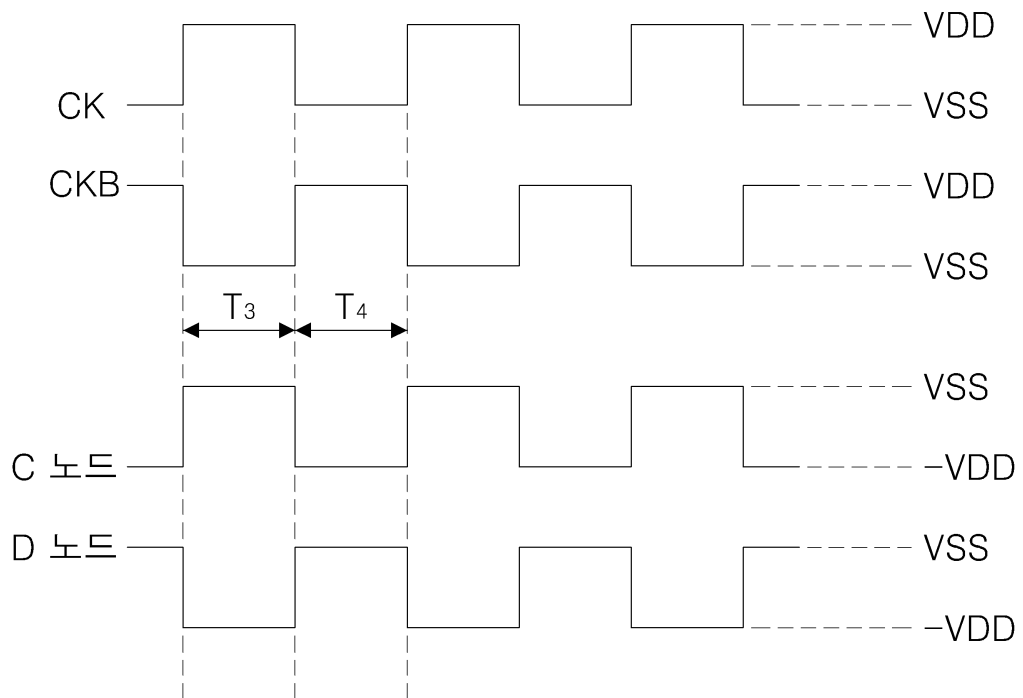


Figure 1 is a block diagram of a display system. The system includes a Timing Controller (40), a Data Driver (60), a Gate Driver (50), a Power Supply Unit (70), and a Gate Driver Power Supply Unit (30). The Timing Controller (40) receives R, G, B DCS signals and outputs GCS to the Data Driver (60) and CK, CKB signals to the Gate Driver (50). The Power Supply Unit (70) provides VDD and VSS to the Timing Controller (40). The Gate Driver Power Supply Unit (30) provides VON and VOFF to the Gate Driver (50). The Data Driver (60) outputs data signals to the display panel (60) via GL and DL lines. The Gate Driver (50) outputs gate signals to the display panel (60) via DI and GI lines. The display panel (60) includes a TFT, a Clc capacitor, a Cst capacitor, and a Vcom voltage source.

