



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0003226
(43) 공개일자 2008년01월07일

(51) Int. Cl.

G02F 1/13 (2006.01) G02F 1/1339 (2006.01)

(21) 출원번호 10-2007-0055705

(22) 출원일자 2007년06월07일

심사청구일자 없음

(30) 우선권주장

1020060061597 2006년06월30일 대한민국(KR)

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

정덕영

서울 송파구 가락1동 시영아파트 84동 507호

(74) 대리인

박장원

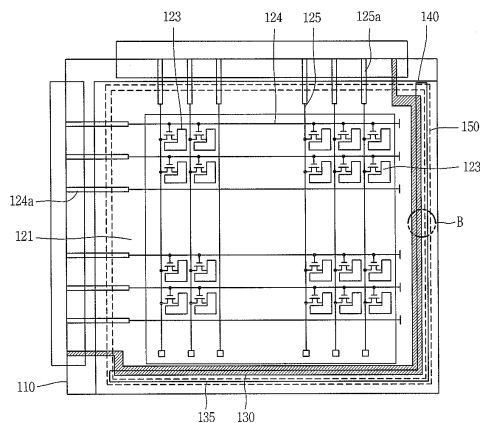
전체 청구항 수 : 총 28 항

(54) 액정표시소자

(57) 요약

본 발명에 따른 액정표시소자는 육안에 의한 실런트의 선폭의 검사가 가능한 것으로, 제1기판 및 제2기판과, 상기 제1기판에 형성되어 복수의 화소를 정의하는 복수의 게이트라인 및 데이터라인과, 각각의 화소에 형성된 박막 트랜지스터와, 상기 제2기판에 형성된 공통전극과, 상기 제1기판에 형성된 투명한 공통전압라인과, 상기 제1기판 및 제2기판 사이에 형성되어 상기 제1기판 및 제2기판을 합착하며, 내부에 복수의 도전볼을 포함하고 상기 공통전압라인과 적어도 일부가 접촉하여 공통전극과 공통전압라인을 전기적으로 접속시키는 실런트와, 상기 제1기판 및 제2기판 사이에 형성된 액정층으로 구성된다.

대표도 - 도4a



특허청구의 범위

청구항 1

제1기관 및 제2기관;

상기 제1기관에 형성되어 복수의 화소를 정의하는 복수의 게이트라인 및 데이터라인;

각각의 화소에 형성된 박막트랜지스터;

상기 제2기관에 형성된 공통전극;

상기 제1기관에 형성된 공통전압라인;

상기 제1기관에 형성되며 상기 공통전압라인과 전기적으로 접속되는 투명한 도전라인;

상기 제1기관 및 제2기관 사이에 형성되어 상기 제1기관 및 제2기관을 합착하며, 내부에 복수의 도전볼을 포함하고 상기 도전라인과 적어도 일부가 접촉하여 공통전극과 공통전압라인을 전기적으로 접속시키는 실런트; 및

상기 제1기관 및 제2기관 사이에 형성된 액정층으로 구성된 액정표시소자.

청구항 2

제1항에 있어서, 상기 박막트랜지스터는,

제1기관에 형성된 게이트전극;

상기 게이트전극 위에 형성된 층간절연층;

상기 층간절연층 위에 형성된 반도체층;

상기 반도체층 위에 형성된 소스전극 및 드레인전극; 및

상기 소스전극 및 드레인전극 위에 형성된 보호층으로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 3

제2항에 있어서, 공통전압라인은 상기 제1기관 위에 배치되는 것을 특징으로 하는 액정표시소자.

청구항 4

제1항에 있어서, 상기 박막트랜지스터는,

제1기관에 형성된 반도체층;

상기 반도체층 위에 형성된 게이트절연층;

상기 게이트절연층에 형성된 게이트전극;

상기 게이트전극 위에 형성된 층간절연층;

상기 반도체층 위에 형성된 소스전극 및 드레인전극; 및

상기 소스전극 및 드레인전극 위에 형성된 보호층으로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 5

제4항에 있어서, 공통전압라인은 상기 게이트절연층 위에 형성된 것을 특징으로 하는 액정표시소자.

청구항 6

제3항 또는 제5항에 있어서, 상기 공통전압라인은 박막트랜지스터의 게이트전극과 동일한 금속으로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 7

제1항에 있어서, 상기 도전라인은 층간절연층 및 보호층에 형성된 컨택홀을 통해 공통전압라인에 접속되는 것을

특징으로 하는 액정표시소자.

청구항 8

제1항에 있어서, 상기 도전라인은 실런트 전체에 접촉하는 것을 특징으로 하는 액정표시소자.

청구항 9

제1항에 있어서, 상기 도전라인은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zin Oxide)를 포함하는 것으로 하는 액정표시소자.

청구항 10

제1기판 및 제2기판;

상기 제1기판에 형성되어 복수의 화소를 정의하는 복수의 게이트라인 및 데이터라인;

각각의 화소에 형성된 박막트랜지스터;

상기 제2기판에 형성된 공통전극;

상기 제1기판에 형성된 투명한 공통전압라인;

상기 제1기판 및 제2기판 사이에 형성되어 상기 제1기판 및 제2기판을 합착하며, 내부에 복수의 도전볼을 포함하고 상기 공통전압라인과 적어도 일부가 접촉하여 공통전극과 공통전압라인을 전기적으로 접속시키는 실런트; 및

상기 제1기판 및 제2기판 사이에 형성된 액정층으로 구성된 액정표시소자.

청구항 11

제10항에 있어서, 상기 박막트랜지스터는,

제1기판에 형성된 게이트전극;

상기 게이트전극 위에 형성된 층간절연층;

상기 층간절연층 위에 형성된 반도체층;

상기 반도체층 위에 형성된 소스전극 및 드레인전극; 및

상기 소스전극 및 드레인전극 위에 형성된 보호층으로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 12

제11항에 있어서, 공통전압라인은 상기 제1기판 위에 배치되는 것을 특징으로 하는 액정표시소자.

청구항 13

제12항에 있어서, 상기 층간절연층 및 보호층이 제거되어 공통전압라인과 실런트가 접촉하는 것을 특징으로 하는 액정표시소자.

청구항 14

제10항에 있어서, 상기 박막트랜지스터는,

제1기판에 형성된 반도체층;

상기 반도체층 위에 형성된 게이트절연층;

상기 게이트절연층에 형성된 게이트전극;

상기 게이트전극 위에 형성된 층간절연층;

상기 반도체층 위에 형성된 소스전극 및 드레인전극; 및

상기 소스전극 및 드레인전극 위에 형성된 보호층으로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 15

제14항에 있어서, 공통전압라인은 상기 게이트절연층 위에 형성된 것을 특징으로 하는 액정표시소자.

청구항 16

제15항에 있어서, 상기 층간절연층 및 보호층이 제거되어 공통전압라인과 실런트가 접촉하는 것을 특징으로 하는 액정표시소자.

청구항 17

제10항에 있어서, 상기 공통전압라인은 실런트 전체에 접촉하는 것을 특징으로 하는 액정표시소자.

청구항 18

제10항에 있어서, 상기 공통전압라인은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zin Oxide)를 포함하는 것을 특징으로 하는 액정표시소자.

청구항 19

제1기판 및 제2기판;

상기 제1기판에 형성되어 복수의 화소를 정의하는 복수의 게이트라인 및 데이터라인;

각각의 화소에 형성된 박막트랜지스터;

상기 제2기판에 형성된 공통전극;

상기 제1기판에 형성되는 공통전압라인;

상기 제1기판 및 제2기판 사이에 형성되어 상기 제1기판 및 제2기판을 함착하며, 내부에 복수의 도전볼을 포함하고 상기 공통전압라인과 적어도 일부가 접촉하여 공통전극과 공통전압라인을 전기적으로 접속시키는 실런트; 및

상기 제1기판 및 제2기판 사이에 형성된 액정층으로 구성되며,

상기 공통전압라인에는 관찰영역이 형성되어 실런트를 관찰하는 것을 특징으로 하는 액정표시소자.

청구항 20

제19항에 있어서, 상기 박막트랜지스터는,

제1기판에 형성된 게이트전극;

상기 게이트전극 위에 형성된 층간절연층;

상기 층간절연층 위에 형성된 반도체층;

상기 반도체층 위에 형성된 소스전극 및 드레인전극; 및

상기 소스전극 및 드레인전극 위에 형성된 보호층으로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 21

제20항에 있어서, 공통전압라인은 상기 제1기판 위에 배치되는 것을 특징으로 하는 액정표시소자.

청구항 22

제19항에 있어서, 상기 박막트랜지스터는,

제1기판에 형성된 반도체층;

상기 반도체층 위에 형성된 게이트절연층;

상기 게이트절연층에 형성된 게이트전극;
 상기 게이트전극 위에 형성된 층간절연층;
 상기 반도체층 위에 형성된 소스전극 및 드레인전극; 및
 상기 소스전극 및 드레인전극 위에 형성된 보호층으로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 23

제19항에 있어서, 공통전압라인은 상기 게이트절연층 위에 형성된 것을 특징으로 하는 액정표시소자

청구항 24

제21항 또는 23항에 있어서, 상기 공통전압라인은 게이트전극과 동일한 금속으로 동일한 공정에 의해 형성되는 것을 특징으로 하는 액정표시소자.

청구항 25

제19항에 있어서, 상기 공통전압라인은 설정 간격으로 지그재그형상으로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 26

제19항에 있어서, 상기 공통전압라인은,

전압라인; 및

상기 전압라인으로부터 돌출되어 설정 간격으로 배치되고 실런트와 적어도 일부가 오버랩되는 돌기로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 27

제19항에 있어서, 상기 공통전압라인은 내부에 윈도우가 형성된 것을 특징으로 하는 액정표시소자.

청구항 28

화소전극 및 공통전극을 구비하여 상기 화소전극과 공통전극에 신호가 인가됨에 따라 화상을 구현하는 액정패널;

상기 액정패널에 형성되어 액정패널을 합착하며, 도전볼을 포함하여 상기 공통전극에 신호를 인가하는 실런트; 및

상기 실런트 하부에 배치되어 상기 도전볼을 통해 공통전극에 신호를 공급하며, 일부 영역이 패터닝되어 패터닝된 영역을 통해 실런트를 관찰하는 공통전압라인으로 구성된 액정표시소자.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<13> 본 발명은 액정표시소자에 관한 것으로, 특히 공통전압라인 상부에 형성되는 실런트의 선폭을 육안으로 관찰함으로써 실런트의 선폭 불균일에 의한 불량률 방지할 수 있는 액정표시소자에 관한 것이다.

<14> 최근 들어 급속한 발전을 거듭하고 있는 반도체 산업의 기술 개발에 의하여 액정표시장치는 소형 및 경량화되면서 성능은 더욱 강력해진 제품들이 생산되고 있다. 지금까지 정보 디스플레이 장치에 널리 사용되고 있는 CRT(cathode ray tube)가 성능이나 가격 측면에서 많은 장점을 갖고 있지만, 소형화 또는 휴대성의 측면에서는 많은 단점을 갖고 있었다.

<15> 이에 반하여, 액정표시소자는 소형화, 경량화, 저전력 소비화 등의 장점을 갖고 있어 CRT의 단점을 극복할 수

있는 대체 수단으로 점차 주목받아 왔고, 현재는 표시장치를 필요로 하는 거의 모든 정보처리기에 장착되고 있는 실정이다.

- <16> 이러한 액정표시소자는 박막트랜지스터와 화소전극을 형성되어 있는 제1기판과, R(Red), G(Green), B(Blue)의 컬러필터층이 형성되어 있는 제2기판이 액정층을 사이에 두고 합착된 구조로 이루어진다. 상기와 같이 두 기판이 합착되어 액정패널이 제조되면, 상기 액정패널영역으로 구동신호(게이트신호)와 데이터신호를 인가하여 화소전극 상에 전계를 발생시키고, 발생된 전계에 의하여 액정분자를 트위스트(twist) 시켜 백라이트로부터 진행하는 광의 투과율을 조절함으로써 화상을 구현하는 것이다.
- <17> 도 1은 종래 기술에 따른 액정표시소자의 구조를 간략하게 나타내는 평면도이다.
- <18> 도 1에 도시된 바와 같이, 제1기판(10) 상에는 복수개의 게이트라인(24)과 데이터라인(25)이 수직으로 교차 배열되어 복수의 화소영역을 정의하고, 상기 화소영역 상에는 화소전극(23)이 배치되어 있다. 그리고, 상기 게이트라인(24)과 데이터라인(25)이 수직으로 교차되는 영역에는 스위칭 소자인 박막트랜지스터가 각각 배치되어 있다.
- <19> 또한, 상기 게이트라인(24)과 데이터라인(25)의 일측 단부에는 각각 게이트 패드(24a)과 데이터패드(25a)가 전기적으로 연결되어 있어, 인쇄회로기판으로부터 발생하는 구동신호와 데이터신호를 인가 받는다.
- <20> 제2기판(40)에는 제1기판(10)의 화소전극(23)이 배치되어 있는 액티브영역(Active Area)에 대응하는 영역에 공통전극(도시되지 않음)이 형성되어 공통전압라인(30)을 거쳐 외부로부터 공통전압이 인가된다.
- <21> 상기 제1기판(10)과 제2기판(40)의 외곽영역에는 실런트(50)가 도포되어 상기 제1기판(10) 및 제2기판(40)을 합착한다.
- <22> 도 2는 도 1의 A 영역 확대도이다. 도 2에 도시된 바와 같이, 공통전압라인(30)이 형성된 영역에는 실런트(50)가 프린팅되어 실라인이 형성된다. 상기 실런트(50)는 제1기판(10)과 제2기판(40)을 합착하기 위한 것으로 상기 공통전압라인(30)과 오버랩되어 있다.
- <23> 도 3은 도 1의 A~A'선 단면도로서, 공통전압라인(30)과 실런트(50)의 구조를 나타내는 도면이다. 도 3에 도시된 바와 같이, 공통전압라인(30)은 제1기판(10)에 형성되며, 상기 실런트(50)는 상기 공통전압라인(30) 위에 배치되어 상기 제1기판(10)과 제2기판(40)을 합착한다. 상기 실런트(50)에는 도전볼(56)이 포함되어 있다. 상기 도전볼(56)은 제1기판(10)의 공통전압라인(30)과 제2기판(40)의 공통전극(44)과 접촉하여 상기 공통전압라인(30)에 인가되는 공통전압신호를 상기 공통전극(44)으로 전달한다.
- <24> 상기와 같이, 종래 액정표시소자에서는 실런트(50)에 도전볼(56)이 포함되어 공통전압신호를 제2기판(40)의 공통전극(44)으로 인가하기 때문에, 상기 실런트(50)가 공통전압라인(30)과 오버랩되어야만 하는 것이다.
- <25> 그러나, 상기와 같은 구조의 액정표시소자는 다음과 같은 문제가 발생한다. 즉, 통상적으로 액정표시소자는 불량품의 출하를 방지하기 위해, 불량여부를 검사해야만 한다. 이러한 검사는 각 공정에서만 이루어질 뿐만 아니라 완성된 액정표시소자가 완성된 후 최종적으로 이루어진다. 액정표시소자의 실런트의 검사는 실런트의 프린팅공정뿐만 아니라 완성된 액정표시소자를 대상으로도 이루어진다. 실런트의 프린팅공정에서는 현재 프린팅되는 실런트가 설정된 양으로 프린팅되는지를 검사하며, 완성된 액정표시소자의 검사시에는 제1기판과 제2기판을 합착한 실런트의 상태를 검사한다. 상기 완성된 액정표시소자의 실런트의 검사는 육안으로 이루어진다. 즉, 육안에 의해 실런트를 관찰하여 실런트의 선폭이 균일한지 또는 터진 곳은 없는지를 검사하는 것이다.
- <26> 그런데, 상기한 바와 같은 구조의 액정표시소자, 즉 실런트에 도전볼을 포함하는 구조의 액정표시소자에서는 실런트가 공통전압라인과 오버랩되어 형성되므로, 불투명한 금속으로 이루어진 공통전압라인에 의해 상기 실런트의 관찰이 불가능하게 되는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

- <27> 본 발명은 상기한 문제를 해결하기 위한 것으로, 실런트 하부에 위치하는 공통전압라인의 일부 영역을 식각하여 실런트를 관찰하는 관찰영역을 형성함으로써 실런트의 선폭을 육안 관찰할 수 있는 액정표시소자를 제공하는 것을 목적으로 한다.
- <28> 상기한 목적을 달성하기 위해, 본 발명에 따른 액정표시소자는 제1기판 및 제2기판과, 상기 제1기판에 형성되어 복수의 화소를 정의하는 복수의 게이트라인 및 데이터라인과, 각각의 화소에 형성된 박막트랜지스터와, 상기 제2기판에 형성된 공통전극과, 상기 제1기판에 형성된 투명한 공통전압라인과, 상기 제1기판 및 제2기판 사이에

형성되어 상기 제1기판 및 제2기판을 합착하며, 내부에 복수의 도전볼을 포함하고 상기 공통전압라인과 적어도 일부가 접촉하여 공통전극과 공통전압라인을 전기적으로 접속시키는 실런트와, 상기 제1기판 및 제2기판 사이에 형성된 액정층으로 구성된다.

- <29> 바텀게이트방식 박막트랜지스터가 구비된 액정표시소자의 경우 상기 공통전압라인은 상기 제1기판 위에 배치되는데, 이때 상기 중간절연층 및 보호층이 제거되어 공통전압라인과 실런트가 직접 접촉하게 된다.
- <30> 바텀게이트방식 박막트랜지스터가 구비된 액정표시소자의 경우, 상기 공통전압라인은 상기 게이트절연층 위에 형성되는데, 이때 상기 중간절연층 및 보호층이 제거되어 공통전압라인과 실런트가 접촉한다.
- <31> 상기 공통전압라인은 투명한 도전물질로 형성되어 그 위에 형성되는 실런트이 형상을 관찰할 수 있게 된다.

발명의 구성 및 작용

- <32> 이하, 첨부한 도면에 참조하여 본 발명에 따른 액정표시소자에 대해 상세히 설명한다.
- <33> 도 4a 및 도 4b는 본 발명의 제1실시예에 따른 액정표시소자의 구조를 나타내는 평면도로서, 도 4b는 도 4a의 B 영역 확대평면도이다.
- <34> 도 4a에 도시된 바와 같이, 본 발명의 제1실시예에 따른 액정표시소자는 제1기판(110)과 제2기판(140) 및 그 사이에 형성된 액정층(도면표시하지 않음)으로 구성된다. 상기 제1기판(110)에는 복수의 화소를 정의하는 복수의 게이트라인(124)과 데이터라인(125)이 형성되며, 상기 화소 내부에는 화소전극(123)이 배치되어 있다. 또한, 화소내에는 박막트랜지스터가 각각 배치되어 있어 게이트라인(124)을 따라 외부로부터 신호가 인가됨에 따라 동작하여 상기 데이터라인(125)을 통해 입력되는 영상신호를 화소전극(123)에 인가한다.
- <35> 또한, 상기 게이트라인(124)과 데이터라인(125)의 일단에는 각각 게이트패드(124a)와 데이터패드(125a)가 전기적으로 연결되어 있어 외부의 신호를 각각 게이트라인(124)과 데이터라인(125)으로 공급한다.
- <36> 상기 제2기판(140)의 화소영역에는 공통전극(도면표시하지 않음)이 형성되어, 화소전극(123)과 대향한다. 상기 공통전극에는 공통전압라인(130)을 통해 공통전압이 인가되어, 상기 화소전극(123)과 전계를 형성한다.
- <37> 도면에는 자세히 도시하지 않았지만, 제1기판(110)에 게이트구동IC가 실장된 게이트TCP(Tape Carrier Package)와 데이터구동IC가 실장된 데이터TCP가 부착되어 제1기판(110)에 형성된 게이트패드(124a)와 데이터패드(125a)에 각각 주사신호와 화상신호를 공급한다. 또한, 데이터TCP에는 공통전압발생회로와 같은 각종 회로가 형성된다. 상기 공통전압발생회로는 제1기판(110)의 공통전압라인(130)과 접속되어 공통전압을 상기 공통전압라인(130)에 인가한다.
- <38> 한편, 도면에서는 상기 공통전압라인(130)이 제1기판(110)의 2변을 따라 형성되어 있지만, 3변 또는 전체 둘레를 따라 형성될 수도 있을 것이다.
- <39> 상기 제1기판(110)과 제2기판(140)의 외곽영역에는 실런트(150)가 도포되어 상기 제1기판(110) 및 제2기판(140)을 합착한다.
- <40> 도 4b에 도시된 바와 같이, 공통전압라인(130)은 실런트(150)로부터 설정된 거리 이격된 상태로 배치되며, 도전라인(135)은 상기 공통전압라인(130) 및 실런트(150) 사이에 형성되어 상기 공통전압라인(130)이 실런트(150)와 일부 오버랩된다. 이때, 상기 도전라인(135)은 ITO(Indium Tin Oxide)나 IZO(Indium Zinc Oxide)와 같은 투명한 도전물질로 이루어진다.
- <41> 상기 실런트(150)에는 복수의 도전볼이 포함되며, 제2기판(140)의 공통전극과 전기적으로 접속된다. 한편, 상기 도전라인(135)은 상기 공통전극라인(130) 및 실런트(150)와 오버랩되어 공통전압라인(130) 및 실런트(150)가 전기적으로 접속되어, 상기 공통전극라인(130)으로 인가된 공통전압이 상기 도전라인(135) 및 실런트(150)를 통해 제2기판(140)의 공통전극으로 인가된다. 이때, 상기 도전라인(135)은 실런트(150) 보다 넓은 폭으로 형성되어 상기 도전라인(135)이 실런트(150) 전체와 오버랩될 수도 있고 실런트(150)의 일부만이 도전라인(135)과 오버랩될 수도 있을 것이다.
- <42> 상기와 같이 도전라인(135)은 투명한 도전물질로 이루어져 있기 때문에, 상기 도전라인(135)이 형성된 영역의 실런트(150)를 육안으로 관찰할 수 있게 된다. 즉, 작업자가 육안으로 실런트의 형상을 관찰함으로써 실런트의 선폭 및 불량여부를 관찰할 수 있게 되는 것이다.
- <43> 상기 실런트(150)는 도전라인(135) 상부에 위치하여 상기 도전라인(135)과 전기적으로 접속되며, 공통전극라인

(130)은 상기 도전라인(135)과 다른 층에 형성되어 컨택홀을 통해 도전라인(135)과 전기적으로 접속되는데, 이러한 구조를 상세히 설명하면 다음과 같다.

- <44> 도 5 및 도 6은 본 발명의 제1실시예에 따른 액정표시소자의 구조를 나타내는 도면으로, 도 5는 바텀게이트(bottom gate)방식의 박막트랜지스터가 적용된 액정표시소자의 구조를 나타내는 도면이고 도 6은 바텀게이트(top gate)방식의 박막트랜지스터가 적용된 액정표시소자의 구조를 나타내는 도면이다.
- <45> 우선, 도 5에 도시된 바텀게이트(bottom gate)방식의 박막트랜지스터가 적용된 액정표시소자의 구조를 설명하면 다음과 같다. 이때, 설명의 편의를 위해 액정표시소자를 화소부와 실링부로 구분하여 설명한다.
- <46> 도 5에 도시된 바와 같이, 액정표시소자는 제1기판(110) 및 제2기판(140)으로 이루어져 있으며, 상기 제1기판(110)의 화소부에는 게이트전극(172)이 형성되고 실링부에는 공통전압라인(130)이 형성된다. 상기 게이트전극(172) 및 공통전압라인(130)은 다른 공정으로 이루어질 수도 있지만, 동일한 공정에 의해 동일한 금속으로 형성하는 것이 바람직할 것이다.
- <47> 상기 게이트전극(172) 및 공통전압라인(130)이 형성된 제1기판(110) 상에는 층간절연층(182)이 형성되며, 상기 층간절연층(182) 위의 화소부에 비정질반도체(a-Si)로 이루어진 반도체층(174)이 형성된다. 또한, 상기 반도체층(174) 위에는 소스전극(176) 및 드레인전극(177)이 형성되며, 상기 제1기판(110) 전체에 걸쳐 보호층(184)이 형성된다.
- <48> 상기 보호층(184) 위의 화소부에는 화소전극(123)이 형성되며 실링부에는 도전라인(135)이 형성된다. 상기 화소전극(123)과 도전라인(135)은 별개의 공정에 의해 형성될 수도 있지만, 동일한 공정에 의해 ITO나 IZO와 같은 투명도전물질로 형성하는 것이 바람직하다. 이때, 상기 화소부와 실링부의 보호층(184)은 각각 컨택홀이 형성되어 상기 화소부의 화소전극(123)이 컨택홀을 통해 드레인전극(177)에 접속되고 실링부의 도전라인(135)이 컨택홀을 통해 공통전압라인(130)에 접속된다.
- <49> 한편, 상기 실링부에는 실런트(150)가 형성된다. 이때, 상기 실런트(150)는 상기 공통전압라인(130) 위에 형성되므로, 상기 실런트(150)에 포함된 도전볼(156)이 상기 공통전압라인(130)과 접촉하게 되어 전기적으로 접속된다. 도면에서는 실런트(150)의 일부가 도전라인(135)과 오버랩되어 접촉하고 있지만, 상기 도전라인(135)이 실런트(150)의 전체 폭 보다 길게 연장되어 상기 도전라인(135)이 실런트(150) 전체와 접촉될 수도 있을 것이다.
- <50> 제2기판(140)의 화소부 및 실링부에는 블랙매트릭스(141)가 형성된다. 상기 블랙매트릭스(141)는 화상비표시영역으로 광이 누설되어 화질이 저하되는 것을 방지하기 위한 것으로, 화소부의 박막트랜지스터 형성영역과 게이트라인 및 데이터라인 형성영역에 배치된다. 또한, 화소부에는 실제 컬러를 구현하는 컬러필터층(142)이 형성되며, 상기 화소부의 컬러필터층(142) 위 및 실링부의 블랙매트릭스(141) 위에 ITO나 IZO와 같은 투명한 도전물질로 이루어진 공통전극(144)이 형성된다.
- <51> 상기 제1기판(110) 및 제2기판(140)은 실링부에 형성된 실런트(150)에 의해 합착되며, 상기 제1기판(110) 및 제2기판(140) 사이에 액정층(160)이 형성된다.
- <52> 상기 실링부의 실런트(150)에 포함된 도전볼(156)은 실링부에 형성된 공통전극(144)에 접촉한다. 따라서, 상기 도전볼(156)에 의해 제1기판(110)의 공통전압라인(130)은 도전라인(135) 및 도전볼(156)을 통해 제2기판(140)의 공통전극(144)과 전기적으로 접속된다. 액정패널의 외부로부터 공통전압이 인가되는 경우, 상기 공통전압은 공통전압라인(130), 도전라인(135) 및 도전볼(156)을 통해 제2기판(140)의 공통전극(144)으로 인가되어, 상기 공통전극(144)과 화소전극(123) 사이에 전계가 형성된다.
- <53> 상기한 바와 같이, 본 발명의 제1실시예에 따른 액정표시소자에서는 공통전압라인(130)과 실런트(150) 사이에 투명한 도전물질로 이루어진 도전라인(135)을 형성하여 상기 도전라인(135)과 실런트(150)를 전기적으로 접속한다. 따라서, 불투명한 공통전압라인(130)과 실런트(150)가 오버랩되지 않고 투명한 도전라인(135)이 실런트(150)와 오버랩되므로, 상기 투명한 도전라인(135)을 통해 실런트(150)의 형상을 관찰할 수 있게 되어 실런트의 선폭 및 불량여부를 관찰할 수 있게 되는 것이다.
- <54> 한편, 도 6에 도시된 바텀게이트방식의 박막트랜지스터가 적용된 액정표시소자의 구조를 설명하면 다음과 같다. 이때, 도 5에 도시된 구조에 대해서는 설명을 생략한다.
- <55> 도 6에 도시된 바와 같이, 제1기판(110)의 화소부에는 반도체층(176)이 형성된다. 상기 반도체층(176)은 다결정 실리콘으로 형성할 수도 있으며 비정질물질로 형성할 수도 있을 것이다. 또한, 상기 반도체층(176)의 양측면에

는 불순물이 주입된 오믹컨택층이 형성된다.

- <56> 상기 반도체층(176)이 형성된 화소부 및 실링부에는 게이트절연층(181)이 형성되며, 상기 게이트절연층(181) 위의 화소부 및 실링부에 게이트전극(172) 및 공통전압라인(130)이 각각 형성된다. 이때, 상기 게이트전극(172) 및 공통전압라인(130)은 다른 공정으로 이루어질 수도 있지만, 동일한 공정에 의해 동일한 금속으로 형성하는 것이 바람직할 것이다.
- <57> 상기 게이트전극(172) 및 공통전압라인(130)이 형성된 제1기관(110) 상에는 층간절연층(182)이 형성되며, 상기 층간절연층(182) 위의 화소부에 소스전극(176) 및 드레인전극(177)이 형성되며, 상기 제1기관(110) 전체에 걸쳐 보호층(184)이 형성된다. 상기 소스전극(176) 및 드레인전극(177)은 게이트절연층(181)과 층간절연층(182)에 형성된 컨택홀을 통해 반도체층(176)에 접속된다.
- <58> 상기 보호층(184) 위의 화소부에는 화소전극(123)이 형성되며 실링부에는 도전라인(135)이 형성된다. 상기 화소전극(123)과 도전라인(135)은 IT0나 IZO와 같은 투명도전물질 형성되며 상기 화소부와 실링부의 보호층(184)에 각각 형성된 컨택홀을 통해 드레인전극(177) 및 공통전압라인(130)에 각각 접속된다.
- <59> 제2기관(140)의 화소부 및 실링부에는 블랙매트릭스(141)가 형성된다. 또한, 화소부에는 실제 컬러를 구현하는 컬러필터층(142)이 형성되며, 상기 화소부의 컬러필터층(142) 위 및 실링부의 블랙매트릭스(141) 위에는 IT0나 IZO와 같은 투명한 도전물질로 이루어진 공통전극(144)이 형성된다.
- <60> 상기 제1기관(110)의 실링부에는 실린트(150)가 형성되어 상기 제1기관(110)과 제2기관(140)을 합착한다. 이때, 상기 실린트(150)는 상기 공통전압라인(130) 위에 형성되어, 상기 실린트(150)에 포함된 도전볼(156)이 제1기관(110)의 도전라인(135) 및 제2기관(140)의 공통전극(144)과 접촉하게 되어 공통전압라인(130)과 공통전극(144)을 전기적으로 접속시킨다.
- <61> 이때에도 불투명한 공통전압라인(130)과 실린트(150)가 오버랩되지 않고 투명한 도전라인(135)이 실린트(150)와 오버랩되므로, 상기 도전라인(135)을 통해 실린트(150)의 형상을 관찰할 수 있게 되어 실린트의 선평 및 불량여부를 관찰할 수 있게 되는 것이다.
- <62> 도 7은 본 발명의 제2실시예에 따른 액정표시소자를 나타내는 도면이다. 이때, 제1실시예와 동일한 구성에 대해서는 설명을 생략하고 다른 구성에 대해서만 설명한다.
- <63> 도 7에 도시된 제2실시예의 액정표시소자와 제1실시예의 액정표시소자의 구조적인 차이는 제1실시예에서는 공통전압라인과 실린트 사이에 투명한 도전라인이 형성되어 상기 공통전압라인과 실린트를 전기적으로 접속시킴과 동시에 상기 투명한 도전라인을 통해 실린트의 형태를 관찰하는데 반해, 본 실시예에서는 공통전압라인(230)를 투명한 도전물질로 형성하여 실린트(250)와 직접 접촉시키는 것이다. 즉, 공통전압라인(230)과 실린트(250)를 중첩시킨다는 것이다. 이때, 상기 공통전압라인(230)은 IT0나 IZO와 같은 투명한 도전물질로 형성되어 상기 실린트(250)와 전기적으로 접속됨과 동시에 실린트(250)의 형태를 관찰할 수 있게 된다.
- <64> 도 8a 및 도 8b는 도 7의 B-B'선 단면도로서, 실링부 영역만을 도시한 도면이다. 이때, 도 8a는 바텀게이트방식의 박막트랜지스터가 구비된 액정표시소자의 단면구조이고 도 8b는 탑게이트방식의 박막트랜지스터가 구비된 액정표시소자의 단면도이다.
- <65> 도 8a에 도시된 바와 같이, 바텀게이트방식 박막트랜지스터를 구비한 액정표시소자의 제1기관(210)에는 투명한 도전물질로 이루어진 공통전압라인(230)이 형성되어 있으며, 상기 공통전압라인(230) 위에 형성되는 층간절연층(282)과 보호층(284)이 제거되어 상기 공통전압라인(230)이 외부로 노출된다. 외부로 노출된 공통전압라인(230) 위에는 실린트(250)가 형성된다. 이때, 실린트(250)의 도전볼(256)은 상기 공통전압라인(230)과 접촉할 뿐만 아니라 제2기관(240)에 형성된 공통전극(244)에도 접촉하므로, 상기 공통전압라인(230)과 공통전극(244)을 전기적으로 접속시킨다. 따라서, 상기 공통전압라인(230)에 인가된 공통전압이 상기 도전볼(256)을 통해 공통전압(244)에 공급된다.
- <66> 도 8b에 도시된 바와 같이, 탑게이트방식 박막트랜지스터를 구비한 액정표시소자에서는 IT0나 IZO 등과 같은 투명한 도전물질로 이루어진 공통전압라인(230)이 게이트절연층(281) 위에 형성되어 있으며, 상기 공통전압라인(230)은 그 상부의 층간절연층(282)과 보호층(284)이 제거되어 외부로 노출된다. 외부로 노출된 상기 공통전압라인(230)의 상부에는 실린트(250)가 위치하여, 실린트(250) 내의 도전볼(256)에 의해 공통전압라인(230)과 제2기관(240)의 공통전극(244)이 전기적으로 접속된다.
- <67> 상기와 같이 본 실시예에서는 상기 공통전압라인(230)을 투명한 도전물질로 형성하여 실린트(250)와 직접 접촉

시킴으로써, 상기 공통전압라인(230)을 통해 그 상부에 형성된 실린트(250)의 형상을 관찰할 수 있게 된다.

- <68> 상술한 바와 같이, 본 발명에서는 투명한 공통전압라인을 실린트에 직접 접속하거나 투명한 도전라인을 통해 불투명한 공통전압라인을 실린트에 접속시킴으로써 공통전압을 공통전극에 인가함과 동시에 상기 투명한 도전층(즉, 공통전압라인 또는 도전라인)을 통해 실린트의 불량을 관찰할 수 있게 된다.
- <69> 상기 실린트(150)에 의해 제1기판(110) 및 제2기판(140)이 합착되는데, 이때 상기 실린트(150)는 스크린프린팅(screen printing)방법이나 적하(dispensing)방법에 의해 형성되는데, 상기 제1기판(110)에 형성될 수도 있고 제2기판(140)에 형성될 수도 있을 것이다.
- <70> 상기 투명한 도전라인이나 투명한 공통전압라인을 통한 실린트(150)의 관찰은 제1기판(110)과 제2기판(140)이 합착된 후 이루어진다. 즉, 액정패널이 완성된 후 최종검사과정에서 실린트의 선폭이 검사되는 것이다. 물론, 상기 실린트의 선폭은 실린트의 프린팅과정에서도 검사되지만, 완성된 액정패널을 검사하여 선폭이 설정된 선폭에 미달하거나 선폭에 결함이 발생하는 경우(이물질의 혼입이나 실린트의 터짐현상) 완성된 액정패널을 불량으로 판정하여 불량제품이 출하되는 것을 방지하는 것이다.
- <71> 한편, 본 발명이 상기한 바와 같은 구조에만 한정되는 것이 아니라 불투명한 공통전압라인이 직접 실패턴에 접속되는 구조도 가능할 것이다. 이 경우, 불투명한 공통전압라인과 접촉되는 실패턴의 형태를 관찰하기 위해 관찰영역을 형성한다. 이러한 구조의 액정표시소자를 설명하면 다음과 같다.
- <72> 도 9는 본 발명의 제3실시예에 따른 액정표시소자의 구조를 나타내는 평면도이고 도 10은 도 9의 C영역 확대도로서, 불투명한 공통전압라인이 직접 실패턴에 접속되는 구조이다. 이때, 제1실시예 및 제2실시예와 동일한 구조에 대해서는 설명을 생략하고 다른 구조에 대해서만 설명한다.
- <73> 도 9에 도시된 바와 같이, 이 실시예의 액정표시소자에서도 공통전압라인(330)은 제1기판(310)의 2변을 따라 형성되어 있거나, 3변 또는 전체 둘레를 따라 형성되며, 제1기판(310)과 제2기판(340)의 외곽영역에는 실린트(350)가 도포되어 상기 제1기판(310) 및 제2기판(340)을 합착한다. 이때, 상기 공통전압라인(330)은 불투명 금속으로 이루어지며, 실린트(350)가 상기 공통전압라인(330)의 일부와 오버랩된다.
- <74> 도 10에 도시된 바와 같이, 공통전압라인(330)은 전압라인(330a)과 상기 전압라인(330a)로부터 돌출된 복수의 돌기(330b)로 이루어진다. 상기 공통전압라인(330) 위에는 실린트(350)가 프린팅되는데, 상기 실린트(350)는 공통전압라인(330)의 돌기(330b)와 오버랩되어 있다. 이때, 상기 실린트(350)의 폭은 공통전압라인(330)의 돌기(330b)의 폭 보다 작게 형성되어 실린트(350)가 상기 돌기(330b)와 완전히 오버랩될 수도 있다. 물론, 실린트(350)는 돌기(330b) 보다 큰 폭으로 형성되어 그 일부가 공통전압라인(330)의 전압라인(330a)의 일부와 오버랩될 수도 있을 것이다.
- <75> 상기 실린트(350)에 포함된 도전볼은 공통전압라인(330)의 돌기(330b)와 접촉하여 공통전압라인(330)과 실린트(350)를 전기적으로 접속함으로써 외부로부터 공급되는 공통전압을 제2기판(340)의 공통전압으로 인가한다. 이때, 상기 돌기(330b)는 설정된 간격으로 배치된다. 따라서, 이 구조의 액정표시소자에서는 돌기(330b)와 돌기(330b) 사이에 금속이 형성되지 않은 빈공간이 발생한다. 이 빈공간은 투과영역으로서, 일종의 관찰영역(331)이다. 즉, 상기 공통전압라인(330) 상부에 도포된 실린트(350)의 선폭을 관측하기 위한 영역으로서, 상기 관찰영역(331)을 통해 작업자가 육안으로 실린트의 형상을 관찰함으로써 실린트의 선폭 및 불량여부를 관찰할 수 있게 되는 것이다.
- <76> 도 11a 및 도 11b는 도 9의 C-C'선 단면도로서, 도 11a는 바텀게이트방식 박막트랜지스터가 구비된 액정표시소자의 구조를 나타내는 도면이고 도 11b는 탑게이트방식 박막트랜지스터가 구비된 액정표시소자의 구조를 나타내는 도면이다.
- <77> 도 11a에 도시된 바와 같이, 바텀게이트방식의 경우 상기 공통전압라인(330)의 돌기(330b)는 제1기판(310)에 형성된다. 도면에는 도시하지 않았지만, 상기 제1기판(310)에는 상기 돌기(330b)와 접속되는 전압라인(330a)도 형성된다. 상기 공통전압라인(330)은 박막트랜지스터의 게이트전극과 동일한 공정에 의해 동일한 금속으로 형성되지만, 다른 공정에 의해 형성될 수도 있을 것이다. 이때, 상기 돌기(330b) 및 전압라인(330a)은 동일한 폭의 금속을 적층한 후 일부를 일반적인 사진식각공정에 의해 식각함으로써 형성할 수 있을 것이다.
- <78> 상기 돌기(330b)(즉, 공통전압라인(330))의 상부에 형성된 층간절연층(382) 및 보호층(384)은 제거되고 그 상부에 실린트(350)가 형성되어 상기 실린트(350)의 도전볼(356)이 상기 돌기(330b)와 접촉하게 된다. 또한, 상기 도전볼(356)은 제2기판(340)에 형성된 공통전극(344)과 접촉하게 되어, 공통전압라인(330)과 공통전압(344)을

전기적으로 접속시킨다.

- <79> 도 11b에 도시된 바와 같이, 탑게이트방식의 경우 돌기(330b)는 게이트절연층(381)에 형성되며, 그 상부의 층간절연층(382)과 보호층(384)은 제거되어 실린트(350)의 도전볼(356)이 상기 돌기(330b)와 접촉함으로써 공통전압라인(330)을 공통전극(344)과 전기적으로 접속시킨다.
- <80> 상술한 바와 같이, 본 발명의 제3실시예에서는 공통전압라인(330)의 일부를 식각하여 광이 투과하는 관찰영역(331)을 형성하므로, 상기 실린트(350)를 상기 관찰영역(331)을 통해서 관찰할 수 있게 된다.
- <81> 상술한 바와 같이, 이 실시예에서는 실린트(350)를 불투명한 금속으로 이루어진 공통전압라인(330)과 직접 오버랩시킴으로써 제1기관(310)의 공통전압라인(330)을 제2기관(340)의 공통전극(344)과 전기적으로 접속시킨다. 이때, 상기 공통전압라인(330)의 돌기(330b)는 실린트(350)의 도전볼(356)과 접촉하여 공통전압라인(330)과 공통전극(344)을 연결하는 접속라인의 역할을 하고 접압라인(330a)은 외부로부터의 전압이 공급되는 전압인가라인의 역할을 하게 된다.
- <82> 이러한 관점에서 도 10에 도시된 실시예에 대하여 다양한 변형례가 가능할 것이다. 즉, 불투명한 금속으로 공통전압라인(330)을 형성한 뒤, 관찰영역(331)이 구비되어 상부의 실린트(350)의 형태를 관찰할 수 있는 관찰만 있다면 어떠한 형상도 가능할 것이다. 도 12a~도 12c에 다양한 형상의 공통전압라인(330)으로 이루어진 변형례가 도시되어 있지만, 이러한 형상은 본 발명의 몇가지 예에 불과한 것으로, 본 발명이 이러한 형상에만 한정되는 것이 아니라 다양한 형상에 적용될 수 있을 것이다.
- <83> 도 12a에 도시된 바와 같이, 상기 공통전압라인(330)은 일정 폭으로 지그재그로 형성될 수 있다. 이 경우에도 상기 공통전압라인(330) 사이에 관찰영역(331)이 형성되고 실린트(350)는 상기 관찰영역 상부에 형성되어 상기 실린트(350)를 관찰할 수 있게 된다.
- <84> 또한, 도 12b에 도시된 바와 같이, 공통전압라인(330)의 돌기를 일정 각도로 배열할 수도 있을 것이다. 이 경우에도 상기 돌기 사이에 관찰영역이 형성되어 그 상부에 형성되는 실린트(350)의 선폭을 육안으로 관찰할 수 있을 것이다.
- <85> 그리고, 도 12c에 도시된 공통전압라인(330)에서는 그 내부의 일부가 식각되어 윈도우(333)가 형성되어 그 상부의 실린트(350)를 관찰할 수 있게 된다. 이때, 상기 윈도우(333)는 사각형상도 가능하지만, 원형상이나 삼각형상 등의 다각형상도 가능할 것이다.
- <86> 한편, 상술한 상세한 설명에서는 특정한 액정표시소자에 대해서 개시하고 있지만, 본 발명이 이러한 구성의 액정표시소자에만 한정되는 것은 아니다. 본 발명은 제2기관에 공통전극이 형성되어 실린트에 포함된 도전볼을 통해 상기 공통전극에 공통전압을 인가하는 모든 종류의 액정표시소자에 적용될 수 있을 것이다.

발명의 효과

- <87> 상술한 바와 같이, 본 발명에서는 공통전압라인을 투명한 도전물질로 형성하거나 공통전압라인에 관찰영역을 형성하여 상기 공통전압라인 상부에 형성되는 실린트의 선폭을 관찰함으로써 선폭에 불량이 발생하여 제1기관과 제2기관 사이에 합착불량이 발생한 액정패널이 출하되는 것을 방지할 수 있게 된다.

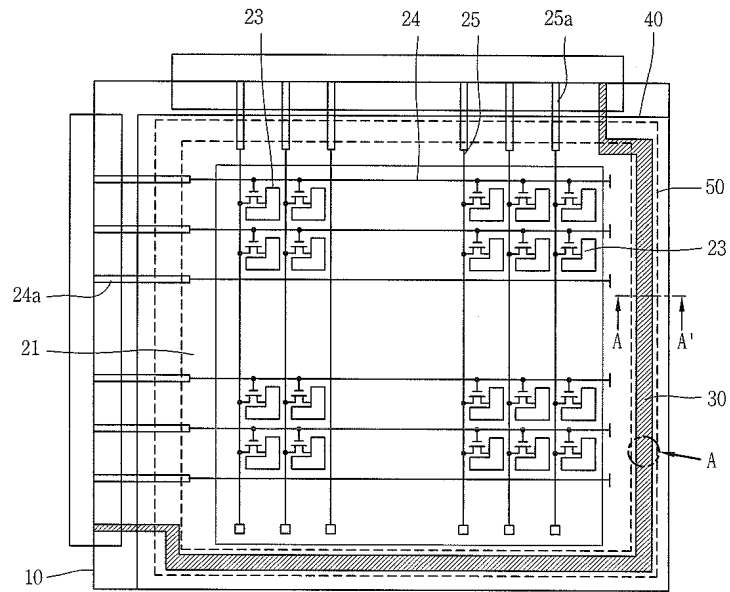
도면의 간단한 설명

- <1> 도 1은 종래 액정표시소자의 구조를 간략하게 나타내는 평면도.
- <2> 도 2는 도 1의 A영역 부분확대도.
- <3> 도 3은 도 1의 A~A'선 단면도.
- <4> 도 4는 본 발명의 제1실시예에 따른 액정표시소자의 구조를 나타내는 평면도.
- <5> 도 5는 도 4의 단면도로서, 바텀게이트방식 박막트랜지스터 액정표시소자의 구조를 나타내는 도면.
- <6> 도 6는 4의 단면도로서, 탑게이트방식 박막트랜지스터 액정표시소자의 구조를 나타내는 도면.
- <7> 도 7은 본 발명의 제2실시예에 따른 액정표시소자의 구조를 나타내는 평면도.
- <8> 도 8a 및 도 8b는 도 7의 B~B'선 단면도.

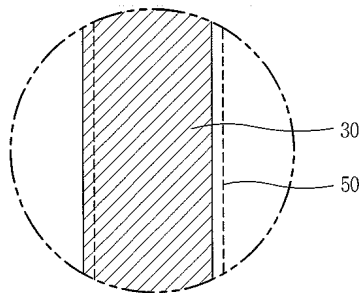
- <9> 도 9는 본 발명의 제3실시예에 따른 액정표시소자의 구조를 나타내는 평면도.
- <10> 도 10은 도 9의 C영역 확대도.
- <11> 도 11a 및 도 11b는 도 9의 C-C' 선 단면도.
- <12> 도 12a~12c는 본 발명의 제3실시예에 따른 액정표시소자의 다른 예를 나타내는 도면.

도면

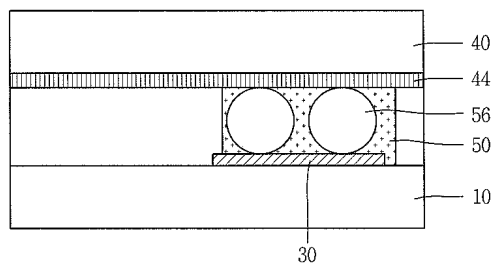
도면1



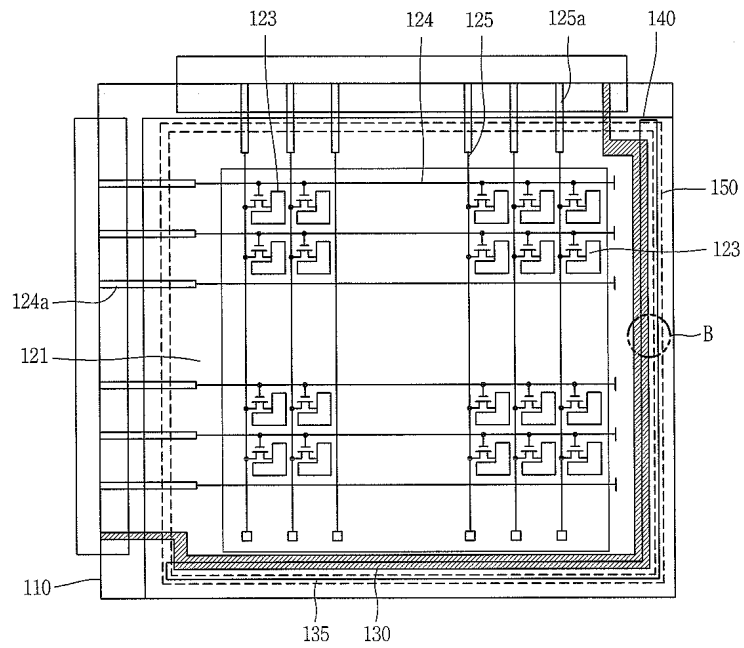
도면2



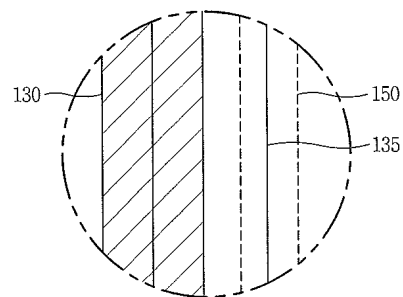
도면3



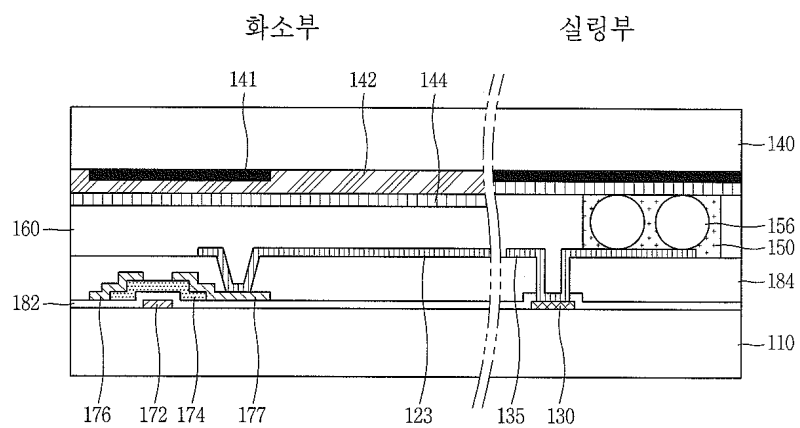
도면4a



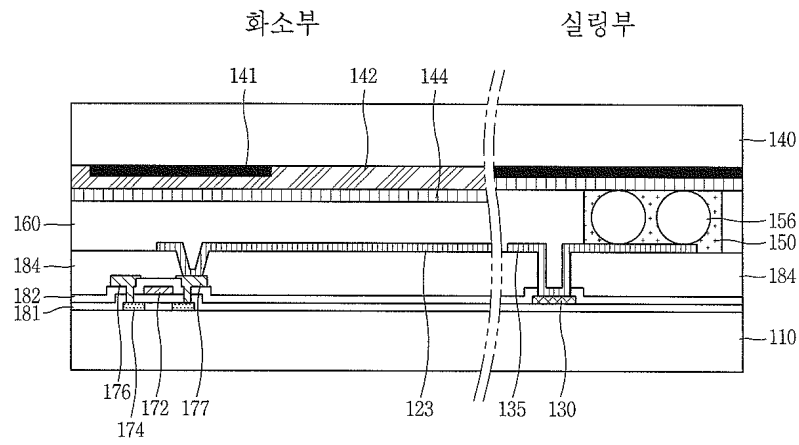
도면4b



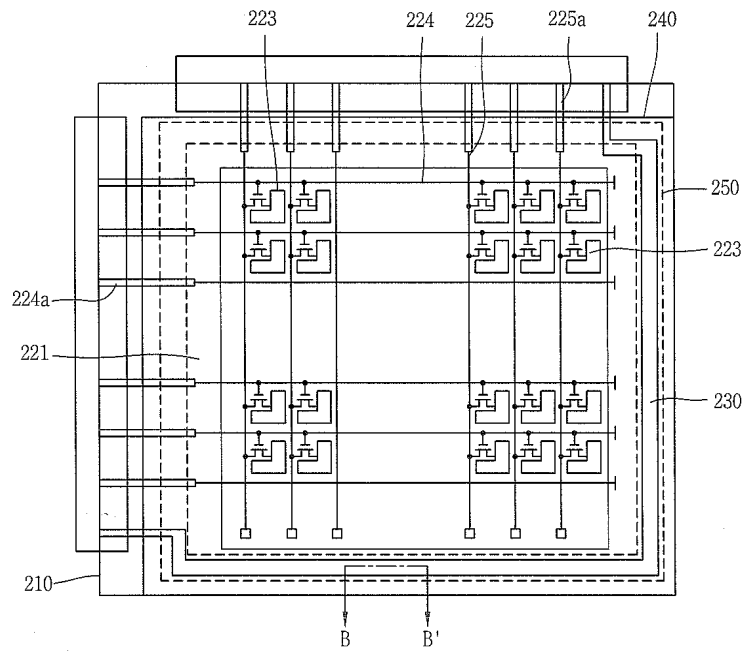
도면5



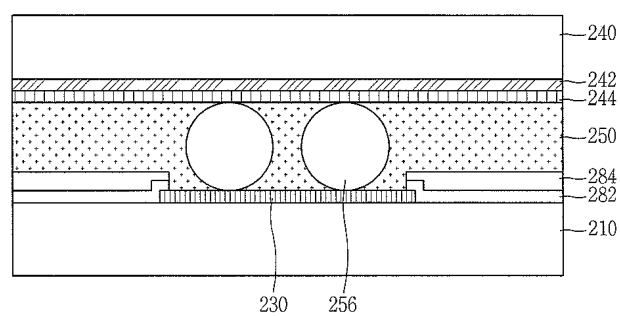
도면6



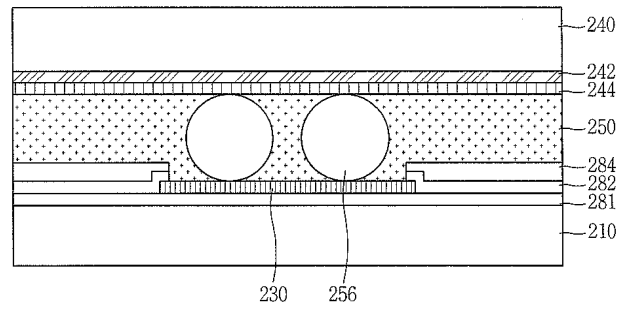
도면7



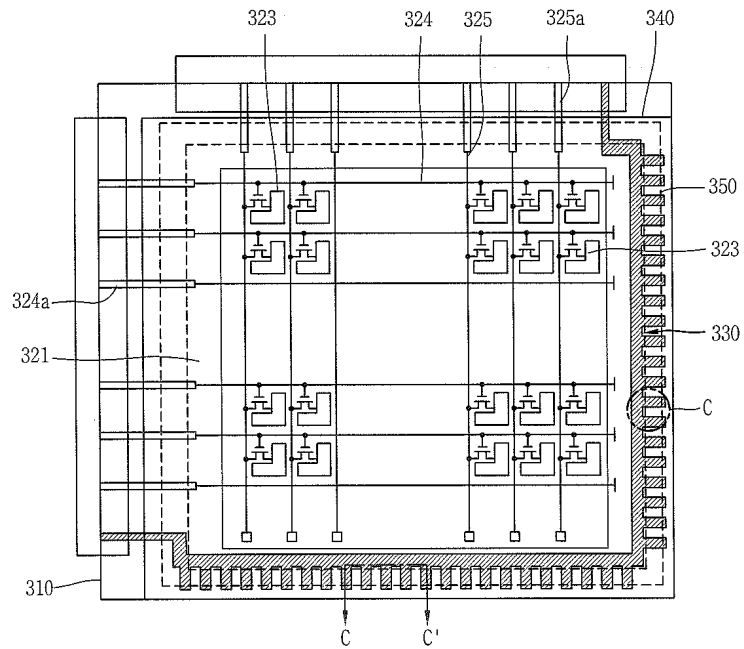
도면8a



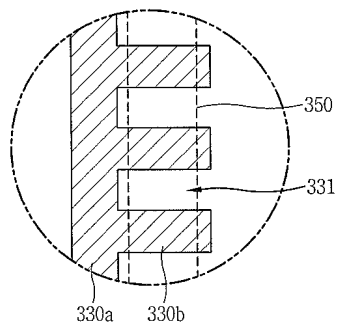
도면8b



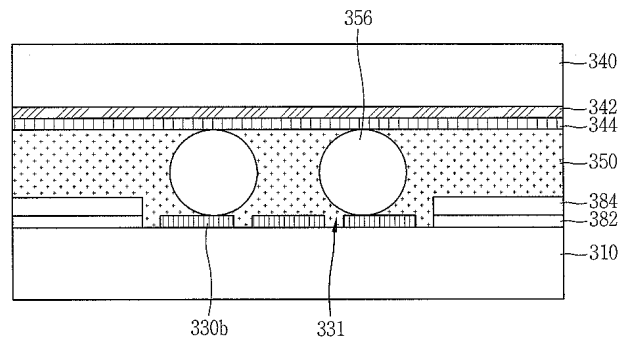
도면9



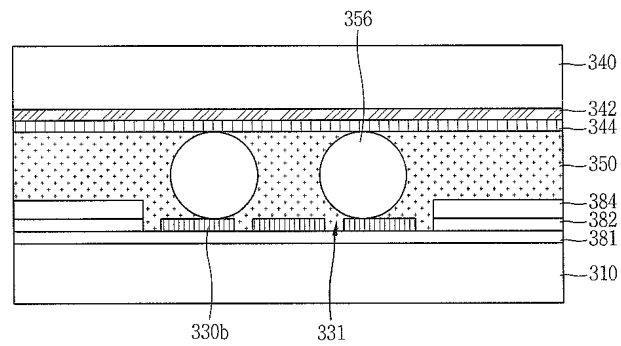
도면10



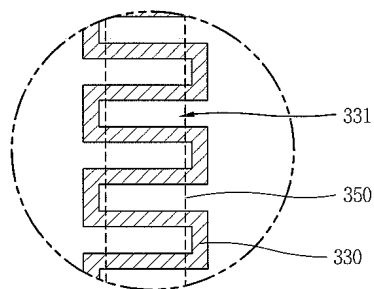
도면11a



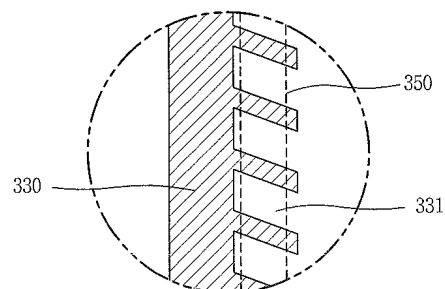
도면11b



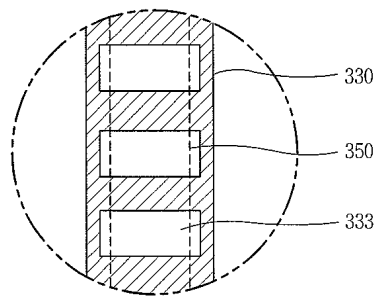
도면12a



도면12b



도면12c



专利名称(译)	液晶显示元件		
公开(公告)号	KR1020080003226A	公开(公告)日	2008-01-07
申请号	KR1020070055705	申请日	2007-06-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JEONG DUK YOUNG		
发明人	JEONG,DUK YOUNG		
IPC分类号	G02F1/13 G02F1/1339		
CPC分类号	G02F1/1309 G02F1/1339 G02F1/1345 G02F2203/69		
代理人(译)	PARK , JANG WON		
优先权	1020060061597 2006-06-30 KR		
外部链接	Espacenet		

摘要(译)

根据本发明的液晶显示装置包括第一基板和第二基板以及多条栅极线和形成在密封剂之间的液晶层，该电容器将公共电压线与第一基板和第二基板电连接。在第一基板中形成并限定多个像素，可以通过视觉检查密封剂的线宽。液晶，密封剂，线宽，观察，公共电压线，传导球。

