



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl.  
G02F 1/1343 (2006.01)

(11) 공개번호 10-2007-0072175  
(43) 공개일자 2007년07월04일

(21) 출원번호 10-2005-0136166  
(22) 출원일자 2005년12월30일  
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사  
서울 영등포구 여의도동 20번지  
(72) 발명자 탁영미  
서울 관악구 남현동 602-54 9/5 2층 201호  
(74) 대리인 박장원

전체 청구항 수 : 총 29 항

(54) 횡전계방식 액정표시장치

(57) 요약

본 발명의 횡전계방식 액정표시장치는 2ITO(Indium Tin Oxide)구조를 적용시킨 횡전계방식 액정표시장치에 있어서 전극구조를 변경함으로써 액정 전경(disclination)영역을 감소시키며 합착 마진에 의한 휘도 변화를 감소시키기 위한 것으로, 제 1 기판에 종횡으로 배열되어 복수개의 화소영역을 정의하는 복수개의 게이트라인 및 데이터라인; 상기 게이트라인과 데이터라인의 교차영역에 형성되며, 액티브층과 소오스전극 및 드레인전극으로 이루어진 박막 트랜지스터; 상기 게이트라인 방향으로 배열되는 공통전극라인; 상기 게이트라인과 소정의 기울임 각을 가지며 상기 화소영역의 상, 하부에 각각 교대로 배치되어 횡전계를 발생시키는 다수개의 제 1 화소전극과 제 1 공통전극 및 다수개의 제 2 화소전극과 제 2 공통전극; 및 상기 제 1 기판과 대향하여 합착하는 제 2 기판을 포함한다.

대표도

도 8

특허청구의 범위

청구항 1.

제 1 기판에 종횡으로 배열되어 복수개의 화소영역을 정의하는 복수개의 게이트라인 및 데이터라인;

상기 게이트라인과 데이터라인의 교차영역에 형성되며, 액티브층과 소오스전극 및 드레인전극으로 이루어진 박막 트랜지스터;

상기 게이트라인 방향으로 배열되는 공통전극라인;

상기 게이트라인과 소정의 기울임 각을 가지며 상기 화소영역의 상, 하부에 각각 교대로 배치되어 횡전계를 발생시키는 다수개의 제 1 화소전극과 제 1 공통전극 및 다수개의 제 2 화소전극과 제 2 공통전극; 및

상기 제 1 기판과 대향하여 합착하는 제 2 기판을 포함하는 횡전계방식 액정표시장치.

## 청구항 2.

제 1 항에 있어서, 제 1 콘택홀을 통해 상기 드레인전극과 전기적으로 접속하는 화소전극라인을 추가로 포함하는 것을 특징으로 하는 액정표시장치.

## 청구항 3.

제 1 항에 있어서, 제 2 콘택홀을 통해 상기 공통전극라인과 전기적으로 접속하는 공통전극패턴을 추가로 포함하는 것을 특징으로 하는 액정표시장치.

## 청구항 4.

제 1 항에 있어서, 상기 제 1, 2 화소전극과 제 1, 2 공통전극은 인듐-틴-옥사이드 또는 인듐-징크-옥사이드와 같은 투명한 도전물질로 이루어진 것을 특징으로 하는 액정표시장치.

## 청구항 5.

제 1 항에 있어서, 상기 제 1 공통전극과 제 2 공통전극 및 상기 제 1 화소전극과 제 2 화소전극은 각각 상기 게이트라인 방향에 대하여 대칭인 구조를 가지는 것을 특징으로 하는 액정표시장치.

## 청구항 6.

제 1 항에 있어서, 상기 화소영역의 상, 하부에 서로 다른 방향으로 기울어진 상기 제 1 화소전극과 제 1 공통전극 및 상기 제 2 화소전극과 제 2 공통전극은 상기 화소영역의 상, 하부를 두 개의 도메인으로 나누는 것을 특징으로 하는 액정표시장치.

## 청구항 7.

제 2 항에 있어서, 상기 화소전극라인과 상기 제 1 화소전극 및 제 2 화소전극을 서로 연결시키는 제 1 연결라인을 추가로 포함하는 것을 특징으로 하는 액정표시장치.

## 청구항 8.

제 1 항에 있어서, 상기 공통전극라인과 상기 제 1 공통전극 및 제 2 공통전극을 서로 연결시키는 제 2 연결라인을 추가로 포함하는 것을 특징으로 하는 액정표시장치.

## 청구항 9.

제 1 항에 있어서, 상기 공통전극라인은 상기 화소영역의 상, 하부에 하나씩 배치되며, 상기 상, 하부의 공통전극라인은 상기 데이터라인과 평행하게 배치된 브랜치에 의해 서로 연결되는 것을 특징으로 하는 액정표시장치.

#### 청구항 10.

제 9 항에 있어서, 상기 브랜치는 소정영역이 상기 제 1 공통전극 또는 제 2 공통전극을 향하여 돌출한 돌출부를 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 11.

제 10 항에 있어서, 상기 브랜치의 돌출부는 상기 제 1 공통전극 또는 제 2 공통전극의 단부와 오버랩되는 것을 특징으로 하는 액정표시장치.

#### 청구항 12.

제 1 항에 있어서, 상기 제 1 공통전극과 제 2 공통전극은 서로 다른 방향을 향해 뻗어있으며, 상기 제 1 화소전극과 제 2 화소전극은 서로 다른 방향을 향해 뻗어있는 것을 특징으로 하는 액정표시장치.

#### 청구항 13.

제 12 항에 있어서, 제 1 콘택홀을 통해 상기 드레인전극라인과 전기적으로 접속하는 화소전극라인을 추가로 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 14.

제 12 항에 있어서, 상기 공통전극라인은 제 2 콘택홀을 통해 상기 제 1 공통전극과 전기적으로 접속하는 제 1 공통전극라인을 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 15.

제 14 항에 있어서, 상기 공통전극라인은 제 3 콘택홀을 통해 상기 제 2 공통전극과 전기적으로 접속하는 제 2 공통전극라인을 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 16.

제 12 항에 있어서, 상기 화소전극라인과 제 1 화소전극 및 제 2 화소전극을 서로 연결시키는 화소영역 좌우의 제 1 연결라인을 추가로 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 17.

제 15 항에 있어서, 상기 제 1 공통전극라인과 제 1 공통전극 및 상기 제 2 공통전극라인과 제 2 공통전극을 각각 서로 연결시키는 화소영역 좌우의 제 2 연결라인을 추가로 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 18.

제 12 항에 있어서, 상기 공통전극라인은 상기 화소영역의 상, 하부에 하나씩 배치되며, 상기 상, 하부의 공통전극라인은 상기 데이터라인과 평행하게 배치된 브랜치에 의해 서로 연결되는 것을 특징으로 하는 액정표시장치.

#### 청구항 19.

제 18 항에 있어서, 상기 브랜치는 소정영역이 상기 제 1 공통전극 또는 제 2 공통전극을 향하여 돌출한 돌출부를 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 20.

제 19 항에 있어서, 상기 브랜치의 돌출부는 상기 제 1 공통전극 또는 제 2 공통전극의 단부와 오버랩되는 것을 특징으로 하는 액정표시장치.

#### 청구항 21.

제 20 항에 있어서, 상기 브랜치와 상기 제 1 공통전극 또는 제 2 공통전극 사이의 오버랩은 화소영역의 상, 하부에 대하여 좌우로 구분되어 있는 것을 특징으로 하는 액정표시장치.

#### 청구항 22.

제 15 항에 있어서, 상기 데이터라인과 평행하게 배치되어 상기 제 1 공통전극라인과 연결되는 제 1 브랜치를 추가로 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 23.

제 22 항에 있어서, 상기 데이터라인과 평행하게 배치되어 상기 제 2 공통전극라인과 연결되는 제 2 브랜치를 추가로 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 24.

제 23 항에 있어서, 상기 제 1 브랜치는 소정영역이 상기 제 1 공통전극을 향하여 돌출한 제 1 돌출부를 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 25.

제 24 항에 있어서, 상기 제 1 브랜치의 제 1 돌출부는 상기 제 1 공통전극의 단부와 오버랩되는 것을 특징으로 하는 액정표시장치.

#### 청구항 26.

제 23 항에 있어서, 상기 제 2 브랜치는 소정영역이 상기 제 2 공통전극을 향하여 돌출한 제 2 돌출부를 포함하는 것을 특징으로 하는 액정표시장치.

## 청구항 27.

제 26 항에 있어서, 상기 제 2 브랜치의 제 2 돌출부는 상기 제 2 공통전극의 단부와 오버랩되는 것을 특징으로 하는 액정표시장치.

## 청구항 28.

제 23 항에 있어서, 상기 제 2 연결라인이 위치하는 영역은 상기 제 1 브랜치 또는 제 2 브랜치가 제거된 것을 특징으로 하는 액정표시장치.

## 청구항 29.

제 23 항에 있어서, 상기 제 1 브랜치와 상기 제 2 브랜치가 서로 연결된 것을 특징으로 하는 액정표시장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 횡전계방식 액정표시장치에 관한 것으로, 보다 상세하게는 내부전극이 2ITO(Indium Tin Oxide)구조를 가지며 수평한(horizontal) 방향으로 형성된 횡전계(In Plane Switching; IPS)방식 액정표시장치에 관한 것이다.

최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 이러한 평판표시장치 중 액정표시장치(Liquid Crystal Display; LCD)는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.

상기 액정표시장치는 크게 제 1 기판인 컬러필터(color filter) 기판과 제 2 기판인 어레이(array) 기판 및 상기 컬러필터 기판과 어레이 기판 사이에 형성된 액정층(liquid crystal layer)으로 구성된다.

이때, 상기 액정표시장치의 스위칭소자로는 일반적으로 박막 트랜지스터(Thin Film Transistor; TFT)를 사용하며, 상기 박막 트랜지스터의 채널층으로는 비정질 실리콘(amorphous silicon) 박막을 사용한다.

이하, 도 1을 참조하여 일반적인 액정표시장치에 대해서 상세히 설명한다.

도 1은 일반적인 액정표시장치의 구조를 개략적으로 나타내는 분해사시도이다.

도면에 도시된 바와 같이, 상기 액정표시장치는 크게 컬러필터 기판(5)과 어레이 기판(10) 및 상기 컬러필터 기판(5)과 어레이 기판(10) 사이에 형성된 액정층(liquid crystal layer)(30)으로 구성된다.

상기 컬러필터 기관(5)은 적(Red; R), 녹(Green; G) 및 청(Blue; B)의 색상을 구현하는 다수의 서브-컬러필터(7)로 구성된 컬러필터(C)와 상기 서브-컬러필터(7) 사이를 구분하고 액정층(30)을 투과하는 광을 차단하는 블랙매트릭스(black matrix)(6), 그리고 상기 액정층(30)에 전압을 인가하는 투명한 공통전극(8)으로 이루어져 있다.

또한, 상기 어레이 기관(10)은 종횡으로 배열되어 복수개의 화소영역(P)을 정의하는 복수개의 게이트라인(16)과 데이터라인(17), 상기 게이트라인(16)과 데이터라인(17)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터(T) 및 상기 화소영역(P) 위에 형성된 화소전극(18)으로 이루어져 있다.

이와 같이 구성된 상기 컬러필터 기관(5)과 어레이 기관(10)은 화상표시 영역의 외곽에 형성된 실런트(sealant)(미도시)에 의해 대향하도록 합착되어 액정표시패널을 구성하며, 상기 컬러필터 기관(5)과 어레이 기관(10)의 합착은 상기 컬러필터 기관(5) 또는 어레이 기관(10)에 형성된 합착키(미도시)를 통해 이루어진다.

이때, 상기 액정표시장치에 일반적으로 사용되는 구동방식으로 네마틱상의 액정분자를 기관에 대해 수직 방향으로 구동시키는 트위스티드 네마틱(Twisted Nematic; TN)방식이 있으나, 상기 방식의 액정표시장치는 시야각이 90도 정도로 좁다는 단점을 가지고 있다. 이것은 액정분자의 굴절률 이방성(refractive anisotropy)에 기인하는 것으로 기관과 수평하게 배향된 액정분자가 액정표시패널에 전압이 인가될 때 기관과 거의 수직방향으로 배향되기 때문이다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상기한 문제를 해결하기 위한 것으로, 내부전극이 2ITO구조를 가지며 수평한 방향으로 형성된 횡전계방식 액정표시장치를 제공하는 것을 목적으로 한다.

본 발명의 다른 목적은 액정의 전경영역을 감소시킨 횡전계방식 액정표시장치를 제공하는데 있다.

본 발명의 또 다른 목적은 어레이 기관과 컬러필터 기관의 합착 불량에 따른 휘도변화를 최소화한 횡전계방식 액정표시장치를 제공하는데 있다.

본 발명의 또 다른 목적은 개구율을 향상시키는 동시에 충분한 합착 마진을 확보할 수 있는 횡전계방식 액정표시장치를 제공하는데 있다.

본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

### 발명의 구성

상기한 목적을 달성하기 위하여, 본 발명의 횡전계방식 액정표시장치는 제 1 기관에 종횡으로 배열되어 복수개의 화소영역을 정의하는 복수개의 게이트라인 및 데이터라인; 상기 게이트라인과 데이터라인의 교차영역에 형성되며, 액티브층과 소오스전극 및 드레인전극으로 이루어진 박막 트랜지스터; 상기 게이트라인 방향으로 배열되는 공통전극라인; 상기 게이트라인과 소정의 기울임 각을 가지며 상기 화소영역의 상, 하부에 각각 교대로 배치되어 횡전계를 발생시키는 다수개의 제 1 화소전극과 제 1 공통전극 및 다수개의 제 2 화소전극과 제 2 공통전극; 및 상기 제 1 기관과 대향하여 합착하는 제 2 기관을 포함한다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 횡전계방식의 바람직한 실시예를 상세히 설명한다.

도 2는 본 발명의 제 1 실시예에 따른 어레이 기관의 일부를 개략적으로 나타내는 평면이며, 도 3은 도 2에 도시된 어레이 기관의 IIa-IIa'선에 따른 단면을 나타내는 도면이다. 또한, 도 4는 도 2에 도시된 어레이 기관의 IIb-IIb'선에 따른 단면을 나타내는 도면이다.

상기 제 1 실시예의 액정표시장치는 액정분자를 기관에 대해 수평한 방향으로 구동시켜 시야각을 170도 이상으로 향상시킨 횡전계방식 액정표시장치로써, 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 한 화소만을 나타내었다.

도면에 도시된 바와 같이, 본 실시예의 어레이 기관(110)에는 투명한 유리기관(110) 위에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(116)과 데이터라인(117)이 형성되어 있으며, 상기 게이트라인(116)과 데이터라인(117)의 교차영역에는 스위칭소자인 박막 트랜지스터(Thin Film Transistor; TFT)가 형성되어 있다.

상기 박막 트랜지스터는 상기 게이트라인(116)의 일부로 형성된 게이트전극(121), 상기 데이터라인(117)에 연결된 소오스전극(122) 및 화소전극라인(118L)을 통해 화소전극(118', 118")에 연결된 드레인전극(123)으로 구성된다. 또한, 상기 박막 트랜지스터는 상기 게이트전극(121)과 소오스/드레인전극(122, 123)의 절연을 위한 제 1 절연막(115B) 및 상기 게이트전극(121)에 공급되는 게이트전압에 의해 상기 소오스전극(122)과 드레인전극(123) 간에 전도채널(conductive channel)을 형성하는 액티브층(124)을 포함한다.

이때, 상기 화소영역 내에는 횡전계를 발생시키기 위해 공통전극(108', 108")과 화소전극(118', 118")이 교대로 배치되어 있다. 상기 공통전극(108', 108")과 화소전극(118', 118")은 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투명한 도전물질로 동일한 평면상에 형성되어 있다.

이와 같이 본 실시예의 액정표시장치는 공통전극(108', 108")과 화소전극(118', 118")이 모두 투명한 도전물질로 이루어진 2ITO구조로 되어있는데, 이는 하나의 내부전극, 즉 공통전극이나 화소전극을 불투명한 도전물질로 형성할 경우 상기 전극영역에서의 빛샘으로 인해 대비비(contrast ratio)가 저하되거나 전계 비대칭에 의한 잔상이 문제되기 때문에 이를 개선하기 위함이다.

상기 공통전극(108', 108")은 화소영역의 상부에 위치한 제 1 공통전극(108')과 상기 화소영역의 하부에 위치한 제 2 공통전극(108")으로 나뉘어진다. 또한, 상기 화소전극(118', 118")은 상기 화소영역의 상부에 위치하여 상기 제 1 공통전극(108')과 교대로 배치되는 제 1 화소전극(118')과 상기 화소영역의 하부에 위치하여 상기 제 2 공통전극(108")과 교대로 배치되는 제 2 화소전극(118")으로 나뉘어진다.

이와 같이 화소영역은 상기 공통전극(108', 108")과 화소전극(118', 118")이 러빙방향에 대해 제 1 기울임 각을 갖는 화소영역의 상부와 상기 공통전극(108', 108")과 화소전극(118', 118")이 러빙방향에 대해 제 2 기울임 각을 갖는 화소영역의 하부로 나뉘어지며, 이때 상기 러빙방향은 상기 게이트라인(116)과 나란한 방향이 될 수 있다.

그리고, 상기 제 1 공통전극(108')과 제 2 공통전극(108") 및 제 1 화소전극(118')과 제 2 화소전극(118")은 각각 상기 러빙방향에 대하여 대칭인 구조를 갖는다. 이때, 상기 제 1 기울임 각과 제 2 기울임 각은 보통 5~20°범위를 갖는다.

이와 같이 본 실시예의 액정표시장치는 화소영역의 상, 하부에 서로 다른 방향으로 기울어진 공통전극(108', 108")과 화소전극(118', 118")을 형성함으로써 상기 화소영역의 상, 하부를 두 개의 도메인(domain)으로 나눌 수 있어 시야각(viewing angle)을 향상시킬 수 있는 이점이 있다.

이때, 상기 화소전극(118', 118")은 화소전극라인(118L)에 연결되어 제 2 절연막(115B)에 형성된 제 1 콘택홀(140A)을 통해 상기 드레인전극(123)과 전기적으로 접속하게 되며, 상기 공통전극(108', 108")은 공통전극패턴(108B)에 연결되어 상기 제 1 절연막(115A)과 제 2 절연막(115B)에 형성된 제 2 콘택홀(140B)을 통해 상기 게이트라인(116)과 평행하게 배치된 공통전극라인(108L)에 전기적으로 접속하게 된다.

이때, 상기 화소전극라인(118L)과 상기 제 1 화소전극(118') 및 제 2 화소전극(118")은 상기 데이터라인(117)과 평행하게 배치된 제 1 연결라인(118C)에 의해 서로 연결되며, 상기 공통전극라인(108L)과 제 1 공통전극(108') 및 제 2 공통전극(108")은 상기 데이터라인(117)과 평행하게 배치된 제 2 연결라인(108C)에 의해 서로 연결된다. 또한, 상기 화소영역의 상, 하부에 배치된 공통전극라인(108L)은 상기 데이터라인(117)과 평행하게 배치된 브랜치(108A)에 의해 서로 연결되게 된다.

상기 데이터라인(117)에 인접하는 제 1 연결라인(118C)과 제 2 연결라인(108C)의 위치는 인버전(inversion) 구동 방식에 따라 변경되어 질 수 있다. 예를 들어 수평 2도트-인버전(dot inversion) 구동의 경우에는 Cdp 감소 설계를 하며, 수평 1도트-인버전 구동의 경우에는 Cdc 감소 설계를 하게 된다. 여기서, 상기 Cdp는 데이터라인(117)과 제 1 연결라인(118C) 사이의 커패시턴스를 나타내며, 상기 Cdc는 상기 데이터라인(117)과 제 2 연결라인(108C) 사이의 커패시턴스를 나타낸다.

참고로, 도 3에 도시된 도면부호 125는 상기 소오스/드레인(122, 123)과 액티브층(124)의 소정영역 사이를 오믹-콘택시키는 오믹-콘택층을 나타낸다.

도 5는 본 발명의 제 2 실시예에 따른 어레이 기관의 일부를 개략적으로 나타내는 평면도이며, 도 6은 도 5에 도시된 어레이 기관의 A부분을 확대하여 나타내는 도면이다.

이때, 상기 제 2 실시예의 어레이 기관은 상기 제 1 실시예의 어레이 기관 구조에서 공통전극의 단부가 브랜치의 돌출된 영역에 오버랩되는 것을 제외하고는 동일한 구조로 이루어져 있다.

도면에 도시된 바와 같이, 본 실시예의 어레이 기관(210)에는 투명한 유리기관(210) 위에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(216)과 데이터라인(217)이 형성되어 있으며, 상기 게이트라인(216)과 데이터라인(217)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있다.

상기 박막 트랜지스터는 상기 게이트라인(216)의 일부로 형성된 게이트전극(221), 상기 데이터라인(217)에 연결된 소오스전극(222) 및 화소전극라인(218L)을 통해 화소전극(218', 218")에 연결된 드레인전극(223)으로 구성된다. 또한, 상기 박막 트랜지스터는 상기 게이트전극(221)과 소오스/드레인전극(222, 223)의 절연을 위한 제 1 절연막(미도시) 및 상기 게이트전극(221)에 공급되는 게이트전압에 의해 상기 소오스전극(222)과 드레인전극(223) 간에 전도채널을 형성하는 액티브층(미도시)을 포함한다.

이때, 상기 화소영역 내에는 횡전계를 발생시키기 위해 공통전극(208', 208")과 화소전극(218', 218")이 교대로 배치되어 있다.

상기 공통전극(208', 208")은 화소영역의 상부에 위치한 제 1 공통전극(208')과 상기 화소영역의 하부에 위치한 제 2 공통전극(208")으로 나뉘어진다. 또한, 상기 화소전극(218', 218")은 상기 화소영역의 상부에 위치하여 상기 제 1 공통전극(208')과 교대로 배치되는 제 1 화소전극(218')과 상기 화소영역의 하부에 위치하여 상기 제 2 공통전극(208")과 교대로 배치되는 제 2 화소전극(218")으로 나뉘어진다.

이때, 상기 화소전극(218', 218")은 화소전극라인(218L)에 연결되어 제 2 절연막(미도시)에 형성된 제 1 콘택홀(240A)을 통해 상기 드레인전극(223)과 전기적으로 접속하게 되며, 상기 공통전극(208', 208")은 공통전극패턴(208B)에 연결되어 제 1 절연막과 제 2 절연막에 형성된 제 2 콘택홀(240B)을 통해 상기 게이트라인(216)과 평행하게 배치된 공통전극라인(208L)에 전기적으로 접속하게 된다.

이때, 상기 화소전극라인(218L)과 상기 제 1 화소전극(218') 및 제 2 화소전극(218")은 상기 데이터라인(217)과 평행하게 배치된 제 1 연결라인(218C)에 의해 서로 연결되며, 상기 공통전극라인(208L)과 상기 제 1 공통전극(208') 및 제 2 공통전극(208")은 상기 데이터라인(217)과 평행하게 배치된 제 2 연결라인(208C)에 의해 서로 연결된다. 또한, 상기 화소영역의 상, 하부에 배치된 공통전극라인(208L)은 상기 데이터라인(217)과 평행하게 배치된 브랜치(208A)에 의해 서로 연결되게 된다.

이때, 도 6을 참조하면, 상기 제 2 실시예의 액정표시장치는 상기 브랜치(208A)의 소정영역이 상기 공통전극(208', 208")을 향하여 돌출한 돌출부(208P)를 형성하도록 하며, 상기 공통전극(208', 208")의 단부를 상기 브랜치(208A)의 돌출부(208P)와 오버랩되도록 함으로써 기존의 액정표시장치에 비해 액정 전경영역을 반정도 감소시킬 수 있게 된다.

도 7은 본 발명의 제 3 실시예에 따른 어레이 기관의 일부를 개략적으로 나타내는 평면도로써, 데이터라인의 일측에 Cpd가 존재하고 다른 일측에 Cdc가 존재하는 구조를 나타내고 있다.

이때, 상기 제 3 실시예의 어레이 기관은 상기 제 2 실시예의 어레이 기관 구조에서 어레이 기관과 컬러필터 기관의 합착불량에 따른 휘도변화를 최소화하기 위해 액정 전경이 발생하는 영역을 하나의 화소영역에 대해 좌우로 분산시키는 것을 제외하고는 동일한 구조로 이루어져 있다.

도면에 도시된 바와 같이, 본 실시예의 어레이 기관(310)에는 투명한 유리기관(310) 위에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(316)과 데이터라인(317)이 형성되어 있으며, 상기 게이트라인(316)과 데이터라인(317)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있다.

상기 박막 트랜지스터는 상기 게이트라인(316)의 일부로 형성된 게이트전극(321), 상기 데이터라인(317)에 연결된 소오스전극(322) 및 화소전극라인(318L)을 통해 화소전극(318', 318")에 연결된 드레인전극(323)으로 구성된다. 또한, 상기 박막 트랜지스터는 상기 게이트전극(321)과 소오스/드레인전극(322, 323)의 절연을 위한 제 1 절연막(미도시) 및 상기 게이트전극(321)에 공급되는 게이트전압에 의해 상기 소오스전극(322)과 드레인전극(323) 간에 전도채널을 형성하는 액티브층(미도시)을 포함한다.

이때, 상기 화소영역 내에는 횡전계를 발생시키기 위해 공통전극(308', 308")과 화소전극(318', 318")이 교대로 배치되어 있다.

상기 공통전극(308', 308")은 화소영역의 상부에 위치한 제 1 공통전극(308')과 상기 화소영역의 하부에 위치한 제 2 공통전극(308")으로 나뉘어진다. 또한, 상기 화소전극(318', 318")은 상기 화소영역의 상부에 위치하여 상기 제 1 공통전극(308')과 교대로 배치되는 제 1 화소전극(318')과 상기 화소영역의 하부에 위치하여 상기 제 2 공통전극(308")과 교대로 배치되는 제 2 화소전극(318")으로 나뉘어진다.

이때, 상기 제 1 공통전극(308')과 제 2 공통전극(308")은 서로 다른 방향을 향해 뻗어있으며, 상기 제 1 화소전극(318')과 제 2 화소전극(318") 역시 서로 다른 방향을 향해 뻗어있다.

상기 화소전극(318', 318")은 화소전극라인(318L)에 연결되어 제 2 절연막(미도시)에 형성된 제 1 콘택홀(340A)을 통해 상기 드레인전극(323)과 전기적으로 접속하게 된다. 또한, 상기 제 1 공통전극(308')은 제 1 공통전극패턴(308B')에 연결되어 상기 제 1 절연막과 제 2 절연막에 형성된 제 2 콘택홀(340B)을 통해 화소영역 상부의 제 1 공통전극라인(308L')에 전기적으로 접속하며, 상기 제 2 공통전극(308")은 제 2 공통전극패턴(308B")에 연결되어 상기 제 1 절연막과 제 2 절연막에 형성된 제 3 콘택홀(340C)을 통해 화소영역 하부의 제 2 공통전극라인(308L")에 전기적으로 접속하게 된다.

이때, 상기 화소전극라인(318L)과 제 1 화소전극(318') 및 제 2 화소전극(318")은 좌우의 제 1 연결라인(318C', 318C")에 의해 서로 연결되며, 상기 제 1 공통전극라인(308L')과 제 1 공통전극(308') 및 상기 제 2 공통전극라인(308L")과 제 2 공통전극(308")은 각각 좌우의 제 2 연결라인(308C', 308C")에 의해 서로 연결된다. 또한, 상기 화소영역의 상, 하부에 배치된 공통전극라인(308L', 308L")은 상기 데이터라인(317)과 평행하게 배치된 브랜치(308A)에 의해 서로 연결되게 된다.

이때, 상기 제 3 실시예는 상기 제 2 실시예와 유사하게 상기 브랜치(308A)의 소정영역이 상기 공통전극(308', 308")을 향하여 돌출한 돌출부를 형성하도록 하며, 상기 공통전극(308', 308")의 단부를 상기 브랜치(308A)의 돌출부와 오버랩되도록 함으로써 기존의 액정표시장치에 비해 액정 전경영역을 감소시킬 수 있게 된다. 또한, 상기의 공통전극(308', 308")과 브랜치(308A)의 오버랩은 화소영역의 상, 하부에 대해 좌우로 구분되어 있어 상기 액정의 전경영역이 좌우로 분산되는 효과를 얻을 수 있다.

이와 같이 상기 제 3 실시예의 액정표시장치는 데이터라인(317) 일측에 Cdp가 존재하고 다른 일측에 Cdc가 존재하도록 구성함으로써 상기 제 1 실시예와 제 2 실시예에 비해 제 3 콘택홀(340C)이 추가로 필요하게 되나, 구동 방식에 따른 특이 불량이 감소될 수 있으며, 액정 전경영역이 좌우로 분산되는 효과를 얻을 수 있게 된다. 그리고, 이러한 효과로 상기 어레이 기판(310)과 컬러필터 기판(미도시)의 합착 불량시 발생하는 휘도 변화량을 감소시킬 수 있게 된다.

도 8은 본 발명의 제 4 실시예에 따른 어레이 기판의 일부를 개략적으로 나타내는 평면도로써, 개구율을 향상시키는 동시에 합착마진을 확보할 수 있는 구조를 나타내고 있다.

이때, 상기 제 4 실시예의 어레이 기판은 상기 제 3 실시예의 어레이 기판 구조에서 제 2 연결라인과 브랜치가 오버랩되는 영역의 브랜치를 제거하고 상기 제 2 연결라인을 외곽으로 이동시킨 구조로 이루어져 있다.

도면에 도시된 바와 같이, 본 실시예의 어레이 기판(410)에는 투명한 유리기판(410) 위에 중황으로 배열되어 화소영역을 정의하는 게이트라인(416)과 데이터라인(417)이 형성되어 있으며, 상기 게이트라인(416)과 데이터라인(417)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있다.

상기 박막 트랜지스터는 상기 게이트라인(416)의 일부로 형성된 게이트전극(421), 상기 데이터라인(417)에 연결된 소오스전극(422) 및 화소전극라인(418L)을 통해 화소전극(418', 418")에 연결된 드레인전극(423)으로 구성된다. 또한, 상기

박막 트랜지스터는 상기 게이트전극(421)과 소오스/드레인전극(422, 423)의 절연을 위한 제 1 절연막(미도시) 및 상기 게이트전극(421)에 공급되는 게이트전압에 의해 상기 소오스전극(422)과 드레인전극(423) 간에 전도채널을 형성하는 액티브층(미도시)을 포함한다.

이때, 상기 화소영역 내에는 횡전계를 발생시키기 위해 공통전극(408', 408")과 화소전극(418', 418")이 교대로 배치되어 있다.

상기 공통전극(408', 408")은 화소영역의 상부에 위치한 제 1 공통전극(408')과 상기 화소영역의 하부에 위치한 제 2 공통전극(408")으로 나뉘어진다. 또한, 상기 화소전극(418', 418")은 상기 화소영역의 상부에 위치하여 상기 제 1 공통전극(408')과 교대로 배치되는 제 1 화소전극(418')과 상기 화소영역의 하부에 위치하여 상기 제 2 공통전극(408")과 교대로 배치되는 제 2 화소전극(418")으로 나뉘어진다.

이때, 상기 제 1 공통전극(408')과 제 2 공통전극(408")은 서로 다른 방향을 향해 뻗어있으며, 상기 제 1 화소전극(418')과 제 2 화소전극(418") 역시 서로 다른 방향을 향해 뻗어있다.

상기 화소전극(418', 418")은 화소전극라인(418L)에 연결되어 제 2 절연막(미도시)에 형성된 제 1 콘택홀(440A)을 통해 상기 드레인전극(423)과 전기적으로 접속하게 된다. 또한, 상기 제 1 공통전극(408')은 제 1 공통전극패턴(408B')에 연결되어 상기 제 1 절연막과 제 2 절연막에 형성된 제 2 콘택홀(440B)을 통해 화소영역 상부의 제 1 공통전극라인(408L')에 전기적으로 접속하며, 상기 제 2 공통전극(408")은 제 2 공통전극패턴(408B")에 연결되어 상기 제 1 절연막과 제 2 절연막에 형성된 제 3 콘택홀(440C)을 통해 화소영역 하부의 제 2 공통전극라인(408L")에 전기적으로 접속하게 된다.

이때, 상기 화소전극라인(418L)과 제 1 화소전극(418') 및 제 2 화소전극(418")은 좌우의 제 1 연결라인(418C', 418C")에 의해 서로 연결되며, 상기 제 1 공통전극라인(408L')과 제 1 공통전극(408') 및 상기 제 2 공통전극라인(408L")과 제 2 공통전극(408")은 각각 좌우의 제 2 연결라인(408C', 408C")에 의해 서로 연결된다. 또한, 상기 화소영역의 상부에 배치된 제 1 공통전극라인(408L')은 상기 데이터라인(417)과 평행하게 배치된 제 1 브랜치(408A')와 연결되며, 상기 화소영역의 하부에 배치된 제 2 공통전극라인(408L")은 상기 데이터라인(417)과 평행하게 배치된 제 2 브랜치(408A")와 연결되게 된다.

이때, 상기 제 4 실시예는 상기 제 3 실시예와 유사하게 상기 제 1 브랜치(408A')의 소정영역이 상기 제 1 공통전극(408')을 향하여 돌출하도록 형성하며, 상기 제 1 공통전극(408')의 단부를 상기 제 1 브랜치(408A')의 돌출부와 오버랩되도록 한다. 또한, 상기 제 2 브랜치(408A")의 소정영역이 상기 제 2 공통전극(408")을 향하여 돌출하도록 형성하며, 상기 제 2 공통전극(408")의 단부를 상기 제 2 브랜치(408A")의 돌출부와 오버랩되도록 함으로써 기존의 액정표시장치에 비해 액정전영역을 감소시킬 수 있게 된다. 또한, 상기의 제 1 공통전극(408')과 제 1 브랜치(408A') 및 제 2 공통전극(408")과 제 2 브랜치(408A")의 오버랩은 화소영역의 상, 하부에 대해 좌우로 구분되어 있어 상기 액정의 전영역이 좌우로 분산되는 효과를 얻을 수 있다.

또한, 본 실시예의 액정표시장치는 화소영역에서 상기 브랜치(408A', 408A")와 제 2 연결라인(408C', 408C")이 오버랩되는 부위의 브랜치(408A', 408A")가 제거되고 상기 제 2 연결라인(408C', 408C")을 화소영역의 외곽으로 이동시킴으로써 액정표시장치의 개구율을 향상시키는 동시에 상기 어레이 기판(410)과 컬러필터 기판(미도시)의 합착 마진을 확보할 수 있게 된다.

이때, 상기 화소영역의 중앙에서 좌우의 제 1 브랜치(408A')와 제 2 브랜치(408A")를 서로 연결할 수도 있다.

이와 같이 구성된 상기 어레이 기판은 화상표시 영역의 외곽에 형성된 실런트에 의해 컬러필터 기판과 대향하도록 합착되어 액정표시패널을 구성하며, 상기 어레이 기판과 컬러필터 기판의 합착은 상기 어레이 기판과 컬러필터 기판에 형성된 합착키를 통해 이루어진다.

상기 제 1 실시예 내지 제 4 실시예는 채널층으로 비정질 실리콘 박막을 이용한 비정질 실리콘 박막 트랜지스터를 예를 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니며 본 발명은 상기 채널층으로 다결정 실리콘 박막을 이용한 다결정 실리콘 박막 트랜지스터에도 적용된다.

또한, 본 발명은 액정표시장치뿐만 아니라 박막 트랜지스터를 이용하여 제작하는 다른 표시장치, 예를 들면 구동 트랜지스터에 유기전계발광소자(Organic Light Emitting Diodes; OLED)가 연결된 유기전계발광 디스플레이장치에도 이용될 수 있다.

상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

### 발명의 효과

상술한 바와 같이, 본 발명에 따른 횡전계방식 액정표시장치는 액정의 전경영역을 감소시켜 화질이 향상되는 효과를 제공한다.

또한, 본 발명에 따른 횡전계방식 액정표시장치는 어레이 기판과 컬러필터 기판의 합착 불량에 따른 휘도변화를 최소화할 수 있게 된다.

또한, 본 발명에 따른 횡전계방식 액정표시장치는 개구율이 향상되는 동시에 충분한 합착 마진을 확보할 수 있어 수율이 향상되는 효과를 제공한다.

### 도면의 간단한 설명

도 1은 일반적인 액정표시장치의 구조를 개략적으로 나타내는 분해사시.

도 2는 본 발명의 제 1 실시예에 따른 어레이 기판의 일부를 개략적으로 나타내는 평면도.

도 3은 도 2에 도시된 어레이 기판의 IIa-IIa'선에 따른 단면을 나타내는 도면.

도 4는 도 2에 도시된 어레이 기판의 IIb-IIb'선에 따른 단면을 나타내는 도면.

도 5는 본 발명의 제 2 실시예에 따른 어레이 기판의 일부를 개략적으로 나타내는 평면도.

도 6은 도 5에 도시된 어레이 기판의 A부분을 확대하여 나타내는 도면.

도 7은 본 발명의 제 3 실시예에 따른 어레이 기판의 일부를 개략적으로 나타내는 평면도.

도 8은 본 발명의 제 4 실시예에 따른 어레이 기판의 일부를 개략적으로 나타내는 평면도.

**\*\* 도면의 주요부분에 대한 부호의 설명 \*\***

108',208',308',408' : 제 1 공통전극

108'',208'',308'',408'' : 제 2 공통전극

108L,208L,308L,408L : 공통라인 116,216,316,416 : 게이트라인

117,217,317,417 : 데이터라인

118',218',318',418' : 제 1 화소전극

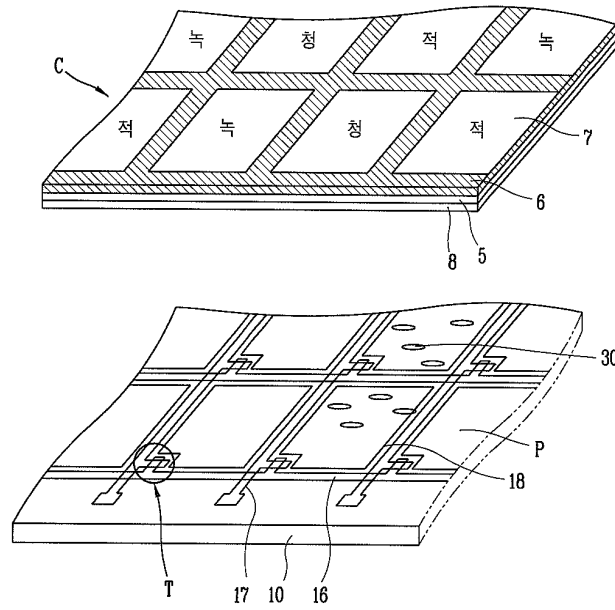
118'',218'',318'',418'' : 제 3 화소전극

121,221,321,421 : 게이트전극 122,222,322,422 : 소오스전극

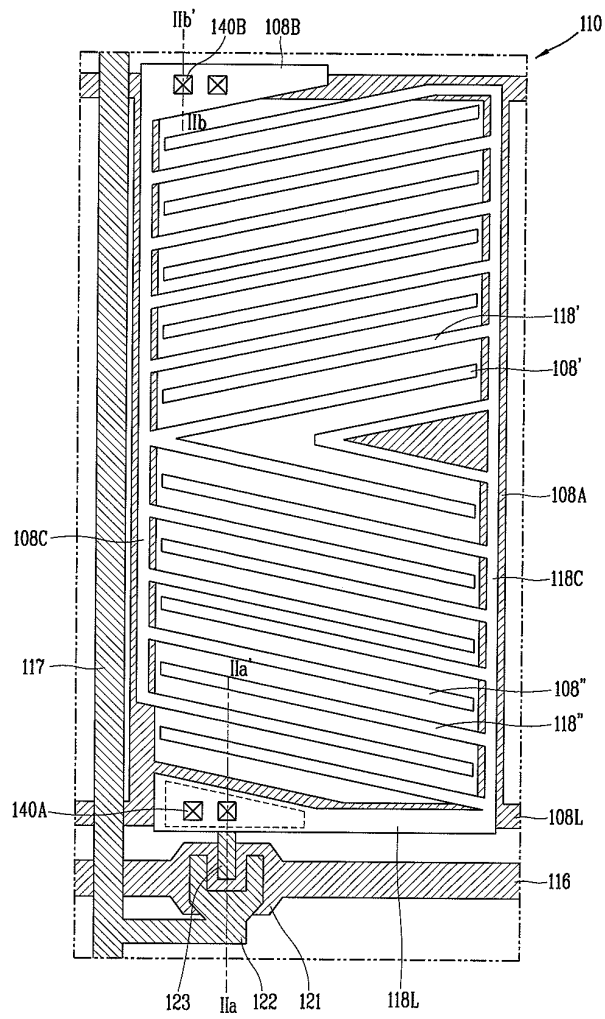
123,223,323,423 : 드레인전극

### 도면

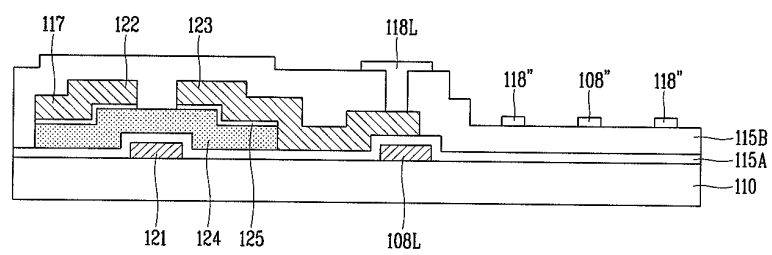
도면1



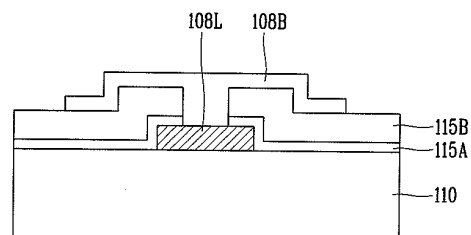
도면2



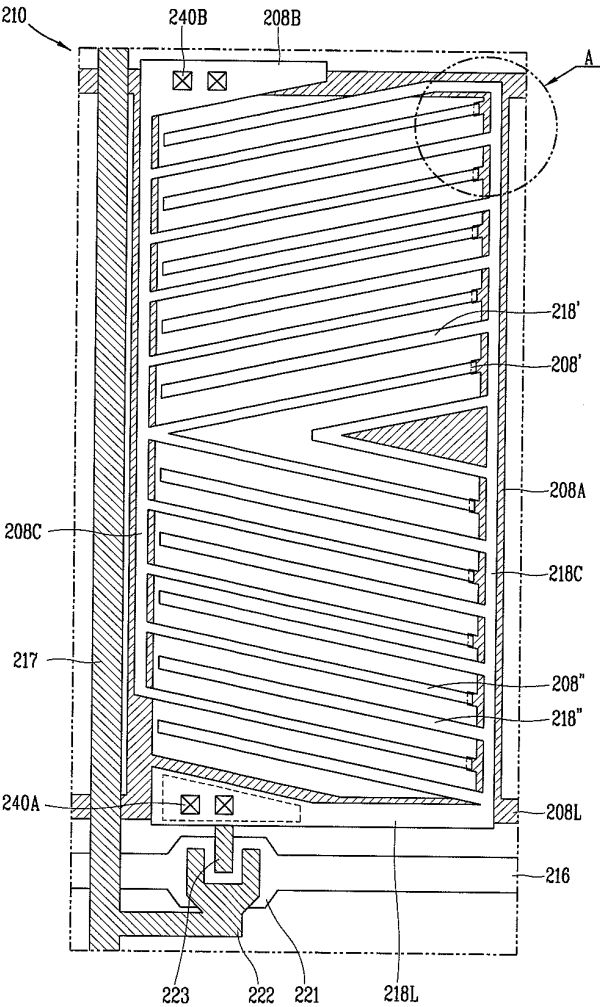
도면3



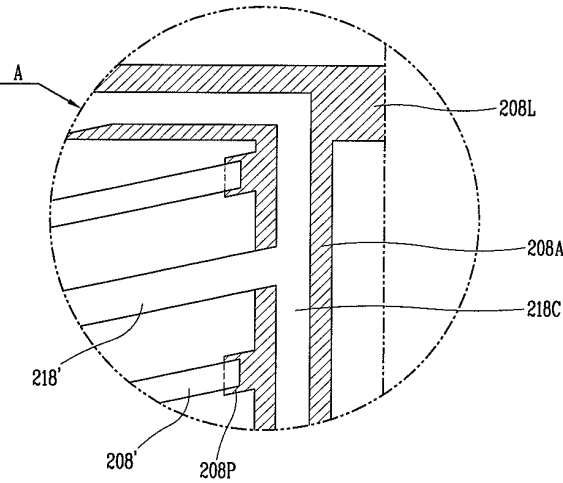
도면4



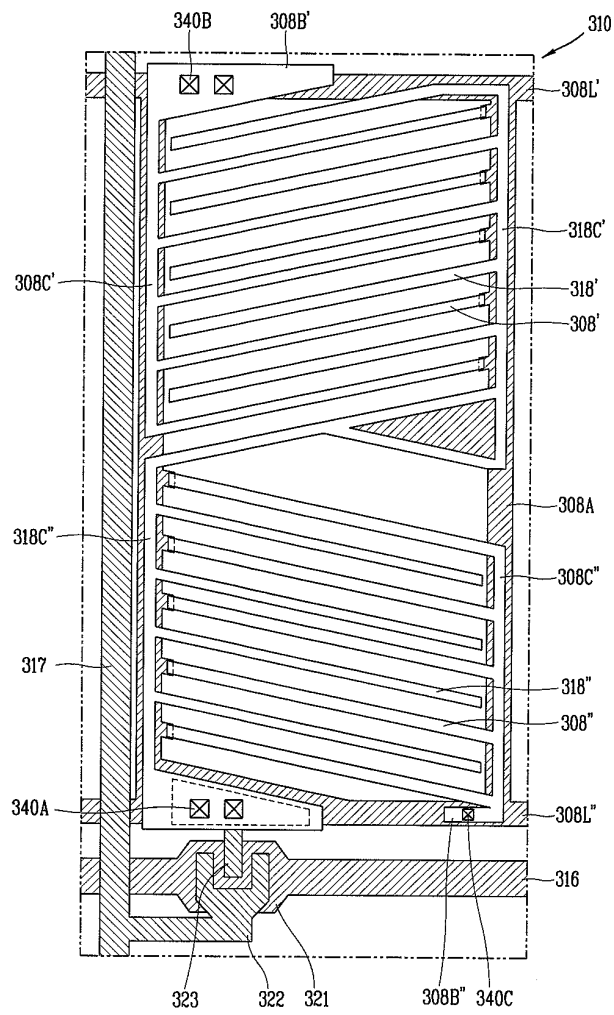
도면5



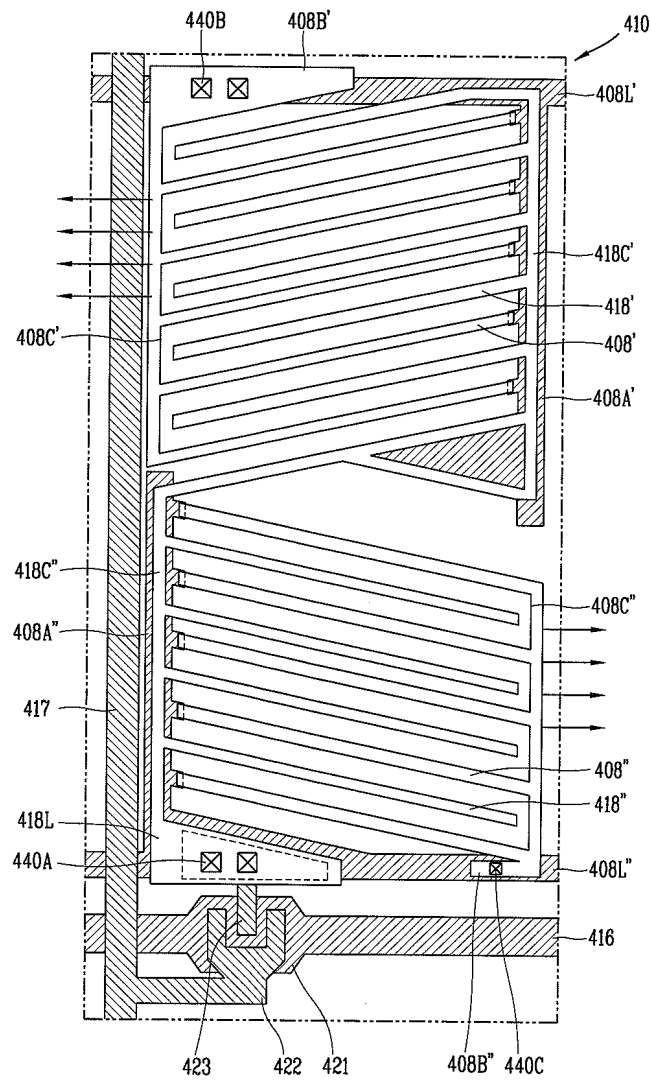
도면6



도면7



도면8



|                |                                  |         |            |
|----------------|----------------------------------|---------|------------|
| 专利名称(译)        | 横向电场型液晶显示器                       |         |            |
| 公开(公告)号        | <a href="#">KR1020070072175A</a> | 公开(公告)日 | 2007-07-04 |
| 申请号            | KR1020050136166                  | 申请日     | 2005-12-30 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                         |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                        |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                        |         |            |
| [标]发明人         | TAK YOUNG MI                     |         |            |
| 发明人            | TAK,YOUNG MI                     |         |            |
| IPC分类号         | G02F1/1343                       |         |            |
| CPC分类号         | G02F1/134363                     |         |            |
| 代理人(译)         | PARK , JANG WON                  |         |            |
| 其他公开文献         | KR101224047B1                    |         |            |
| 外部链接           | <a href="#">Espacenet</a>        |         |            |

#### 摘要(译)

本发明的面内切换模式液晶器件形成在数据线和多条栅极线和数据线的交叉域中：栅极线，它们在长度和宽度上排列在第一基板中，并将像素区域定义为为了通过改变电极结构来减小由对准裕度引起的亮度变化，对于应用2 ITO（氧化铟锡）结构的面内开关模式液晶器件，液晶前景（向错）面积减小。并且布置在薄膜晶体管上：公共电极线布置在栅极线方向上：数据线方向由有源层，源电极和漏电极组成，并且它具有分支：栅极线连接到公共电极线并且预定的梯度角在像素区域的上部和下部依次排列多个第一像素电极和第一公共电极以及多个第一像素电极第一公共电极和第二公共电极在平面切换中产生，包括第一级联线，第二连接线和第二基板。并且，分支的固定区域突出到第一公共电极或第二公共电极，并且形成突出部分。第一公共电极或第二公共电极的末端与分支的突出部分重叠。第一级联线布置在数据线方向上并连接第一像素电极和第二像素电极。第二连接线布置在数据线方向上并连接第一公共电极和第二公共电极。第二基板面对第一基板并附接。在平面切换模式中，公共电极，像素电极，前景区域，亮度。

