



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0133711
G02F 1/136 (2006.01) (43) 공개일자 2006년12월27일

(21) 출원번호 10-2005-0053487
(22) 출원일자 2005년06월21일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 유춘기
경기 화성시 태안읍 병점리 구봉마을 우남퍼스트빌 아파트105-1205
박경민
경기 성남시 분당구 정자동 한솔마을주공6단지아파트 607-1004

(74) 대리인 남승희

전체 청구항 수 : 총 6 항

(54) 액정 표시 장치용 박막 트랜지스터 기판 제조 방법

(57) 요약

본 발명은 액정 표시 장치용 박막 트랜지스터 기판 제조 방법에 관한 것으로, 기판상에 활성층을 형성하고 활성층 상에 게이트 전극을 형성하고, 소스/드레인 용 이온주입을 실시한 다음, 그 상부에 층간 절연막을 형성하고, 층간 절연막을 관통하여 하부 활성층과 게이트 전극 라인의 일부를 노출하는 콘택홀을 형성한 다음, 노를 이용한 열처리 공정을 통해 주입된 불순물 이온을 활성화하고, 콘택홀을 매립하여 소스 전극, 드레인 전극, 및 게이트 패드를 형성한 후, 패시베이션막을 고온에서 증착하여 콘택 저항을 줄일 수 있는 액정 표시 장치용 박막 트랜지스터 기판 제조 방법에 관한 것이다.

대표도

도 6

특허청구의 범위

청구항 1.

기판상에 활성층을 형성하는 단계;

상기 활성층을 덮는 게이트 절연막을 형성하고 그 상부에 게이트 전극 및 게이트 라인을 포함하는 게이트 패턴을 형성하는 단계;

상기 게이트 패턴 상에 층간 절연막을 형성하고, 상기 층간 절연막을 관통하여 상기 활성층을 노출하는 소스 콘택홀 및 드레인 콘택홀과, 상기 게이트 라인의 일부를 노출하는 하부 게이트 콘택홀을 형성하는 단계;

노를 이용한 열처리 공정을 실시하는 단계;

상기 소스 콘택홀을 통해 상기 활성층과 접속되는 소스 전극, 상기 드레인 콘택홀을 통해 상기 활성층과 접속되는 드레인 전극, 상기 하부 게이트 콘택홀을 통해 상기 게이트 라인과 접속되는 하부 게이트 패드 및 상기 게이트 라인과 교차되게 형성되어 화소 영역을 정의 하는 데이터 라인을 형성하는 단계; 및

상기 하부 게이트 패드의 금속원자가 확산이 가능한 온도에서 패시베이션막을 형성하는 단계;를 포함하는 액정 표시 장치용 박막 트랜지스터 기판 제조 방법.

청구항 2.

청구항 1에 있어서, 상기 게이트 패턴을 형성하는 단계 이후,

불순물 이온을 주입하여 활성층의 채널 영역, 소스 영역 및 드레인 영역을 형성하는 단계를 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판 제조 방법.

청구항 3.

청구항 1에 있어서,

상기 노를 이용한 열처리 공정은 N_2 가스 분위기 하에서 350 내지 550도 범위 내의 온도에서 약 30 내지 120분간동안 실시하는 액정 표시 장치용 박막 트랜지스터 기판 제조 방법.

청구항 4.

청구항 1에 있어서, 상기 기판상에 활성층을 형성하는 단계는,

상기 기판상에 비정질 실리콘을 패터닝하는 단계; 및

레이저를 이용하여 패터닝된 비정질 실리콘을 결정화하는 단계를 포함하는 액정 표시 장치용 박막 트랜지스터 기판 제조 방법.

청구항 5.

청구항 1에 있어서,

상기 금속원자가 확산이 가능한 온도는 섭씨 300 내지 500도 이상의 온도인 액정 표시 장치용 박막 트랜지스터 기판 제조 방법.

청구항 6.

청구항 1에 있어서, 상기 패시베이션막을 형성하는 단계 이후,

상기 패시베이션막 상에 보호막을 형성하고, 상기 보호막을 관통하여 상기 드레인 전극을 노출하는 화소 콘택홀, 상기 하부 게이트 패드를 노출하는 상부 게이트 패드 콘택홀 및 상기 데이터 라인의 일부를 노출하는 데이터 콘택홀을 형성하는 단계; 및

상기 화소 영역내에 형성되고 상기 화소 콘택홀을 통해 상기 드레인 전극과 접속되는 화소 전극, 상기 상부 게이트 패드 콘택홀을 통해 상기 하부 게이트 패드와 접속되는 상부 게이트 패드 및 상기 데이터 콘택홀을 통해 상기 데이터 라인과 접속되는 데이터 패드를 형성하는 단계를 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치용 박막 트랜지스터 기판 제조 방법에 관한 것으로, 박막 트랜지스터 기판의 제조 공정을 단축시킬 수 있는 방법에 관한 것이다.

일반적으로, 액정 표시 장치(Liquid Crystal Display; LCD)는 화소 전극, 스토리지 커패시터 및 각 화소를 스위칭하는 박막 트랜지스터(TFT: Thin Film Transistor) 등이 형성된 박막 트랜지스터 기판과, 공통 전극 등이 형성된 공통 전극 기판 및 두 기판 사이에 밀봉된 액정으로 구성된다. 여기서, 액정 표시 장치는 두 개의 기판 사이에 전압을 인가하여 액정을 구동시키고 광의 투과율을 제어함으로써 화상을 디스플레이 한다.

이러한, 액정 표시 장치의 박막 트랜지스터는 반도체층으로 비정질 실리콘(amorphous silicon) 또는 다결정 실리콘(polycrystalline silicon)을 사용하여 형성된다. 비정질 실리콘으로 제조된 박막 트랜지스터는 비정질 실리콘막의 균일성이 우수하여 특성이 안정된 장점을 갖고 있다. 하지만, 비정질 실리콘 박막 트랜지스터는 전하 이동도가 낮기 때문에 소자의 응답 속도가 느린 단점이 있다. 따라서, 비정질 실리콘 박막 트랜지스터는 빠른 응답속도를 요하는 고해상도 표시 패널이나 게이트 또는 데이터 드라이버의 구동 소자에 적용하기에는 어려운 단점이 있다.

한편, 다결정 실리콘으로 제조된 박막 트랜지스터는 전하 이동도가 높아 빠른 응답속도를 요하는 고해상도 표시 패널에 적합할 뿐 아니라 주변 구동 회로들을 표시 패널 내에 내장할 수 있는 장점을 갖고 있다. 이에 다결정 실리콘 박막 트랜지스터를 이용한 액정 표시 장치가 대두되고 있다.

이러한 다결정 실리콘 박막 트랜지스터는 활성층 상에 게이트 전극이 형성되는 탑 게이트 방식으로 제작된다. 즉, 활성층 상에 게이트 전극을 형성하고, 게이트 전극 양측에 불순물 이온을 주입한 다음, 액시머 레이저를 불순물 이온이 주입된 활성층에 조사하여 불순물을 활성화 하였다. 하지만, 레이저 공정은 설비는 물론 유지 보수가 어렵고 복잡하고 그 단가가 비싸므로 원가 증가의 주요 원인이 된다. 또한, 레이저 조사시 에너지 편차로 인해 이온주입된 활성층의 특성이 불균일해지는 문제가 발생한다.

또한, 박막 트랜지스터의 게이트 전극은 별도의 금속 패드를 통해 외부의 전원에 접속된다. 하지만, 게이트와 금속 패드가 접하는 영역의 콘택 저항이 매우 크게 발생하는 문제가 있다. 즉, Al을 이용하여 게이트를 제작하였을 경우, 대기중에서 게이트 상부에 형성된 Al 산화막에 의해 게이트와 금속패드 간의 콘택 저항이 1E5 이상 오더(order)로 매우 높아 소자의 구동 불량을 유발하는 요인이 된다. 따라서, 종래에는 이러한 문제를 해결하기 위해 금속 패드를 형성한 다음, 별도의 금속 활성화를 위한 열처리 공정을 실시하여 게이트와 금속패드간의 저항을 감소 시켰다. 하지만, 이와 같이 별도의 열처리 공정이 추가됨으로 인해 소자의 제조 공정이 복잡해지게 되어 생산 단가는 물론 생산성이 저하되는 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기의 문제점을 해결하기 위하여 도출된 것으로서, 게이트, 소스 및 드레인 콘택 홀 형성 후 노(furnace)를 이용한 열처리 공정을 실시하여 활성층에 주입된 불순물 이온을 활성화 할 수 있고, 고온에서 패시베이션막을 형성하여 게이트와 패드간의 콘택 저항을 줄일 수 있는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법을 제공하는 것을 그 목적으로 한다.

발명의 구성

본 발명에 따른 기관상에 활성층을 형성하는 단계와, 상기 활성층을 덮는 게이트 절연막을 형성하고 그 상부에 게이트 전극 및 게이트 라인을 포함하는 게이트 패턴을 형성하는 단계와, 상기 게이트 패턴 상에 층간 절연막을 형성하고, 상기 층간 절연막을 관통하여 상기 활성층을 노출하는 소스 콘택홀 및 드레인 콘택홀과, 상기 게이트 라인의 일부를 노출하는 하부 게이트 콘택홀을 형성하는 단계와, 노를 이용한 열처리 공정을 실시하는 단계와, 상기 소스 콘택홀을 통해 상기 활성층과 접속되는 소스 전극, 상기 드레인 콘택홀을 통해 상기 활성층과 접속되는 드레인 전극, 상기 하부 게이트 콘택홀을 통해 상기 게이트 라인과 접속되는 하부 게이트 패드 및 상기 게이트 라인과 교차되게 형성되어 화소 영역을 정의 하는 데이터 라인을 형성하는 단계 및 상기 하부 게이트 패드의 금속원자가 확산이 가능한 온도에서 패시베이션막을 형성하는 단계를 포함하는 액정 표시 장치용 박막 트랜지스터 기관 제조 방법을 제공한다.

상기의 게이트 패턴을 형성하는 단계 이후, 불순물 이온을 주입하여 활성층의 채널 영역, 소스 영역 및 드레인 영역을 형성하는 단계를 더 포함한다.

상기의 노를 이용한 열처리 공정은 N_2 가스 분위기 하에서 350 내지 550도 범위 내의 온도에서 약 30 내지 120분 동안 실시하는 것이 바람직하다.

상기의 기관상에 활성층을 형성하는 단계는, 상기 기관상에 비정질 실리콘을 패터닝하는 단계 및 레이저를 이용하여 패터닝된 비정질 실리콘을 결정화하는 단계를 포함하는 것이 바람직하다.

상술한 금속원자가 확산이 가능한 온도는 섭씨 300 내지 500도 이상의 온도인 것이 바람직하다.

상기의 패시베이션막을 형성하는 단계 이후, 상기 패시베이션막 상에 보호막을 형성하고, 상기 보호막을 관통하여 상기 드레인 전극을 노출하는 화소 콘택홀, 상기 하부 게이트 패드를 노출하는 상부 게이트 패드 콘택홀 및 상기 데이터 라인의 일부를 노출하는 데이터 콘택홀을 형성하는 단계 및 상기 화소 영역내에 형성되고 상기 화소 콘택홀을 통해 상기 드레인 전극과 접속되는 화소 전극, 상기 상부 게이트 패드 콘택홀을 통해 상기 하부 게이트 패드와 접속되는 상부 게이트 패드 및 상기 데이터 콘택홀을 통해 상기 데이터 라인과 접속되는 데이터 패드를 형성하는 단계를 더 포함하는 것이 효과적이다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

도면에서 여러 층 및 각 영역을 명확하게 표현하기 위하여 두께를 확대하여 표현하였으며 도면상에서 동일 부호는 동일한 요소를 지칭하도록 하였다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 상부에 또는 위에 있다고 표현되는 경우는 각 부분이 다른 부분의 바로 상부 또는 바로 위에 있는 경우뿐만 아니라 각 부분과 다른 부분의 사이에 또 다른 부분이 있는 경우도 포함한다.

도 1a는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 평면도이고, 도 1b는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 단면도이며, 도 2 내지 도 10은 본 실시예에 따른 박막 트랜지스터 기관의 제조 방법을 설명하기 위해 도 1a를 A-A 선, B-B 선, 및 C-C선에 대해 자른 단면도이다.

도 1a 내지 도 10을 참조하면, 본 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관은 투광성 절연 기관(100) 위에 게이트 신호를 전달하며 제 1 방향으로 연장되고 제 2 방향으로 소정 간격을 갖도록 배열된 복수의 게이트 라인(150)과, 게이트 라인(150)에 교차하여 형성된 복수의 데이터 라인(170)과, 게이트 라인(150)과 데이터 라인(170)에 의해 정의된 화소 영역에 형성된 화소 전극(220)과, 게이트 라인(150)과 데이터 라인(170)의 교차점에 매트릭스 형태로 형성된 복수의 박막 트랜지스터(250)와, 화소 전극(220)과 유지 라인(140)의 중첩부에 형성된 유지 커패시터(142)를 포함한다.

여기서, 인접하는 2개의 게이트 라인(150) 및 데이터 라인(170)에 의해 둘러싸여 형성된 화소 영역은 레이아웃 상에서 직사각형 형상을 갖는 것이 바람직하다.

또한, 박막 트랜지스터(250)는 게이트 라인(150)과 접속되는 게이트 전극(120), 데이터 라인(170)과 접속되는 소스 전극(180) 및 화소 전극(220)과 접속되는 드레인 전극(190)을 포함한다. 게이트 전극(120)은 활성층(110)의 채널 영역과 게이트 절연막(122)을 사이에 두고 중첩된다. 소스 전극(180)은 층간 절연막(160)을 통해 게이트 전극(120)과 절연되고, 이온

이 주입된 활성층(110)의 소스 영역(111)과 소스 콘택홀(181)을 통해 접속된다. 드레인 전극(190)은 층간 절연막(160)을 통해 게이트 전극(120)과 절연되고, 이온이 주입된 활성층(110)의 드레인 영역(112)과 드레인 콘택홀(191)을 통해 접속된다.

이때, 활성층(110)은 박막 트랜지스터(250)의 특성에 따라 주입되는 이온이 달라진다. 예를 들어 박막 트랜지스터(250)가 N채널을 갖는 경우에는 고농도의 n+ 이온이 활성층(110)에 주입되고, P 채널을 갖는 경우에는 고농도의 p+ 이온이 활성층(110)에 주입된다. 이와 같이 트랜지스터의 특성에 따라 주입되는 이온을 선택적으로 조절할 수 있다. 이때, 이온이 주입된 활성층(110)은 소스 영역(111) 및 드레인 영역(112)이 되고, 불순물 이온이 주입되지 않은 영역은 채널 영역(115)이 된다. 더욱이 본 실시예에서는 채널 영역(115)과 소스 및 드레인 영역(111, 112) 사이의 누설 전류(leakage current) 또는 펀치 스루(punch through)와 같은 현상을 방지하기 위해 채널 영역(115)과 소스 및 드레인 영역(111, 112)의 사이에 저농도의 n- 또는 p- 이온이 주입된 저농도 도핑영역(lightly doped drain; 113, 114)을 포함한다.

박막 트랜지스터(250)는 게이트 라인(150)의 소정 신호에 따라 동작하여 데이터 라인(170)의 비디오 신호 즉, 화소 신호를 액정 셀 인가한다.

게이트 라인(150)은 주로 가로 방향으로 뻗어 있고, 게이트 라인(150)의 일부가 상부 및/또는 하부로 돌출하여 상술한 박막 트랜지스터(250)의 게이트 전극(120)을 이룬다. 게이트 라인(150)의 끝단에는 외부 회로와의 연결을 위한 게이트 패드(24)가 형성되어 있다.

데이터 라인(170)은 주로 세로 방향으로 뻗어 있고, 그 일부가 돌출하여 상술한 박막 트랜지스터(250)의 소스 전극(180)을 이룬다. 데이터 라인(170)의 끝단에는 데이터 패드(230)가 형성되어 있다.

화소 전극(220)은 보호막(200, 210)을 관통하는 화소 콘택홀(221)을 통해 박막 트랜지스터(250)의 드레인 전극(190)에 접속되어 있다. 한편, 박막 트랜지스터(150)를 통해 인가된 화소 신호에 따라 화소 영역에 형성된 화소 전극(220)과 공통 전극(미도시) 사이에 전계가 형성되고, 이러한 전계에 의해 액정 분자들이 유전 이방성에 의해 회전한다. 이러한 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광의 투과율이 달라지게 되어 목표로 하는 화상을 구현할 수 있게 된다.

유지 커패시터(142)는 유지 라인(140)과, 유지 라인(140)과 층간 절연막(160) 및 보호막(200, 210)을 사이에 두고 중첩되는 화소 전극(220)으로 구성된다. 이러한 유지 커패시터(142)는 화소 전극(220)에 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 안정적으로 유지되도록 한다.

이하, 상술한 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법을 도면을 참조하여 설명한다.

도 2를 참조하면, 투광성 절연 기관(100) 상에 버퍼막(102)을 형성하고, 버퍼막(102) 상에 활성층(110)을 형성한다.

여기서, 절연 기관(100)은 유리, 석영 또는 사파이어 등을 사용할 수 있고, 투광성의 플라스틱판을 사용할 수도 있다.

상기의 절연 기관(100) 상에 SiO₂ 또는 SiN_x를 포함하는 무기 절연물질을 사용하여 CVD법, PVD법 또는 스퍼터링 방법을 통해 버퍼막(102)을 형성하고, 비정질 실리콘을 사용하여 버퍼막(102) 상에 활성막을 형성하는 것이 바람직하다. 이후, 활성막 상에 감광막을 도포하고, 마스크를 이용한 포토리소그라피 공정을 통해 감광막 패턴을 형성한다. 감광막 패턴은 활성층(110)이 형성될 영역을 제외한 영역을 노출하는 형상으로 형성된다. 상기의 감광막 패턴을 식각 마스크로 하는 식각 공정을 실시하여 노출된 영역의 활성막을 제거하여 활성층(110)을 형성하는 것이 바람직하다.

이후, 레이저를 이용한 결정화 공정을 통해 활성층(110)의 비정질 실리콘막이 결정화 되어 다결정 실리콘막이 된다. 즉, 엑시머 레이저를 활성층(110)에 조사하여 결정핵 성장과 결정 성장을 통해 결정화가 진행된다. 다결정 실리콘의 활성층(110) 형성 후, 소정의 스트립 공정을 통해 감광막 패턴을 제거한다.

또한, 상기에서 활성층(110) 상에 후속 공정인 소스 및 드레인 콘택홀 형성 시 식각 방지막으로 작용할 소정의 배리어막(미도시)을 더 형성할 수도 있다.

도 3을 참조하면, 전체 구조 상에 게이트 절연막(122), 게이트 도전막(124) 및 이온 배리어막(126)을 형성한다.

상기에서, 게이트 절연막(122)으로 SiO₂ 등의 절연물질을 사용하는 것이 바람직하다. 게이트 도전막(124)으로는 Mo, Cu, Al, Ti, Cr, Mo합금, AlNd 등의 Al합금, Cu합금이 단일 층 구조로 형성되거나, Ar/Cr, Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Ti/Al(Nd)/Ti, Mo/Al, Mo/Ti/Al(Nd), Cu합금/Mo, Cu합금/Al, Cu합금/Mo합금, Cu합금/Al합금, Al/Mo합금, Mo합금/Al, Al합금/Mo합금, Mo합금/Al합금 등과 같이 이중 이상의 다층 구조로 형성될 수 있다. 이온 배리어막(126)은 크롬을 사용하여 형성하는 것이 바람직하다.

도 4 및 도 5를 참조하면, 상기 이온 배리어막(126), 게이트 도전막(124)을 패터닝 하여 게이트 전극(120)과 게이트 라인(150)을 포함하는 게이트 패턴과 유지 라인(140) 및 하부 패드 전극(151)을 형성하고, 이온주입을 실시하여 활성층(110) 내에 채널 영역(115), 저농도 이온주입 영역(113, 114), 소스 영역(112) 및 드레인(112) 영역을 형성한다.

상기에서 패터닝 공정은 도 4에 도시된 바와 같이 이온 배리어막(126) 상에 감광막을 도포하고, 마스크를 이용한 포토리스 그라피 공정을 통해 감광막 패턴을 형성한다. 상기 감광막 패턴을 식각마스크로 하는 식각공정을 실시하여 이온 배리어막(126)을 패터닝 한다. 이때, 이온 배리어막(126)은 저농도 이온주입 영역을 형성하기 위해 게이트 전극(120)보다 소정 길이 만큼 긴 패턴으로 형성하는 것이 효과적이다. 이후, 패터닝된 이온 배리어막(126)을 식각 마스크로 하는 식각공정을 실시하여 게이트 도전막(124)을 식각하여 게이트 전극(120), 게이트 라인(120), 유지 라인(140) 및 하부 패드 전극(151)을 형성한다. 이때, 게이트 도전막(124)을 과도 식각하여 이온 배리어막(126) 하부에 위치한 게이트 전극(120)의 폭이 이온 배리어막(126)의 폭보다 작게 형성하는 것이 바람직하다.

다음으로, 도 4에 도시된 바와 같이 이온 배리어막(126)을 이온주입 마스크로 하는 고농도 이온 주입 공정을 실시하여 게이트 전극(120) 양측의 활성층(110) 내에 소스 영역(111), 드레인 영역(112) 및 채널 영역(115)을 형성한다. 도 5에 도시된 바와 같이 이온 배리어막(126)을 제거한 다음 저농도 이온주입 공정을 실시하여 게이트 전극(120) 측벽 하단 영역 즉, 소스 영역(111)과 채널 영역(115) 사이 및 드레인 영역(112)과 채널 영역(115) 사이에 각기 저농도 이온주입 영역(113, 114)을 형성한다. 상기에서 주입되는 불순물은 소자 내의 캐리어 특성에 따라 N타입 불순물 이온 또는 P타입 불순물 이온을 사용할 수 있다. 그리고, N타입과 P타입을 동시에 형성할 경우에는 각기 서로 다른 이온주입 마스크를 사용하는 것이 효과적이다.

도 6을 참조하면, 게이트 전극(120), 유지 라인(140), 하부 패드 전극(151), 소스 영역(111) 및 드레인 영역(112)이 형성된 기판(100)의 전면에 층간 절연막(160)을 형성하고, 소스 영역(111), 드레인 영역(112) 및 하부 패드 전극(151) 상의 층간 절연막(160)의 일부를 제거하여 콘택홀(152, 181, 191)을 형성한 후, 열처리 공정을 실시한다.

상기의 층간 절연막(160)으로는 SiO₂ 또는 SiN_x를 포함하는 무기 절연물질을 사용하는 것이 바람직하다. 층간 절연막(160)은 단층으로 형성할 수 있고, 다층막으로 형성할 수도 있다. 전체 구조상에 층간 절연막(160)을 형성한 다음, 층간 절연막(160) 상에 감광막을 도포한다. 마스크를 이용한 포토 리소그라피 공정을 실시하여 소스 영역(111), 드레인 영역(112) 및 하부 패드 전극(151) 영역을 개방하는 감광막 패턴을 형성한다. 상기 감광막 패턴을 식각마스크로 하는 식각공정을 실시하여 소스 영역(111)의 일부를 개방하는 소스 콘택홀(181)과, 드레인 영역(112)의 일부를 개방하는 드레인 콘택홀(191)과, 하부 패드 전극(151)의 일부를 개방하는 하부 패드 전극 콘택홀(152)을 형성한다.

이후 노를 이용한 열처리 공정을 실시한다. 이때, 열처리 공정은 섭씨 350 내지 550도 범위 내의 온도에서 약 30 내지 120 분간동안 실시하는 것이 바람직하다. 열처리는 400 내지 500도의 온도에서 약 50 내지 100분간 실시하는 것이 더욱 바람직하다.

본 실시예에서는 노(Furnace)를 이용한 열처리 공정은 노 내부에 상기 소스 콘택홀(181), 드레인 콘택홀(191) 및 하부 패드 전극 콘택홀(152)이 형성된 기판(100)을 로딩시킨 다음 노 내부의 온도를 상기의 범위내로 상승시켜 열처리 공정을 실시할 수도 있고, 상기의 온도로 상승된 노 내부에 상기 소스 콘택홀(181), 드레인 콘택홀(191) 및 하부 패드 전극 콘택홀(152)이 형성된 기판(100)을 로딩시켜 열처리 공정을 실시할 수도 있다.

상술한 바와 같은 열처리 공정을 통해 활성층(110)의 소스 영역(111), 드레인 영역(112), 저농도 이온주입 영역(113, 114)에 주입된 불순물 이온을 활성화시키게 된다. 또한, 상기의 열처리 공정을 통해 하부 패드 전극 콘택홀(152)에 의해 개방된 하부 패드 전극(151) 상에 형성된 자연 산화막의 두께를 줄일 수 있다. 이를 위해 상기 노를 이용한 열처리 공정을 N₂ 분위기에서 실시하여 하부 패드 전극 상에 형성된 산화막을 질화막으로 변경하여 산화막의 두께를 감소시킬 수 있다.

도 7을 참조하면, 콘택홀(152, 181, 191)이 형성된 층간 절연막(160) 상에 도전성막을 형성하여 콘택홀(152, 181, 191)을 매립하고, 층간 절연막(160) 상의 도전성막을 패터닝 하여 데이터 라인(170), 소스 전극(180), 드레인 전극(190), 하부 게이트 패드(153) 및 하부 데이터 패드(172)를 형성한다.

소정의 도전성막을 상기 층간 절연막(160) 상에 형성하되, 층간 절연막(160) 내에 형성된 콘택홀(152, 181, 191) 내부를 도전성막으로 매립한다. 상기 도전성막 상에 감광막을 도포한 다음 마스크를 이용한 포토리소그래피 공정을 실시하여 감광막 패턴을 형성한다. 이때, 감광막 패턴을 통해 데이터 라인(170), 소스 전극(180), 드레인 전극(190), 하부 게이트 패드(153) 및 하부 데이터 패드(172) 영역을 제외한 영역이 개방된다. 이후, 감광막 패턴을 식각 마스크로 하는 식각공정을 실시하여 게이트 라인(120)과 직교하는 직선형상의 데이터 라인(170)을 형성하고, 데이터 라인(170)의 일단에서 연장되어 소스 콘택홀(181)을 통해 소스 영역(111)과 접속된 소스 전극(180)을 형성하고, 드레인 콘택홀(191)을 통해 드레인 영역(112)과 접속된 드레인 전극(190)을 형성하고, 하부 패드 전극 콘택홀(152)을 통해 하부 패드 전극(151)과 접속된 하부 게이트 패드(153)를 형성하고, 데이터 라인(170)의 끝단에 하부 데이터 패드(172)를 형성한다.

여기서, 상기 도전성막은 Mo, Cu, Al, Ti, Cr, Mo합금, AlNd등의 Al합금, Cu합금이 단일 층 구조로 형성되거나, Ar/Cr, Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Ti/Al(Nd)/Ti, Mo/Al, Mo/Ti/Al(Nd), Cu합금/Mo, Cu합금/Al, Cu합금/Mo합금, Cu합금/Al합금, Al/Mo합금, Mo합금/Al, Al합금/Mo합금, Mo합금/Al합금 등과 같이 이중 이상의 다층 구조로 형성될 수 있다.

도 8을 참조하면, 전극(180, 190)과 패드(153, 172)가 형성된 층간 절연막(160) 상에 고온 패시베이션막(passivation layer: 200)을 형성한다.

상기의 데이터 라인(170), 소스 전극(180), 드레인 전극(190), 하부 게이트 패드(153) 및 하부 데이터 패드(172)가 형성된 층간 절연막(160) 상부 전면에 패시베이션막(200)을 형성하되, 섭씨 300 내지 500도 이상의 온도에서 증착하는 것이 바람직하다. 물론 패시베이션막(200)을 350 내지 400도의 온도에서 증착하는 것이 더욱 바람직하다. 이를 통해 하부 패드 전극(151)과 하부 패드(153)들 간의 콘택 저항을 줄일 수 있다. 예를 들어 게이트 라인(120)으로 Al을 사용하였을 경우에는 게이트 라인(120)의 끝단에 형성된 하부 패드 전극(151)은 하부 패드 전극 콘택홀(152)에 의해 개방되어 그 상부 표면에 알루미늄 자연 산화막이 형성된다. 이후, 하부 패드 전극 콘택홀(152)을 통해 하부 패드 전극(151)과 접속되는 하부 게이트 패드(153)를 Al을 사용하여 형성하게 되면 하부 패드 전극(151)과 하부 게이트 패드(153) 사이에 자연 산화막이 잔류되어 두 금속 간의 콘택 저항이 매우 커지게 된다. 본 실시예에서는 앞서 설명한 노를 이용한 열처리 공정시 알루미늄 자연 산화막의 적어도 일부를 질화막으로 변경시키고, Al이 확산할 수 있는 온도 이상에서 패시베이션막(200)을 형성함으로써 하부 패드 전극(151) 상에 형성된 자연 산화막 내부로 Al이 확산되어 두 금속간의 콘택 저항을 줄일 수 있게 된다.

도 9를 참조하면, 상기 패시베이션막(200) 상부 전면에 보호막(210)을 형성하고, 패시베이션막(200) 및 보호막(210)의 일부를 제거하여 화소 콘택홀(221), 게이트 패드 콘택홀(231) 및 데이터 패드 콘택홀(241)을 형성한다.

상기의 패시베이션막(200) 상부에 무기 절연물질 또는 유기 절연물질을 전면에 증착하여 보호막(210)을 형성한다. 즉, 보호막(210)은 하부에 형성된 박막 트랜지스터(250)를 보호하는 역할을 한다. 보호막(210) 상에 감광막을 도포한 다음, 마스크를 이용한 포토리소그래피 공정을 실시하여 화소 콘택홀 영역, 게이트 패드 콘택홀 영역 및 드레인 패드 콘택홀 영역을 노출하는 감광막 패턴을 형성한다. 상기 감광막 패턴을 식각마스크로 하는 식각공정을 실시하여 노출된 영역의 보호막(210) 및 패시베이션막(200)을 순차로 식각하여 화소 콘택홀(221), 게이트 패드 콘택홀(231) 및 데이터 패드 콘택홀(241)을 형성한다. 소정의 스트립 공정을 통해 상기의 감광막 패턴을 제거한다.

도 10을 참조하면, 상기 콘택홀(221, 231, 241)이 형성된 보호막(210) 상에 도전성막을 증착하고 패터닝 하여 화소 전극(220), 상부 게이트 패드(230) 및 상부 드레인 패드(240)를 형성한다.

인듐 주석 산화물(Indium Tin Oxide : ITO)이나 인듐 아연 산화물(Indium Zinc Oxide : IZO)을 포함하는 투명 도전막을 전체 구조 상에 증착한다. 투명 도전성막 상에 감광막을 도포한 다음 마스크를 이용한 포토리소그래피 공정을 실시하여 화소 전극 영역, 상부 게이트 패드 영역, 상부 드레인 패드 영역을 제외한 영역을 노출하는 감광막 패턴을 형성한다. 상기의 감광막 패턴을 식각마스크로 하는 식각공정을 실시하여 화소 영역에 드레인 전극(190)과 화소 콘택홀(221)을 통해 연결되는 화소 전극(220)을 형성하고, 게이트 패드 영역에 하부 게이트 패드(153)와 게이트 패드 콘택홀(231)을 통해 연결되는 상부 게이트 패드(230)를 형성하고, 데이터 패드 영역에 하부 데이터 패드(172)와 및 상부 드레인 패드(240)를 형성한다.

상술한 실시예에서는 소스 영역(111), 드레인 영역(112), 저농도 이온주입 영역(113, 114)에 주입된 불순물 이온을 활성화하기 위해 콘택홀을 형성한 다음 노를 이용한 열처리 공정을 실시하였다. 또한, 이러한 열처리 공정한 다음, 하부 패드 전극 상에 하부 게이트 패드 형성하고 패시베이션막을 고온에서 증착하여 소자의 제작 단가를 줄일 수 있고, 공정 단순화를 이룰 수 있을 뿐 아니라 하부 패드 전극과 하부 게이트 패드간의 콘택 저항을 줄일 수 있었다.

이러한 콘택 저항 감소에 관해 실험결과를 참조하여 설명하면 다음과 같다.

도 11은 본 발명에 따른 박막 트랜지스터의 콘택 저항을 측정한 결과 그래프이다.

도 11에서 a 그래프는 하부 패드 전극과 하부 게이트 패드 형성 후 이들간의 저항값을 측정한 결과 그래프이고, b 그래프는 패시베이션막을 고온 증착한 후 하부 패드 전극과 하부 게이트 패드 간의 저항값을 측정한 결과 그래프이다. 또한, 도 11의 조건 1은 콘택 형성 후, 이온 활성화를 위해 노를 이용한 열처리 공정을 약 450도의 온도에서 실시한 실험 결과이고, 조건 2는 노를 이용한 열처리 공정을 약 400도의 온도에서 실시한 후의 실험 결과이다.

상술한 실험 조건에서와 같이 콘택을 형성한 다음, 열처리 공정을 실시하고, 콘택을 매립한 다음 고온에서 패시베이션막을 증착하게 되면 콘택 저항이 감소됨을 알 수 있다. 또한, 열처리 공정의 온도에 따라 콘택 저항 값의 변화가 커지게 됨을 알 수 있다.

발명의 효과

상술한 바와 같이, 하부 패드 전극 콘택홀 형성후, 노를 이용한 열처리 공정을 통해 활성층에 주입된 불순물 이온을 활성화할 수 있다.

또한, 콘택홀 형성후, 노를 이용한 열처리 공정을 실시하고, 금속으로 콘택홀을 매립한 다음, 고온에서 패시베이션막을 형성하여 콘택홀을 통해 접속되는 두 금속간의 콘택 저항을 줄일 수 있고, 공정을 단순화할 수 있으며, 소자의 제작 비용을 절감할 수 있다.

이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1a는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 평면도.

도 1b는 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 단면도.

도 2 내지 도 10은 본 실시예에 따른 박막 트랜지스터 기관의 제조 방법을 설명하기 위해 도 1a를 A-A 선, B-B 선, 및 C-C선에 대해 자른 단면도.

도 11은 본 발명에 따른 박막 트랜지스터의 콘택 저항을 측정한 결과 그래프.

<도면의 주요 부분에 대한 부호의 설명>

100 : 기관 110 : 활성층

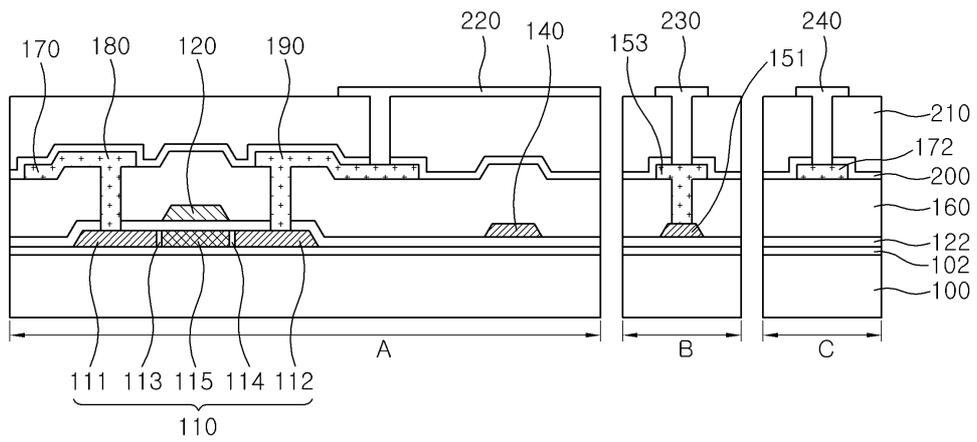
120 : 게이트 전극 140 : 유지 전극 라인

150 : 게이트 라인 170 : 데이터 라인

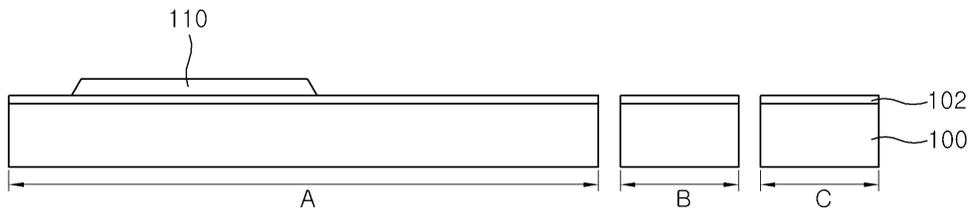
180 : 소스 전극 190 : 드레인 전극

200 : 패시베이션막 220 : 화소 전극

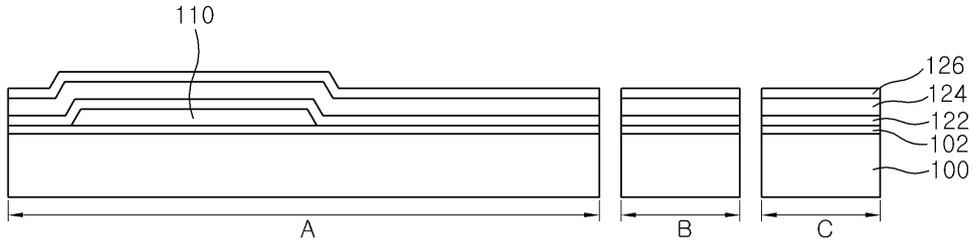
도면1b



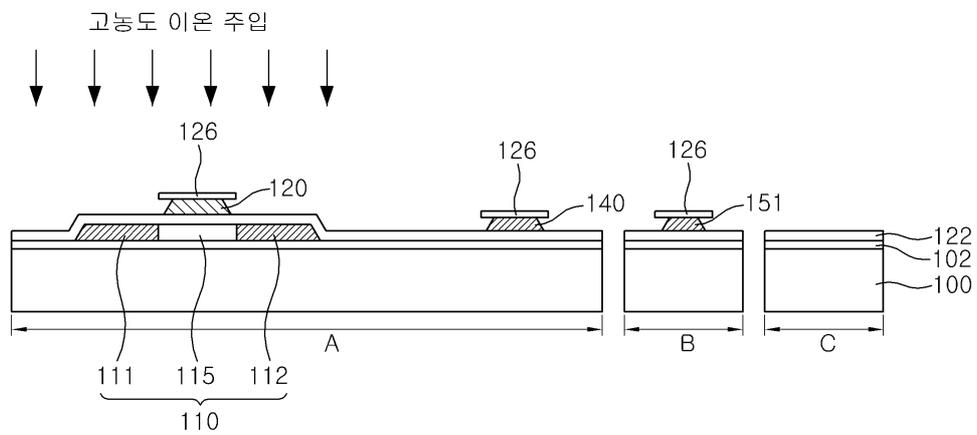
도면2



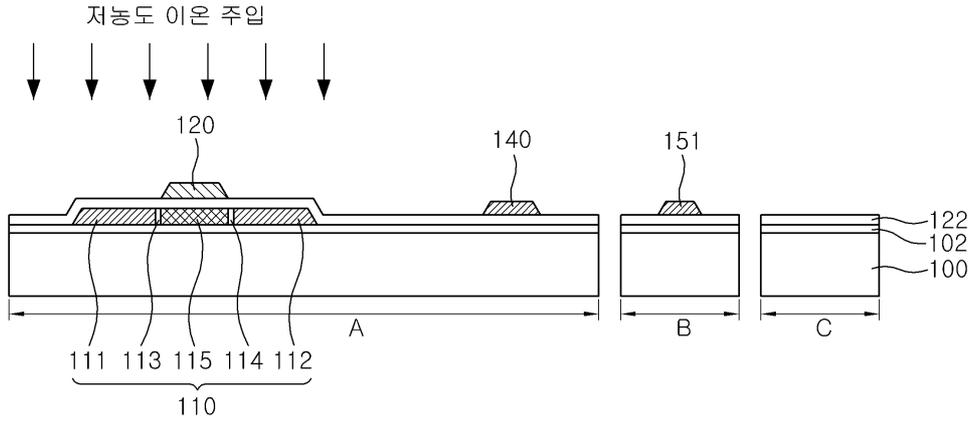
도면3



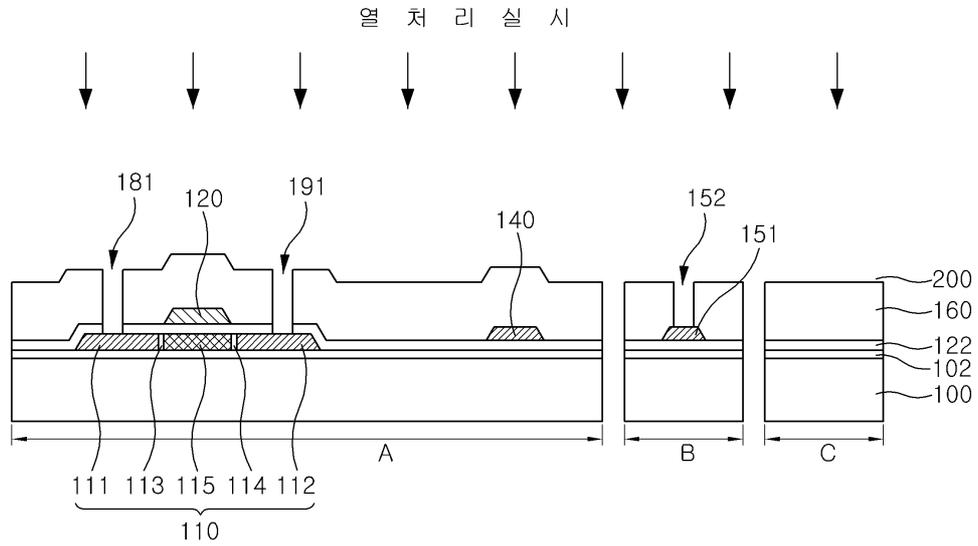
도면4



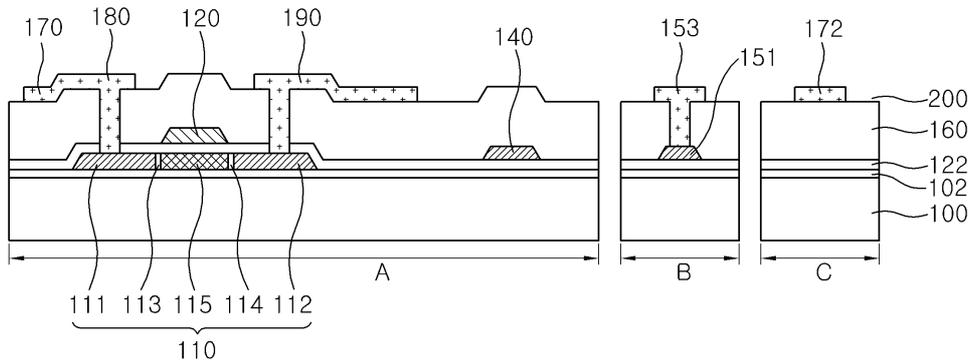
도면5



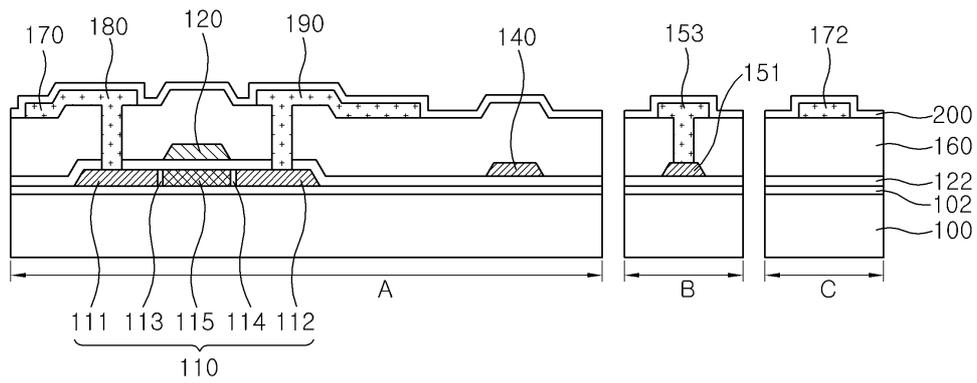
도면6



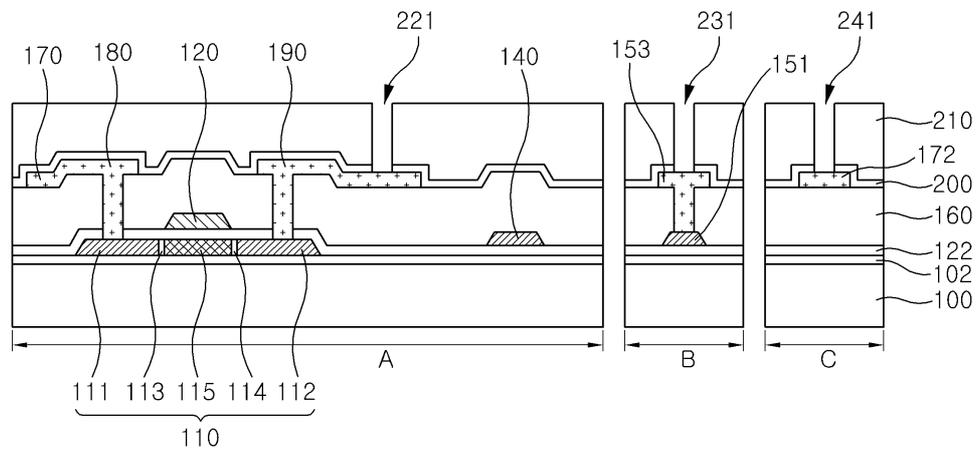
도면7



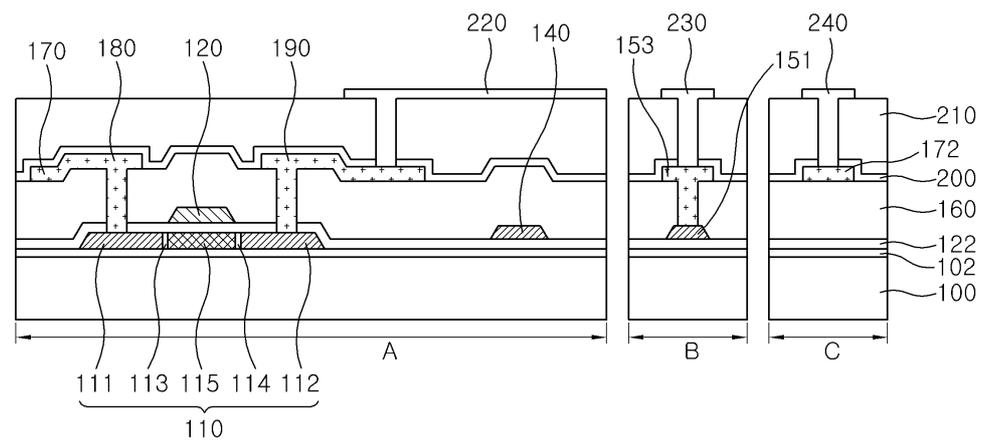
도면8



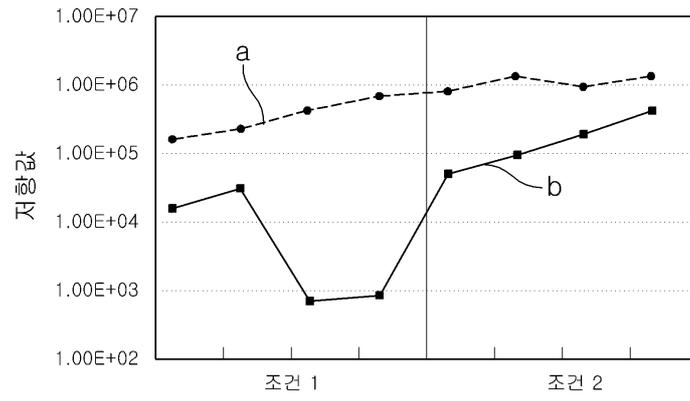
도면9



도면10



도면11



专利名称(译)	制造用于液晶显示器的薄膜晶体管基板的方法		
公开(公告)号	KR1020060133711A	公开(公告)日	2006-12-27
申请号	KR1020050053487	申请日	2005-06-21
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	YOU CHUN GI 유춘기 PARK KYUNG MIN 박경민		
发明人	유춘기 박경민		
IPC分类号	G02F1/136		
CPC分类号	H01L27/1259 G02F1/1368 H01L27/1222		
外部链接	Espacenet		

摘要(译)

本发明涉及源电极接触孔回收通过热处理注入的杂质离子使用scull曝光形成接触孔部分栅电极线和下部有源层通过层间绝缘膜活性在基板上形成层，并且在有源层上形成用作液晶基板制造方法的薄膜晶体管的栅电极，并且在执行源/漏的离子注入之后，在层上形成层间绝缘膜激活部分，漏电极和用于液晶衬底的薄膜晶体管制造方法，用于在高温形成之后沉积栅极焊盘和钝化膜，并降低接触电阻。液晶显示器，薄膜晶体管基板，热处理，钝化膜，热沉积。

