



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0122349
G02F 1/136 (2006.01) (43) 공개일자 2006년11월30일

(21) 출원번호 10-2005-0044737
(22) 출원일자 2005년05월27일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 오금미
경기 의왕시 삼동 146-71 우성아파트6차 12-205
(74) 대리인 허용록

전체 청구항 수 : 총 10 항

(54) 박막트랜지스터 및 그의 제조방법과 이를 구비한액정표시장치

(57) 요약

폴리실리콘 박막트랜지스터 소자 반도체층의 LDD 영역을 개선하여 신뢰성을 향상시킬 수 있는 박막트랜지스터 및 그의 제조방법과 이를 구비한 액정표시장치가 개시된다.

본 발명에 따른 박막트랜지스터는 절연기관 상에 형성되어 양끝단부는 넓고 가운데 부분은 좁은 형태를 갖는 LDD 영역과, 소스영역 및 드레인 영역을 포함한 액티브층과, 상기 액티브층의 소스영역과 전기적으로 접속된 소스전극 및 상기 액티브층의 드레인 영역과 전기적으로 접속된 드레인 전극을 포함한다.

대표도

도 5

특허청구의 범위

청구항 1.

절연기관 상에 형성되어 양끝단부는 넓고 가운데 부분은 좁은 형태를 갖는 LDD 영역과, 소스영역 및 드레인 영역을 포함
한 반도체층;

상기 반도체층의 소스영역과 전기적으로 접속된 소스전극; 및

상기 반도체층의 드레인 영역과 전기적으로 접속된 드레인 전극을 포함하는 것을 특징으로 하는 박막트랜지스터.

청구항 2.

제 1항에 있어서,

상기 LDD 영역은 상기 소스전극 및 드레인 전극과 비중첩되도록 형성되는 것을 특징으로 하는 박막트랜지스터.

청구항 3.

제 1항에 있어서,

상기 LDD 영역은 상기 드레인 전극과 비중첩되도록 형성되는 것을 특징으로 하는 박막트랜지스터.

청구항 4.

제 1항에 있어서,

상기 반도체층은 폴리실리콘으로 이루어진 것을 특징으로 하는 박막트랜지스터.

청구항 5.

절연기판 상에 반도체층을 형성하는 단계;

상기 반도체층 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 마스크로 이용하여 상기 반도체층 상에 n- 이온이 주입되는 단계;

상기 게이트 전극 상에 포토레지스트를 형성하여 상기 게이트 전극과 접한 부분중에 양끝단부는 넓고 가운데 부분은 좁은 포토레지스트 패턴을 형성하는 단계; 및

상기 포토레지스트 패턴을 마스크로 이용하여 양끝단부는 넓고 가운데 부분은 좁은 형태인 n- 도핑처리된 LDD 영역과, 상기 포토레지스트 패턴의 노출된 영역에 n+ 도핑처리 하여 소스영역과 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 6.

제 5항에 있어서,

상기 포토레지스트 패턴은 계단형 모양으로 형성되는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 7.

제 5항에 있어서,

상기 포토레지스트 패턴은 상기 게이트 절연막 상에 형성되는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 8.

제 5항에 있어서,

상기 LDD 영역은 상기 소스전극 및 드레인 전극과 비중첩되도록 형성되는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 9.

제 5항에 있어서,

상기 LDD 영역은 상기 드레인 전극과 비중첩되도록 형성되는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 10.

다수의 화소영역을 정의하는 게이트라인과 데이터라인;

상기 게이트라인과 데이터라인의 교차부에 위치하고 양끝단부는 넓고 가운데 부분은 좁은 형태를 갖는 LDD 영역과, 소스 영역 및 드레인 영역을 포함한 액티브층과, 상기 액티브층의 소스영역과 전기적으로 접속된 소스전극 및 상기 액티브층의 드레인 영역과 전기적으로 접속된 드레인 전극을 포함한 박막트랜지스터; 및

상기 게이트라인과 데이터라인 및 박막트랜지스터를 구비한 액정패널을 포함하는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 소자의 신뢰성을 향상시킬 수 있는 박막트랜지스터 및 그의 제조방법과 이를 구비한 액정표시장치에 관한 것이다.

박막트랜지스터 소자용 반도체 재료로는 폴리실리콘이 주로 이용되고 있는데, 상기 폴리실리콘은 비정질 실리콘에 비하여 전계효과 이동도가 크기 때문에 기관 위에 구동회로를 만들 수 있어, 구동 회로 비용도 줄일 수 있고 실장도 간단해지는 장점을 가진다.

또한, 폴리 실리콘형 박막트랜지스터는 전하 이동도가 높음에 따라 빠른 응답 속도를 필요로 하는 고해상도 액정패널에 적합하다. 이에 따라, 폴리 실리콘형 박막트랜지스터를 이용한 액정표시장치가 대두되고 있다.

도 1은 종래의 구동회로부 일체형 액정표시장치를 나타낸 도면이다.

도 1에 도시된 바와 같이, 상기 액정표시장치는 동일 기관(2) 상에 구동회로부(3)와 화소부(4)가 구성되어 있다.

상기 화소부(4)는 상기 기관(2)의 중앙부에 위치하고, 상기 화소부(4)의 좌측 및 상부에는 각각 게이트 및 데이터 드라이버(3a, 3b)가 위치하고 있다.

상기 화소부(4)에는 상기 게이트 드라이버(3a)와 연결된 복수개의 게이트라인(6)과 상기 데이터 드라이버(3b)와 연결된 복수개의 데이터라인(8)이 교차하는 영역으로 정의되는 화소영역 상에 화소전극(10)이 형성되어 있고, 상기 화소 전극(10)과 연결되어 박막트랜지스터(TFT)가 형성되어 있다.

상기 게이트 및 데이터 드라이버(3a, 3b)는 각각 게이트 및 데이터라인(6, 8)을 통해 상기 화소전극(10)에 스캔신호 및 데이터 전압을 공급하기 위한 장치이다.

그리고, 상기 게이트 및 데이터 드라이버(3a, 3b)는 외부신호 입력단(12)과 연결되어 있어, 상기 외부신호 입력단(12)을 통하여 들어온 외부신호를 조절하여 상기 화소전극(10)에 출력하는 역할을 한다.

상기 게이트 및 데이터 드라이버(3a, 3b)는 입력되는 신호를 적절하게 출력시키기 위하여 CMOS구조 박막트랜지스터(미도시)를 채용하고 있다.

상기 CMOS구조 박막트랜지스터는 고속 신호처리가 요구되는 구동회로부 박막트랜지스터에 사용되는 반도체 기술의 일종으로서, 음전기로 충전된 여분의 전자들(n형 반도체) 또는 양전기로 충전된 캐리어(p형 반도체)를 이용하여 하나의 전도체를 형성하여, 상기 두 종류의 반도체들의 효과적인 전기제어에 의해 전류 게이트를 이루기 위해 상호 보완적인 방법으로 사용된다.

도 2는 도 1의 화소부를 상세히 나타낸 도면이다.

도 2에 도시된 바와 같이, 상기 화소부에 구비된 박막트랜지스터(TFT)는 반도체층(16)과, 게이트라인(6)과 접속된 게이트전극(20)과, 데이터라인(8)과 접속된 소스전극(26)과, 화소전극(32) 및 드레인 콘택홀(40)을 통해 접속되는 드레인 전극(28)을 포함한다.

상기 반도체층(16)은 상기 게이트 전극(20)과 대응되게 위치하는 활성영역(I)과 상기 활성영역(I)의 양측부에 위치하는 LDD 영역(II:Lightly Doped Drain)과, 상기 LDD 영역(II)의 양측부에 위치하는 소스 영역(III) 및 드레인 영역(IV)으로 이루어진다.

상기 LDD 영역(II)은 핫캐리어(hot carrier)들을 분산시키기 위한 목적으로 낮은 농도로 도핑처리되어, 누설전류의 증가를 막는다.

상기 게이트 전극(20)을 덮는 영역에는, 상기 반도체층(16)의 소스 영역(III) 및 드레인 영역(IV)을 노출시키는 제 1 및 제 2 콘택홀(22a, 22b)을 가지는 층간절연막(미도시)이 형성되어 있으며, 상기 층간절연막(미도시) 상부에는 상기 제 1 콘택홀(22a)을 통해 상기 반도체층(16)의 소스 영역(III)과 연결되는 소스전극(26)과, 상기 제 2 콘택홀(22b)을 통해 상기 반도체층(16)의 드레인 영역(IV)과 연결되는 드레인 전극(28)이 서로 일정간격 이격되게 형성되어 있다.

상기 반도체층(16)은 도 3에 도시된 바와 같이, 유리기판(1)과 버퍼층(14) 상에 형성된다. 상기 반도체층(16) 상에는 게이트 절연막(18)이 형성된다.

상기 반도체층(16)의 양끝단(B, C)부분과 상기 반도체층(16)의 중간부분(A)에 상기 게이트 절연막(18)이 형성된다.

이때, 상기 반도체층(16)의 중간부분(A)과 상기 게이트 절연막(18) 사이의 닿는 면적과, 상기 반도체층(16)의 양끝단(B, C)부분과 상기 게이트 절연막(18) 사이의 닿는 면적은 실제로는 같지만, 접한 면적은 서로 다르다.

이로인해, 상기 반도체층(16)의 양끝단(B, C)부분은 상기 반도체층(16)의 중간부분(A)에 비해 캐패시턴스가 많이 발생하게 된다. 상기 캐패시턴스가 존재한다는 것은 전류가 용이하게 흐른다는 것을 의미한다. 따라서, 상기 캐패시턴스가 증가하게 되면 전류가 상기 캐패시턴스가 증가하는 부분으로 집중되는 현상이 발생하게 된다.

상기 캐패시턴스는 유전을 뿐만 아니라 접하는 면적의 두께에도 상당한 영향을 받는다. 따라서, 상기 반도체층(16)의 양끝단(B, C)에서 발생한 캐패시턴스로 인해 상기 반도체층(16)의 양끝단(B, C)으로 전류가 집중되는 현상이 발생하게 된다.

상기 반도체층(16)이 양끝단(B, C)에 캐패시턴스가 증가되면서 전류가 집중되는 현상이 발생된다.

상기 반도체층(16)의 양끝단(B, C)으로 전류가 집중되는 현상이 발생하게 되어 전류의 이동이 용이하지 않게되어 폴리실리콘 박막트랜지스터의 장점인 전류의 이동도가 감소하게 된다.

즉, 상기 반도체층(16)의 양끝단(B, C)의 경우, 상기 반도체층(16) 상단의 게이트 절연막(18) 과의 두께는 상기 반도체층(16)의 중간부분과 동일하나, 단위면적이 상기 중간부분에 비하여 증가하기 때문에 캐패시턴스가 증가하게 된다.

실질적으로 상기 게이트 절연막(18)와의 두께에는 변함이 없으나, 전류전 입장에서 상기 게이트 절연막(18)의 두께가 얇아지는 효과를 나타내어 상기 반도체층(16)의 양끝단(B,C)에 전류가 집중되기 쉽다. 따라서, 상기 액정표시장치가 구동시, 상기 반도체층(16)의 양끝단(B, C)에 과전류가 흘러 전류가 지연되는 현상을 유발하여 신뢰성이 문제될 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 폴리실리콘 박막트랜지스터 소자 반도체층의 LDD 영역을 개선하여 박막트랜지스터의 신뢰성을 향상시킬 수 있는 박막트랜지스터 및 그의 제조방법과 이를 구비한 액정표시장치를 제공함에 그 목적이 있다.

발명의 구성

상기 목적을 달성하기 위한 본 발명의 실시예에 따른 박막트랜지스터는 절연기판 상에 형성되어 양끝단부는 넓고 가운데 부분은 좁은 형태를 갖는 LDD 영역과, 소스영역 및 드레인 영역을 포함한 액티브층과, 상기 액티브층의 소스영역과 전기적으로 접속된 소스전극 및 상기 액티브층의 드레인 영역과 전기적으로 접속된 드레인 전극을 포함한다.

상기 목적을 달성하기 위한 본 발명의 실시예에 따른 박막트랜지스터의 제조방법은 절연기판 상에 액티브층을 형성하는 단계와, 상기 액티브층 상에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 상에 게이트 전극을 형성하는 단계와, 상기 게이트 전극을 마스크로 이용하여 n- 이온이 주입되는 단계와, 상기 게이트 전극 상에 포토레지스트를 형성하여 상기 게이트 전극과 접한 부분중에 양끝단부는 넓고 가운데 부분은 좁은 포토레지스트 패턴을 형성하는 단계 및 상기 포토레지스트 패턴을 마스크로 이용하여 양끝단부는 넓고 가운데 부분은 좁은 형태인 n- 도핑처리된 LDD 영역과, 상기 포토레지스트 패턴의 노출된 영역에 n+ 도핑처리 하여 소스영역과 드레인 영역을 형성하는 단계를 포함한다.

상기 목적을 달성하기 위한 본 발명의 실시예에 따른 액정표시장치는 다수의 화소영역을 정의하는 게이트라인과 데이터라인과, 상기 게이트라인과 데이터라인의 교차부에 위치하고 양끝단부는 넓고 가운데 부분은 좁은 형태를 갖는 LDD 영역과, 소스영역 및 드레인 영역을 포함한 액티브층과, 상기 액티브층의 소스영역과 전기적으로 접속된 소스전극 및 상기 액티브층의 드레인 영역과 전기적으로 접속된 드레인 전극을 포함한 박막트랜지스터 및 상기 게이트라인과 데이터라인 및 박막트랜지스터를 구비한 액정패널을 포함한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 설명한다.

도 4는 본 발명에 따른 액정표시장치의 화소영역을 상세히 나타낸 도면이다.

도 4에 도시된 바와 같이, 상기 화소영역은 게이트라인(106)과 데이터라인(108)이 교차되어 배열되고, 상기 게이트라인(106)과 데이터라인(108)의 교차지점에는 폴리 박막트랜지스터(TFT)가 형성된다.

상기 폴리 박막트랜지스터(TFT)는 반도체층(116)과, 게이트라인(106)과 접속된 게이트 전극(120)과, 데이터라인(108)과 접속된 소스전극(126)과, 화소전극(132)과 전기적으로 접속되는 드레인 전극(128)을 포함한다.

상기 반도체층(116)은 상기 게이트 전극(120)과 대응되게 위치하는 활성영역(i)과 상기 활성영역(i)의 양측부에 위치하는 LDD 영역(ii:Lightly Doped Drain)과, 상기 LDD 영역(ii)의 양측부에 위치하는 소스 영역(iii) 및 드레인 영역(iv)으로 이루어진다.

상기 LDD 영역(ii)은 핫캐리어(hot carrier)들을 분산시키기 위한 목적으로 낮은 농도로 도핑처리되어, 누설전류의 증가를 막는다.

상기 LDD 영역(ii)은 도 5에 도시된 바와 같이, 계단형으로 패터닝 되어 형성된다. 즉, 상기 LDD 영역(ii)의 상/하단부는 넓게 형성되고, 상기 LDD 영역(ii)의 가운데 부분은 좁게 형성되는 계단형 형태로 패터닝 된다.

상기 LDD 영역(ii)의 상/하단부를 넓게 형성한 이유는 위에서 언급한 바와 같이, 상기 반도체층(116)의 양끝부분으로 전류가 집중되는 현상을 방지하고 전류의 이동을 용이하도록 하여 상기 폴리 박막트랜지스터(TFT)의 신뢰성을 향상시키고자 함이다.

상기 게이트 전극(120)을 덮는 영역에는, 상기 반도체층(116)의 소스 영역(iii) 및 드레인 영역(iv)을 노출시키는 제 1 및 제 2 콘택홀(122a, 122b)을 가지는 층간절연막(미도시)이 형성되어 있으며, 상기 층간절연막(미도시) 상부에는 상기 제 1 콘택홀(122a)을 통해 상기 반도체층(116)의 소스 영역(iii)과 연결되는 소스전극(126)과, 상기 제 2 콘택홀(122b)을 통해 상기 반도체층(116)의 드레인 영역(iv)과 연결되는 드레인 전극(128)이 서로 일정간격 이격되게 형성되어 있다.

도 6은 도 4의 폴리 박막트랜지스터의 단면도이다.

도 6에 도시된 바와 같이, 절연 기판(101) 상에 버퍼층(114)이 형성되어 있고, 상기 버퍼층(114) 상부에는 반도체층(116)이 형성되어 있고, 상기 반도체층(116) 상의 중앙부에는 게이트 절연막(112), 게이트 전극(120)이 순차적으로 형성되어 있다.

상기 반도체층(116)은 상기 게이트 전극(120)과 대응되게 위치하는 활성영역(i)과, 상기 활성영역(i)의 양측부에 위치하는 LDD 영역(ii; Lightly Doped Drain)과, 상기 LDD 영역(ii)의 양측부에 위치하는 소스 영역(iii) 및 드레인 영역(iv)으로 이루어진다.

상기 LDD 영역(ii)은 신뢰성을 향상시키기 위해서 낮은 농도로 도핑처리된다.

상기 게이트 전극(120)을 덮는 영역에는, 상기 반도체층(116)의 소스영역(iii) 및 드레인 영역(iv)을 노출시키는 제 1 및 제 2 콘택홀(122a, 122b)을 가지는 층간절연막(124)이 형성되어 있으며, 상기 층간절연막(124) 상부에는 제 1 콘택홀(122a)을 통해 상기 반도체층(116)의 소스영역(iii)과 연결되는 소스 전극(126)과, 상기 제 2 콘택홀(122b)을 통해 상기 반도체층(116)의 드레인 영역(iv)과 연결된 드레인 전극(128)이 서로 일정간격 이격되게 형성되어 있다.

상기 반도체층(116), 게이트 전극(120), 소스 전극(126) 및 드레인 전극(128)은 박막트랜지스터(TFT)를 이루고, 상기 박막트랜지스터(TFT)를 덮는 영역에는 보호층(130)이 형성되어 있다. 상기 보호층(130) 상에 상기 드레인 전극(128)과 화소전극(132)을 연결하기 위한 드레인 콘택홀을 형성한다. 상기 드레인 콘택홀 상에 상기 화소전극(132)이 형성된다.

도 7a 내지 도 7j는 도 4의 폴리 박막트랜지스터(TFT)의 제조공정순서를 나타낸 도면이다.

도 7a에 도시된 바와 같이, 절연기판(101) 상에 버퍼층(114)이 형성된다. 상기 버퍼층(114)의 재료로는 산화 실리콘 또는 질화 실리콘 등의 무기 절연 물질이 이용된다. 상기 버퍼층(114) 상에 아몰퍼스 실리콘 막이 전면 형성된다. 상기 아몰퍼스 실리콘막이 레이저에 의해 결정화 되어 폴리실리콘막(206)이 된다. 상기 폴리실리콘막(206) 상에 포토레지스트(218)가 전면 형성된다.

상기 포토레지스트(218)가 형성된 기판(101) 상에 차단부(B)와 투과부(A)를 포함하는 마스크(212)가 정렬된다. 상기 마스크(212)와 상기 포토레지스트(218)를 이용한 포토공정을 통해 도 7b에 도시된 바와 같이 반도체층(116)이 형성된다.

도 7c에 도시된 바와 같이, 상기 반도체층(116)이 형성된 기판(101) 상에 게이트 절연막(112)이 형성된다. 상기 게이트 절연막(112)은 무기절연물질 또는 유기절연물질이 이용된다.

상기 게이트 절연막(112) 상에 게이트 금속층이 스퍼터링 등의 형성방법을 통해 전면 형성된다. 여기서, 상기 게이트 금속층은 알루미늄계금속이 이용된다. 그런 다음, 마스크를 이용한 포토공정에 의해 게이트 금속이 패터닝됨으로써, 게이트 전극(120)이 형성된다.

그런다음, 상기 게이트 전극(120)을 마스크로 이용하여 도 7d에 도시된 바와 같이, 상기 반도체층(116)에 n- 이온이 주입된다. 이에따라, 도 7e에 도시된 바와 같이, 상기 N형 TFT의 반도체층(116)의 활성영역(i)과 LDD 영역(ii)이 형성된다.

상기 반도체층(116)의 활성영역(i)은 상기 게이트 전극(120)과 중첩되며, 상기 LDD 영역(ii)은 상기 게이트 전극(120)과 비중첩되어 n- 이온이 주입된다.

도 7f에 도시된 바와 같이, 상기 게이트 전극(120)이 형성된 기판(101) 상에 포토레지스트(236)가 전면 형성된 후 마스크(222)가 상기 기판(101)에 정렬된다. 상기 마스크(222)는 차단부(B)와 투과부(A)를 구비한다.

상기 마스크(222)를 이용한 포토공정에 의해 상기 포토레지스트(236)가 패터닝됨으로써 도 7g에 도시된 바와 같이, 포토레지스트 패턴(238)이 형성된다. 상기 포토레지스트 패턴(238)은 상기 LDD 영역(ii)과 일부 비중첩되도록 상기 게이트 절연막(112) 상에 형성된다.

상기 포토레지스트 패턴(238)을 마스크로 상기 LDD 영역(ii)에 n^+ 이온이 주입됨으로써 도 7h에 도시된 바와 같이, 상기 반도체층(116)의 소스영역(iii) 및 드레인 영역(iv)이 형성된다.

상기 포토레지스트 패턴(238)은 도 5에 도시된 바와 같이, 계단형모양으로 상기 LDD 영역(ii)의 양끝단 부분이 넓게 형성되도록 하고, 상기 LDD 영역(ii)의 중앙부분이 좁게 형성되도록 한다. 상기 LDD 영역(ii)의 양끝부분이 넓게 형성됨으로 인해, 전류가 집중되는 현상을 억제하여 상기 TFT의 신뢰성을 향상시킨다.

상기 기판(101) 상에 절연물질이 전면 형성됨으로써 층간절연막(124)이 형성된다. 상기 층간절연막(124)이 형성된 기판(101) 상에 포토레지스트가 전면 형성된 후 마스크를 이용한 포토공정에 의해 포토레지스트가 패터닝되어 포토레지스트 패턴이 형성된다.

상기 포토레지스트 패턴을 마스크로 이용한 식각공정에 의해 상기 층간절연막(124)과 게이트 절연막(112)이 패터닝됨으로써, 도 7i에 도시된 바와 같이, 제 1 및 제 2 콘택홀(122a, 122b)이 형성된다.

상기 제 1 및 제 2 콘택홀(122a, 122b)은 상기 층간절연막(124)과 게이트 절연막(112)을 관통하여 상기 반도체층(116)의 소스영역(ii) 및 드레인 영역(iv)을 노출시킨다.

상기 제 1 및 제 2 콘택홀(122a, 122b)이 형성된 기판(101) 상에 데이터금속층이 스퍼터링 등의 형성방법을 통해 전면 형성된다. 상기 데이터금속층 상에 포토레지스트가 전면 형성된 후 마스크를 이용한 포토공정에 의해 포토레지스트가 패터닝되어 포토레지스트 패턴이 형성된다.

상기 포토레지스트 패턴을 마스크로 이용한 식각공정에 의해 상기 데이터금속층이 패터닝됨으로써 소스전극(126) 및 드레인 전극(128)이 형성된다.

상기 소스전극(126)은 상기 반도체층(116)의 소스영역(iii)과 접촉하게 되고, 상기 드레인 전극(128)은 상기 반도체층(116)의 드레인영역(iv)과 접촉하게 된다.

도 7j에 도시된 바와 같이, 상기 소스전극(126) 및 드레인 전극(128)이 형성된 기판(101) 상에 절연물질이 전면 형성됨으로써 보호층(130)이 형성된다. 상기 보호층(130)은 무기절연물질 또는 유기절연물질 등으로 이루어진다.

상기 보호층(130)이 형성된 기판(101) 상에 포토레지스트가 형성된다. 마스크를 이용한 포토공정에 의해 상기 포토레지스트가 패터닝되어 포토레지스트 패턴이 형성된다. 상기 포토레지스트 패턴을 마스크로 이용한 식각공정에 의해 상기 보호층(130)이 패터닝됨으로써 상기 드레인 전극(128)을 노출시키는 드레인 콘택홀(140)이 형성된다. 상기 드레인 콘택홀(140) 상에 투명한 전도성 물질인 화소전극(132)이 형성된다.

상기 계단형과 같이, 양끝단부는 넓고 가운데 부분은 좁은 형태로 이루어진 LDD 영역(ii)은 상기 소스전극(126)에서 드레인 전극(128)으로 흐르는 전류의 이동도를 증가시키고 누설전류를 막아주는 역할을 한다.

결국, 상기 반도체층(116)의 양끝부분과 상기 게이트 절연막(112) 사이의 접촉 면적으로 인해 발생하는 캐패시턴스로 인해 전류가 상기 반도체층(116)의 양끝부분으로 집중되어도 상기 LDD 영역(ii)의 양끝단이 넓어짐에 따라 전류의 이동이 용이하게 하여 상기 TFT의 신뢰성을 향상시킨다.

위에서 언급한 바와 같이, 상기 액정패널은 양끝부분이 넓고 중앙부분이 좁은 패턴을 이용하여 LDD 영역을 형성함으로써, 반도체층의 양끝부분으로 전류가 집중되는 현상을 억제할 수 있다.

도 8은 다른 패턴을 갖는 LDD 영역을 포함한 N형 TFT를 나타낸 개략적인 도면이다.

위에서 설명한 부분과 일치하는 부분은 생략하기로 한다.

도 8에 도시된 바와 같이, 상기 LDD 영역(ii)의 양끝부분은 넓고 상기 LDD 영역(ii)의 중앙부분은 좁은 형태를 갖는다. 상기 LDD 영역(ii)은 상기 소스영역(iii)에서 드레인영역(iv)으로 흐르는 전류들이 누설되는 것을 막는 역할을 한다.

상기 LDD 영역(ii)의 양끝부분이 넓어서 N형 TFT의 반도체층(216)의 양끝부분으로 전류가 집중되는 현상을 억제하여 전류의 이동을 용이하게 할 수 있다.

즉, N형 TFT의 게이트 절연막과 반도체층(116)의 양끝부분에서 발생하는 캐패시턴스로 인해 상기 반도체층(116)의 양끝부분으로 전류가 집중되는 현상이 발생하지만 상기 LDD 영역(ii)의 양끝부분이 넓어서 상기 반도체층(216)의 양끝부분으로 집중된 전류들이 용이하게 소스영역(iii)에서 드레인 영역(iv)으로 이동될 수 있다.

위에서 언급한 바와 같이, 상기 N형 TFT를 구비한 본 발명의 액정패널은 반도체층의 양끝부분으로 전류가 집중되는 현상이 발생하더라도 전류의 이동을 용이하게 하여 상기 TFT의 신뢰성을 향상시킬 수 있다.

도 9는 또 다른 패턴을 갖는 LDD 영역을 포함한 N형 TFT를 나타낸 개략적인 도면이다.

위에서 설명한 부분과 일치하는 부분은 생략하기로 한다.

도 9에 도시된 바와 같이, 상기 LDD 영역(ii)의 양끝부분은 넓고 상기 LDD 영역(ii)의 중앙부분은 좁은 형태를 갖는다. 상기 LDD 영역(ii)은 상기 소스영역(iii)에서 드레인 영역(iv)으로 흐르는 전류들이 누설되는 것을 막는 역할을 한다.

상기 드레인 영역(iv)으로 전류가 집중되는 현상이 상기 소스영역(iii)에 비해 빈번하게 일어나므로, 상기 LDD 영역(ii)을 상기 드레인 영역(iv) 쪽에만 형성되도록 한다. 이때, 상기 드레인 영역(iv)에만 형성된 LDD 영역(ii)은 양끝단이 넓고 중간부분에만 좁은 형태를 갖는다.

상기 LDD 영역(ii)의 양끝부분이 넓어서 상기 N형 TFT의 반도체층(316)의 양끝단이 게이트 절연막과의 접촉면적에서 발생한 캐패시턴스로 인해 상기 반도체층(316)의 양끝부분으로 전류가 집중되더라도 전류의 이동이 용이해질 수 있다.

상기 LDD 영역(ii)의 양끝부분이 넓어서 상기 LDD 영역(ii)의 양끝부분으로 집중된 전류들은 상기 LDD 영역(ii)의 양끝부분이 넓기 때문에 용이하게 상기 드레인 영역(iv)으로 흐를 수 있다.

이로인해, 상기 소스영역(iii)에서 드레인 영역(iv)으로 흐르는 전류는 상기 LDD 영역(ii)이 넓어서 용이하게 흐를 수 있게 된다.

위에서 언급한 바와 같이, 상기 N형 TFT를 구비한 본 발명의 액정패널은 반도체층의 양끝부분으로 전류가 집중되는 현상이 발생하더라도 전류의 이동을 용이하게 하여 상기 TFT의 신뢰성을 향상시킬 수 있다.

발명의 효과

본 발명에 따른 액정표시장치는 LDD 영역의 양끝단부는 넓게하고, 가운데 부분은 좁게 형성하여 반도체층의 양끝부분으로 전류가 집중되는 현상을 줄여 박막트랜지스터의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

도 1은 종래의 구동회로부 일체형 액정표시장치를 나타낸 도면.

도 2는 도 1의 화소부를 상세히 나타낸 도면.

도 3은 본 발명에 따른 액정표시장치의 박막트랜지스터 소자에 대한 단면을 개략적으로 나타낸 도면.

도 4a 내지 도 4j는 도 3의 박막트랜지스터의 제조공정순서를 나타낸 도면.

도 5는 도 4의 박막트랜지스터를 위에서 바라본 모습을 나타낸 도면.

도 6은 본 발명에 따른 액정표시장치의 다른 패턴을 갖는 LDD 영역을 포함한 N형 TFT를 나타낸 개략적인 도면.

도 7은 본 발명에 따른 액정표시장치의 또 다른 패턴을 갖는 LDD 영역을 포함한 N형 TFT를 나타낸 개략적인 도면.

<도면의 주요부분에 관한 간단한 설명>

101:기관 112:게이트 절연막

114:버퍼층 116:액티브층

120, 220, 320:게이트 금속 122a: 제 1 컨택홀

122b:제 2 컨택홀 124:층간절연막

126,226,326:소스전극 128,228,328:드레인 전극

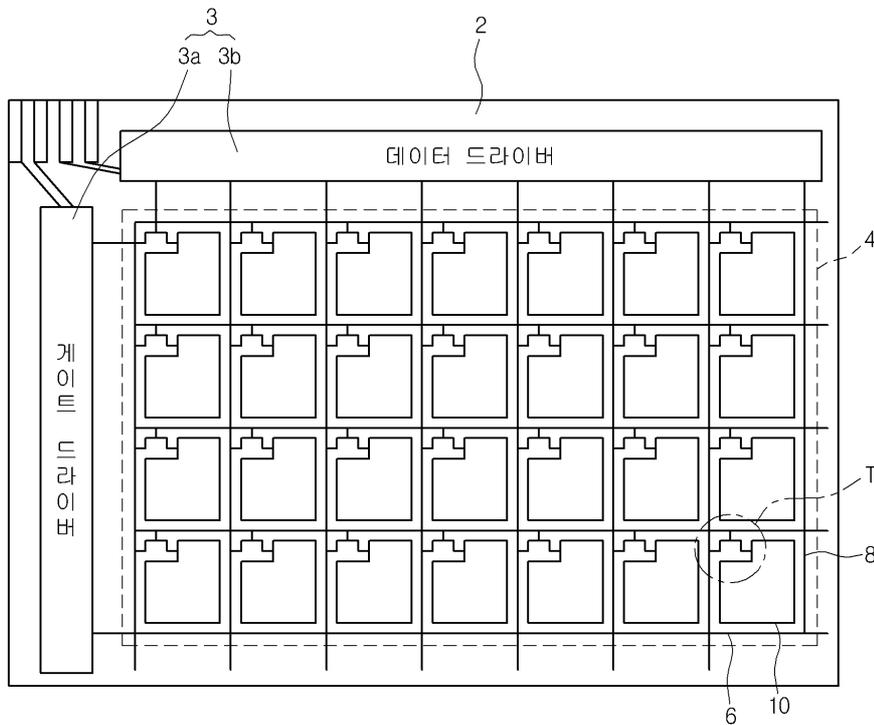
130:보호막 132:화소전극

140:드레인 컨택홀 212,222:마스크

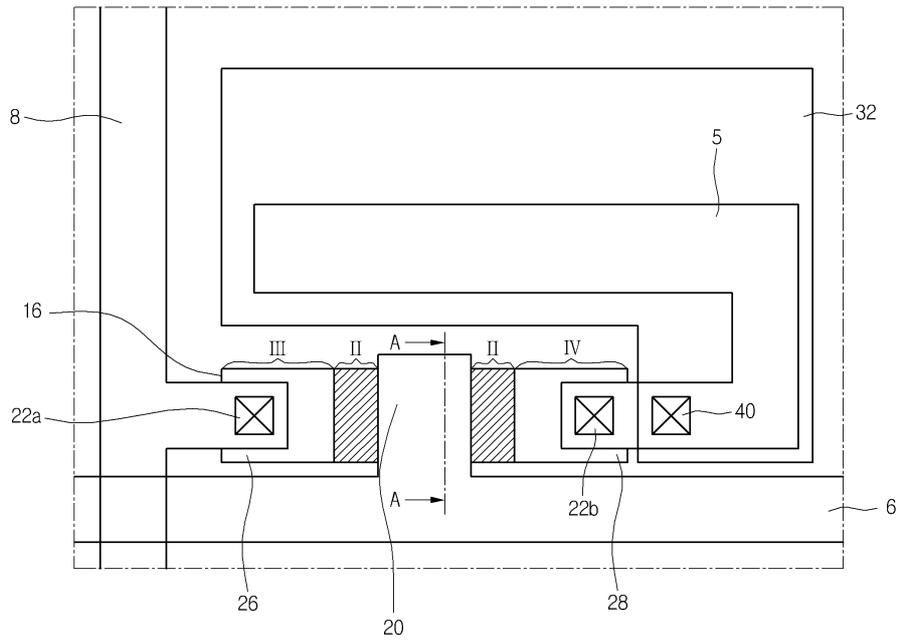
218,236:포토리저스트 238:포토리저스트 패턴

도면

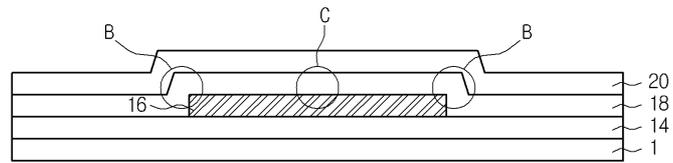
도면1



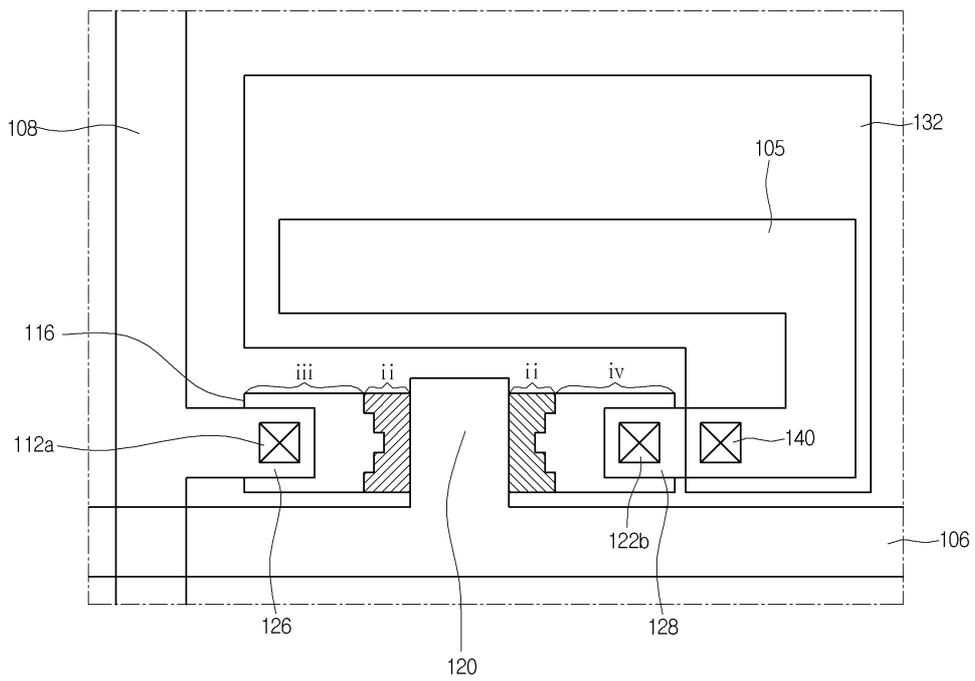
도면2



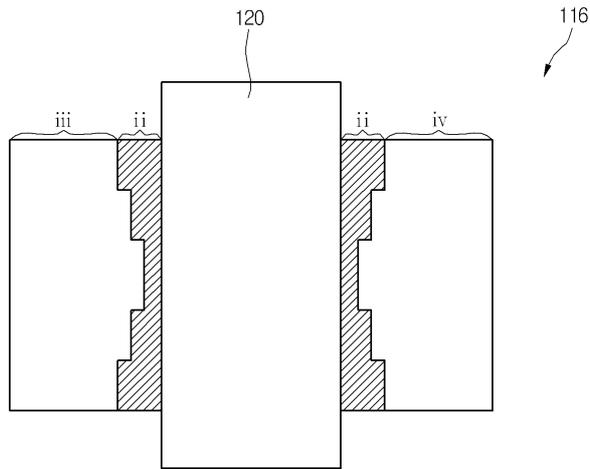
도면3



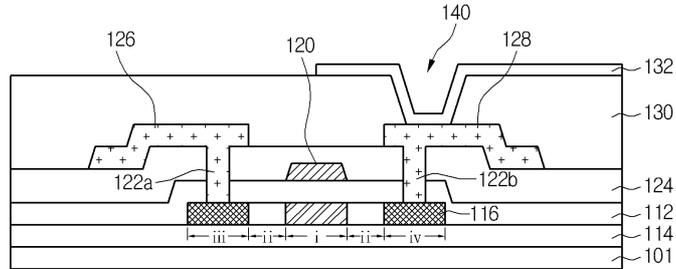
도면4



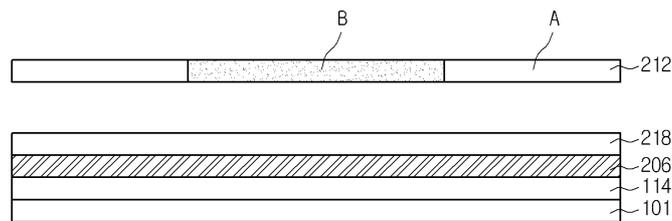
도면5



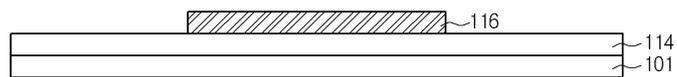
도면6



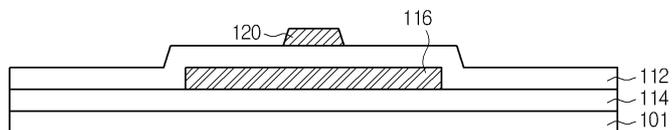
도면7a



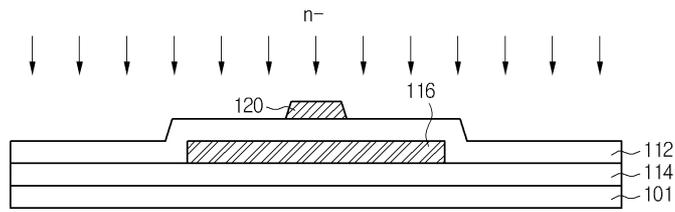
도면7b



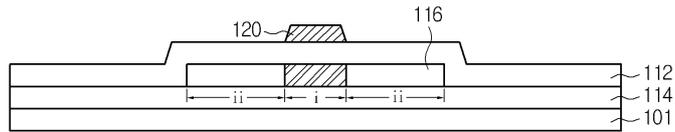
도면7c



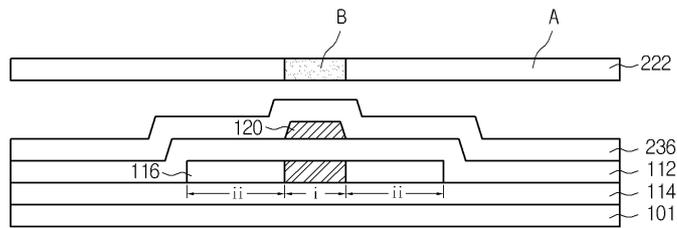
도면7d



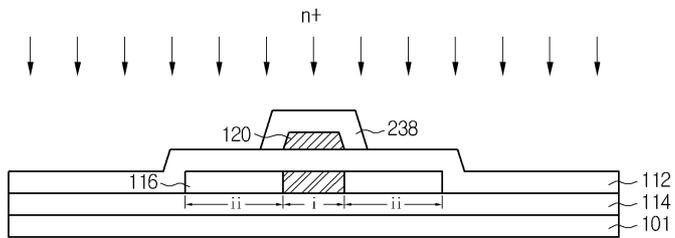
도면7e



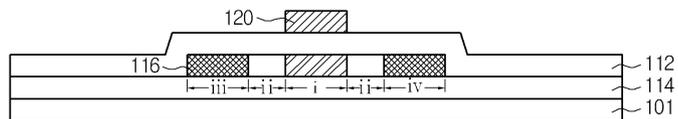
도면7f



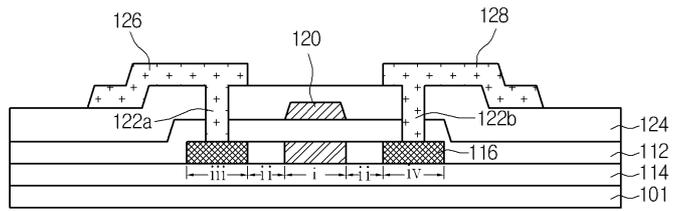
도면7g



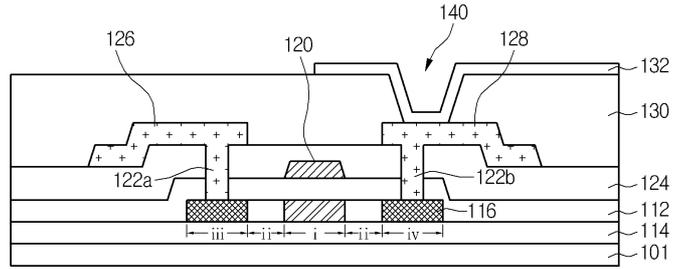
도면7h



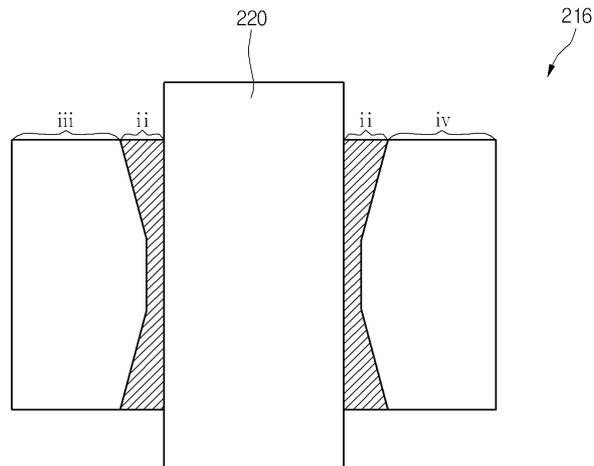
도면7i



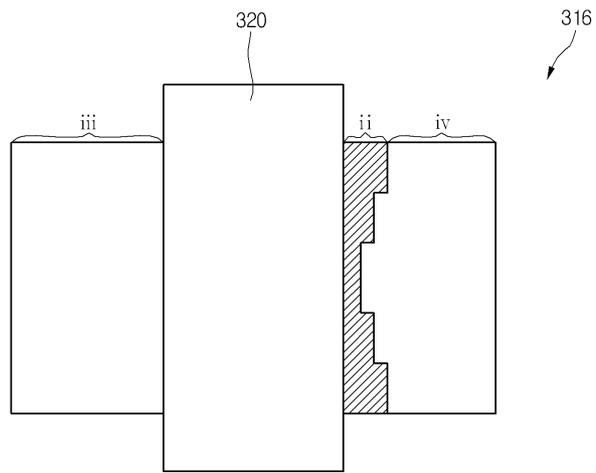
도면7j



도면8



도면9



专利名称(译)	薄膜晶体管，其制造方法以及具有该薄膜晶体管的液晶显示装置		
公开(公告)号	KR1020060122349A	公开(公告)日	2006-11-30
申请号	KR1020050044737	申请日	2005-05-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	OH KUM MI		
发明人	OH, KUM MI		
IPC分类号	G02F1/136		
CPC分类号	H01L29/78621 G02F1/1368 G02F2001/13685 H01L29/66757		
外部链接	Espacenet		

摘要(译)

多晶硅 - 薄膜 - 换能器件半导体层的LCD面积得到改善。并且公开了提高其可靠性的薄膜晶体管及其制造方法和包括该薄膜晶体管的液晶显示器。根据本发明的薄膜晶体管包括LCD区域，该LCD区域形成在绝缘基板上，并且其中两个端点宽，并且其中心部分具有窄形状，并且区域源和连接的源电极与有源层的源区电连接，包括漏区和有源层和漏电极，有源层和漏电极与有源层的漏区电连接。多晶硅，LCD区域和光致抗蚀剂图案。

