

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/1345 (2006.01)

(11) 공개번호 10-2006-0091434
(43) 공개일자 2006년08월21일

(21) 출원번호 10-2005-0012312

(22) 출원일자 2005년02월15일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 임봉묵
서울 동대문구 휘경동 183-405
곽동영
대구 달서구 송현2동 광명아파트 가동 202호

(74) 대리인 김용인
심창섭

심사청구 : 없음

(54) 액정 표시 장치의 박막 트랜지스터 어레이 기판

요약

본 발명은 하부 기판 형성 후, 박막 트랜지스터 어레이의 라인 검사시에 발생하는 정전기에 취약한 구조를 개선한 액정 표시 장치의 박막 트랜지스터 어레이 기판에 관한 것으로, 일 이상의 패널 영역이 정의되는 기판과, 상기 패널 영역 내에 서로 교차하여 화소 영역을 정의하도록 형성된 복수개의 게이트 라인과 데이터 라인과, 상기 패널 영역에서 복수개의 게이트 라인들 및 복수개의 데이터 라인들 각각의 단부에 연결되어 형성된 복수개의 게이트 패드 및 데이터 패드와, 상기 패널 영역 외부에서 상기 복수개의 게이트 패드들과 연결된 제 1 쇼팅바 제 1 패턴 및 이와 이격된 제 1 쇼팅바 제 2 패턴과, 상기 패널 영역 외부에서 상기 복수개의 데이터 패드들과 연결된 제 2 쇼팅바 제 1 패턴 및 이와 이격된 제 2 쇼팅바 제 2 패턴과, 상기 패널 영역 외부에 상기 제 1, 제 2 쇼팅바 제 2 패턴과 각각 연결되는 제 1 검사 패턴 및 제 2 검사 패턴과, 상기 제 1 쇼팅바 제 1, 제 2 패턴을 연결하도록 형성된 제 1 연결 패턴 및 상기 제 2 쇼팅바 제 1, 제 2 패턴을 연결하도록 형성된 제 2 연결 패턴을 포함하여 이루어짐을 특징으로 한다.

대표도

도 3

색인어

MPS(Mass Production System), 박막 트랜지스터 어레이, 검사 패턴, 연결 패턴, 정전기, 패널 영역

명세서

도면의 간단한 설명

도 1은 일반적인 박막 트랜지스터 어레이 기관의 검사 장비의 개략적인 구조를 나타낸 도면

도 2는 종래의 박막 트랜지스터 어레이 기관을 나타낸 평면도

도 3은 본 발명의 액정 표시 장치의 박막 트랜지스터 어레이 기관을 나타낸 평면도

도 4는 도 3의 연결 패턴의 확대도

도 5는 4의 I~I' 선상의 구조 단면도

도 6은 도 5의 II~II' 선상의 구조 단면도

도 7은 도 3의 B 영역의 연결 패턴 및 그 내부의 콘택홀들을 지난 단면도

도 8은 도 3의 B 영역의 콘택 홀을 제외한 연결 패턴을 지난 단면도

도면의 주요 부분을 나타낸 부호 설명

95 : 화소 영역 100 : 기관

105 : 표시 영역 110a : 홀수 게이트 라인

110 b: 짝수 게이트 라인 111a : 홀수 게이트 패드

111b : 짝수 게이트 패드 112 : 제 1 쇼팅바

113 : 제 2 쇼팅바 115 : 게이트 절연막

116 : 보호막 117: 박막 트랜지스터

119 : 화소 영역 120a : 홀수 데이터 라인

121b: 짝수 데이터 라인 122 : 제 3 쇼팅바

123 : 제 4 쇼팅바 125 : 패널 영역

131, 132, 133, 134 : 제 1 내지 제 4 검사 패턴

141, 142, 143, 145 : 제 1 내지 제 4 연결 패턴

150, 151 : 콘택홀

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로 특히, 하부 기관 형성 후, 박막 트랜지스터 어레이의 라인 검사시에 발생하는 정 전기에 취약한 구조를 개선한 액정 표시 장치의 박막 트랜지스터 어레이 기관에 관한 것이다.

정보화 사회가 발전함에 따라 표시장치에 대한 요구도 다양한 형태로 증증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display)등 여러 가지 평판 표시 장치가 연구되어 왔고 일부는 이미 여러 장비에서 표시장치로 활용되고 있다.

그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력을 장점으로 인하여 이동형 화상 표시장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송신호를 수신하여 디스플레이 하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

이와 같은 액정표시장치는, 화상을 표시하는 액정 패널과 상기 액정 패널에 구동신호를 인가하기 위한 구동부로 크게 구분될 수 있으며, 상기 액정 패널은 일정 공간을 갖고 합착된 제 1, 제 2 유리 기판과, 상기 제 1, 제 2 유리 기판 사이에 주입된 액정층으로 구성된다.

여기서, 상기 제 1 유리 기판(TFT 어레이 기판)에는, 일정 간격을 갖고 일방향으로 배열되는 복수개의 게이트 라인과, 상기 각 게이트 라인과 수직한 방향으로 일정한 간격으로 배열되는 복수개의 데이터 라인과, 상기 각 게이트 라인과 데이터 라인이 교차되어 정의된 각 화소영역에 매트릭스 형태로 형성되는 복수개의 화소 전극과, 상기 게이트 라인의 신호에 의해 스위칭되어 상기 데이터 라인의 신호를 상기 각 화소전극에 전달하는 복수개의 박막트랜지스터가 형성된다.

한편, 상기 복수개의 박막 트랜지스터 어레이를 형성하는 공정을 박막 트랜지스터 어레이 공정이라 한다.

그리고 제 2 유리 기판(칼라필터 기판)에는, 상기 화소 영역을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층과, 칼라색상을 표현하기 위한 R,G,B 칼라 필터층과 화상을 구현하기 위한 공통 전극이 형성된다.

이와 같은 상기 제 1, 제 2 유리 기판은 스페이서(spacer)에 의해 일정 공간을 갖고 액정 주입구를 갖는 실(seal)재에 의해 합착되어 상기 두 기판 사이에 액정이 주입되어 액정 패널로 정의된다.

상기 일반적인 액정 표시 장치의 구동 원리는 액정의 광학적 이방성과 분극 성질을 이용한다. 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자 배열의 방향을 제어할 수 있다. 따라서, 상기 액정의 분자 배열 방향을 임의로 조절하면, 액정의 분자 배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자 배열 방향으로 빛이 굴절하여 화상 정보를 표현할 수 있다.

또한, 상기 액정 패널에 구동 신호를 인가하기 위한 구동부는 상기 게이트 라인 및 데이터 라인의 각 패드부에 드라이브 IC로 형성된다.

이 때, 상기 게이트 드라이브 IC는 다수의 게이트 라인에 순차적으로 주사신호를 공급함으로써, 매트릭스 형태로 배열된 화소들이 게이트 라인에 평행한 1개 라인씩 순차적으로 선택되도록 하고, 그 선택된 1개 라인의 화소들에는 데이터 드라이버 IC로부터 데이터 신호가 공급된다.

이하, 첨부된 도면을 참조하여 종래의 액정 표시 장치의 박막 트랜지스터 어레이 기판을 설명하면 다음과 같다.

도 1은 일반적인 박막 트랜지스터 어레이 기판의 검사 장비의 개략적인 구조를 나타낸 도면이다.

도 1과 같이, 일반적인 박막 트랜지스터 어레이 기판의 검사 장비는, 테스트하고자 하는 박막 트랜지스터 어레이 기판이 올려지게 되는 스테이지(20)와, 상기 박막 트랜지스터 어레이 기판 상에 박막 트랜지스터 어레이가 형성되었을 때 상기 박막 트랜지스터 어레이의 구동 여부를 판단하기 위한 모듈레이터(22)와, 상기 모듈레이터(22)로 체크된 전기 신호를 광신호로 변화하는 VIOS(Voltage Image Optics System)(23)과, 상기 VIOS(23)로부터 나오는 광신호를 육안으로 확인해볼 수 있는 CCD(25)로 구성되어 있다.

또한, 상기 스테이지(20)에는 기판에 신호를 인가할 수 있도록 스테이지(20)의 외곽에 형성된 다수개의 프로브(probe)(27)와, 상기 프로브(probe)(27)에 연결되어 각각의 프로브에 알맞은 신호를 인가해주는 프로브 프레임(probe frame, 29)을 포함하고 있다.

이러한 일반적인 박막 트랜지스터 어레이 기관의 검사 장비를 MPS(Mass Production System)이라 하며, 이 장비는 상기 프로브(27)와 액정 패널의 게이트 패드 및 데이터 패드 혹은 이와 연결되는 소정의 라인 및 패턴과 접촉시켜 상기 박막 트랜지스터 어레이 기관의 구동 여부를 판단한다.

도 2는 종래의 박막 트랜지스터 어레이 기관을 나타낸 평면도이다.

도 2와 같이, 종래의 액정 표시 장치의 박막 트랜지스터 어레이 기관(1)은, 단위 액정 패널의 하부 기관을 이루는 패널 영역(33)과, 스크라이빙(scribing) 및 브레이킹(breaking)시 제거되는 패널 영역 이외의 영역으로 구분되어 정의된다.

여기서, 상기 패널 영역(33)에는 박막 트랜지스터 어레이가 형성된다. 이러한 박막 트랜지스터 어레이는, 서로 교차하여 화소 영역(9)을 정의하도록 형성된 복수개의 게이트 라인(3a, 3b)과 데이터 라인(5a, 5b)과, 상기 복수개의 게이트 라인들(3a, 3b)의 각각의 단부에 형성된 복수개의 게이트 패드(4a, 4b)와, 상기 복수개의 데이터 라인들(5a, 5b)의 각각의 단부에 형성된 복수개의 데이터 패드(6a, 6b)를 포함하여 이루어진다. 이러한 패널 영역은 다시, 표시가 이루어지는 표시 영역(35)과 그 외곽의 비표시 영역으로 이루어지며, 상기 비표시 영역에는 복수개의 게이트 패드(4a, 4b) 및 데이터 패드(6a, 6b)가 형성되고, 상기 표시 영역(15) 내에는 복수개의 게이트 라인(3a, 3b) 및 데이터 라인(6a, 6b)과, 상기 게이트 라인(3a, 3b)과 데이터 라인(6a, 6b)의 교차부에 형성되는 박막 트랜지스터(7)와, 상기 화소 영역들(9)에 화소 전극이 형성된다.

그리고, 상기 패널 영역 이외의 부위에는, 상기 복수개의 홀수번째 게이트 패드(4a)와 연결된 제 1 쇼팅바(11)와, 상기 복수개의 짝수번째 게이트 패드(4b)와 연결된 제 2 쇼팅바(13)와, 상기 복수개의 홀수번째 데이터 패드(6a)와 연결된 제 3 쇼팅바(15)와, 상기 복수개의 짝수번째 데이터 패드(6b)와 연결된 제 4 쇼팅바(17)와, 상기 제 1 내지 제 4 쇼팅바(11, 13, 15, 17)의 타단과 각각 연결된 제 1 내지 제 4 검사 패턴(12, 14, 16, 18)이 형성된다.

상기 제 1 내지 제 4 쇼팅바(11, 13, 15, 17)는 각각 게이트 패드들(4a, 4b) 및 데이터 패드들(6a, 6b)과 연결되어, 박막 트랜지스터 어레이 형성 공정에서 함께 형성되며, 이러한 공정에서 발생하는 정전기를 방지하기 위해 정전기 방지 회로를 더 구비할 수 있다. 또한, 상기 제 1 내지 제 4 쇼팅바(11, 13, 15, 17)는, 상기 박막 트랜지스터 어레이 공정 후, 상기 제 1 내지 제 4 검사 패턴(12, 14, 16, 18)에 연결되어 상기 제 1 내지 제 4 검사 패턴(12, 14, 16, 18)에 검사 장비의 프로브(도 1의 27 참조)가 접촉하고, 상기 프로브(27)를 통해 전기적 신호가 인가됨으로써, 이에 따른 응답으로 상기 박막 트랜지스터 어레이의 정상 구동 여부를 판단되어진다.

상기 제 1 내지 제 4 쇼팅바(11, 13, 15, 17) 및 상기 제 1 내지 제 4 검사 패턴(12, 14, 16, 18)은 스크라이빙(scribing) 및 브레이킹(breaking) 공정에서 제거된다.

그러나, 상기 제 1 내지 제 4 쇼팅바(11, 13, 15, 17)는 정전기가 발생했을 때, 오히려 패널 영역(33) 내 특히 표시 영역(35)으로 정전기가 타고 들어가는 경로가 되는 문제점이 발생할 수 있다.

상기 제 1 내지 제 4 쇼팅바(11, 13, 15, 17) 및 제 1 내지 제 4 검사 패턴(12, 14, 16, 18)은 게이트 라인(3a, 3b) 또는 데이터 라인(5a, 5b)과 동일층으로 이루어지는데, 각 층의 형성 후에는 박막 트랜지스터 어레이 공정의 완료시까지 지속적으로 노출되어 있기 때문에, 박막 트랜지스터 어레이 공정은 정전기에 상당히 취약한 상태로 이루어짐을 알 수 있다.

발명이 이루고자 하는 기술적 과제

상기와 같은 종래의 액정 표시 장치의 박막 트랜지스터 어레이 기관은 다음과 같은 문제점이 있다.

첫째, 패널 영역 이외의 부위에 형성되는 쇼팅바가 검사 패턴과 끊임없이 연결되는데, 오히려 길게 형성된 쇼팅바 자체에 정전기가 발생하고 정전기가 유도되는 경로가 되어 패널 영역 내 형성되는 박막 트랜지스터 어레이에 손상을 끼칠 수 있다.

둘째, 게이트 라인 또는 데이터 라인과 동일층에 동일 금속으로 형성되는 쇼팅바가 박막 트랜지스터 어레이 형성 공정에서 지속적으로 노출되어 상당히 정전기에 취약한 구조를 유지한채 박막 트랜지스터 어레이 공정이 이루어진다.

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로 하부 기판 형성 후, 박막 트랜지스터 어레이의 라인 검사시에 발생하는 정전기에 취약한 구조를 개선한 액정 표시 장치의 박막 트랜지스터 어레이 기판을 제공하는 데, 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 액정 표시 장치의 박막 트랜지스터 어레이 기판은, 일 이상의 패널 영역이 정의되는 기판과, 상기 패널 영역 내에 서로 교차하여 화소 영역을 정의하도록 형성된 복수개의 게이트 라인과 데이터 라인과, 상기 패널 영역에서 복수개의 게이트 라인들 및 복수개의 데이터 라인들 각각의 단부에 연결되어 형성된 복수개의 게이트 패드 및 데이터 패드와, 상기 패널 영역 외부에서 상기 복수개의 게이트 패드들과 연결된 제 1 쇼팅바 제 1 패턴 및 이와 이격되어 형성된 제 1 쇼팅바 제 2 패턴과, 상기 패널 영역 외부에서 상기 복수개의 데이터 패드들과 연결된 제 2 쇼팅바 제 1 패턴 및 이와 이격되어 형성된 제 2 쇼팅바 제 2 패턴과, 상기 패널 영역 외부에 상기 제 1 쇼팅바 제 2 패턴 및 제 2 쇼팅바 제 2 패턴과 각각 연결되는 제 1 검사 패턴 및 제 2 검사 패턴과, 상기 제 1 쇼팅바 제 1, 제 2 패턴을 연결하도록 형성된 제 1 연결 패턴 및 상기 제 2 쇼팅바 제 1, 제 2 패턴을 연결하도록 형성된 제 2 연결 패턴을 포함하여 이루어짐에 그 특징이 있다.

상기 제 1 연결 패턴은 상기 제 1 쇼팅바 제 1 패턴 및 제 2 패턴의 상부에 상기 제 1 쇼팅바 제 1 패턴, 제 2 패턴을 소정 부분 오버랩하며 형성되며, 상기 제 2 연결 패턴은 상기 제 2 쇼팅바 제 1 패턴 및 제 2 패턴 상부에 상기 제 2 쇼팅바 제 1 패턴 및 제 2 패턴을 소정 부분 오버랩하여 형성된다.

상기 제 1 연결 패턴은 상기 제 1 쇼팅바 제 1 패턴 및 제 2 패턴과 일 이상의 콘택 홀을 통해 서로 전기적으로 연결된다.

상기 제 2 연결 패턴은 상기 제 2 쇼팅바 제 1 패턴 및 제 2 패턴과 일 이상의 콘택 홀을 통해 서로 전기적으로 연결된다.

상기 제 1 및 제 2 연결 패턴은 투명 전극이다.

상기 제 1 쇼팅바 제 1 패턴은 홀수 번째 게이트 패드들 및 짝수 번째 게이트 패드들에 대해 각각 별개로 형성된다.

상기 제 2 쇼팅바 제 1 패턴은 홀수 번째 데이터 패드들 및 짝수 번째 데이터 패드들에 대해 각각 별개로 형성된다.

상기 제 1 쇼팅바 및 제 2 쇼팅바는 게이트 라인 또는 데이터 라인과 동일 층에 형성된다.

상기 제 1 검사 패턴 및 제 2 검사 패턴은 게이트 라인 또는 데이터 라인과 동일층에 형성된다.

상기 제 1 검사 패턴 및 제 2 검사 패턴 상부에는 투명 전극 패턴이 더 형성된다.

이하, 첨부된 도면을 참조하여 본 발명의 액정 표시 장치의 박막 트랜지스터 어레이 기판을 상세히 설명하면 다음과 같다.

도 3은 본 발명의 액정 표시 장치의 박막 트랜지스터 어레이 기판을 나타낸 평면도이다.

도 3과 같이, 본 발명의 액정 표시 장치의 박막 트랜지스터 어레이 기판(100)은, 단위 액정 패널의 하부 기판을 이루는 패널 영역(125)과, 스크라이빙(scribing) 및 브레이킹(breaking)시 제거되는 패널 영역 이외의 영역으로 구분되어 정의된다.

여기서, 상기 패널 영역(125)에는 박막 트랜지스터 어레이가 형성된다. 이러한 박막 트랜지스터 어레이는, 서로 교차하여 화소 영역(95)을 정의하도록 형성된 복수개의 게이트 라인(110a, 110b)과 데이터 라인(120a, 120b)과, 상기 복수개의 게이트 라인들(110a, 110b)의 각각의 단부에 형성된 복수개의 게이트 패드(111a, 111b)와, 상기 복수개의 데이터 라인들(120a, 120b)의 각각의 단부에 형성된 복수개의 데이터 패드(121a, 121b)를 포함하여 이루어진다.

이러한 패널 영역은 다시, 표시가 이루어지는 표시 영역(105)과 그 외곽의 비표시 영역으로 이루어지며, 상기 비표시 영역에는 복수개의 게이트 패드(111a, 111b) 및 데이터 패드(121a, 121b)가 형성되고, 상기 표시 영역(105) 내에는 복수개의 게이트 라인(110a, 110b) 및 데이터 라인(120a, 120b)과, 상기 게이트 라인(110a, 110b)과 데이터 라인(120a, 120b)의 교차부에 형성되는 박막 트랜지스터(117)와, 상기 화소 영역들(95)에는 화소 전극(미도시)이 형성된다.

그리고, 상기 패널 영역(125) 이외의 부위에는, 상기 복수개의 홀수번째 게이트 패드(110a)와 연결된 제 1 쇼팅바(112)와, 상기 복수개의 짝수번째 게이트 패드(110b)와 연결된 제 2 쇼팅바(122)와, 상기 복수개의 홀수번째 데이터 패드(120a)와 연결된 제 3 쇼팅바(113)와, 상기 복수개의 짝수번째 데이터 패드(120b)와 연결된 제 4 쇼팅바(123)가 형성되며, 상기 제 1 내지 제 4 쇼팅바(112, 122, 113, 123)는 각각 제 1 내지 제 4 검사 패턴(131, 132, 133, 134)과 연결된다.

여기서, 상기 제 1 내지 제 4 쇼팅바(112, 122, 113, 123)는 각각 소정 부위에서 끊겨져 제 1 패턴과 제 2 패턴으로 나뉜다. 즉, 상기 각 제 1 내지 제 4 쇼팅바(112, 122, 113, 123)의 제 1 패턴은 각각 상기 홀수번째 및 짝수 번째 게이트 패드(111a, 111b), 홀수번째 및 짝수번째 데이터 패드(121a, 121b)와 연결되며, 소정 부위에서 각각의 제 1 패턴과 소정 간격이격되어 제 2 패턴이 형성되며, 상기 각 제 1 내지 제 4 쇼팅바(112, 122, 113, 123)의 제 2 패턴은 상기 제 1 내지 제 4 검사 패턴(131, 132, 133, 134)과 연결되어 형성된다.

여기서, 상기 홀수번째 게이트 라인들(110a)은 홀수번째 게이트 패드들(111a)과 각각 연결되며, 상기 홀수번째 게이트 패드들(111a)은 제 1 쇼팅바(112)에 함께 연결되어 형성된다. 여기서, 상기 제 1 쇼팅바(112) 제 1, 제 2 패턴 및 제 1 검사 패턴(131)은 게이트 라인(110a, 110b)과 동일층에 형성한다. 이 때, 상기 제 1, 제 2 패턴이 서로 이격된 부위를 제외하고는 상기 홀수번째 게이트 라인(110a), 홀수번째 게이트 패드(111a), 제 1 쇼팅바(112) 제 1, 제 2 패턴 및 제 1 검사 패턴(131)은 모두 연결되어 형성된다.

또한, 상기 짝수번째 게이트 라인들(110b)은 짝수번째 게이트 패드들(111b)과 각각 연결되며, 상기 짝수번째 게이트 패드들(111b)은 제 2 쇼팅바(122)에 함께 연결되어 형성된다. 이 때, 상기 제 2 쇼팅바(122)는 상기 제 1 쇼팅바(112)와 서로 다른 층, 예를 들어 데이터 라인(120a, 120b)과 동일층에 형성하도록 하여 상기 제 1 쇼팅바(112)와 오버랩되는 부위에서 서로 절연되어 별도의 신호가 인가되도록 한다. 이 경우, 상기 제 2 쇼팅바(122)와 연결되는 제 2 검사 패턴(132)은 게이트 라인(110a, 110b) 또는 데이터 라인(120a, 120b)과 동일층에 형성하는 것 모두 가능하나 편의상 별도의 콘택 홀 형성 공정을 생략하기 위해서는 데이터 라인(120a, 120b)과 동일층에, 즉, 제 2 쇼팅바(122) 형성 공정과 동일 공정에서 형성하는 것이 좋다.

또한, 상기 홀수번째 데이터 라인들(120a)은 홀수번째 데이터 패드들(121a)과 각각 연결되고, 상기 홀수번째 데이터 패드들(121a)은 제 3 쇼팅바(113)에 전기적으로 연결되어 형성된다. 여기서, 상기 제 3 쇼팅바(113) 제 1, 제 2 패턴 및 제 3 검사 패턴(133)은 게이트 라인(110a, 110b)과 동일층에 형성한다. 따라서, 제 3 쇼팅바(113) 제 1 패턴과 상기 홀수번째 데이터 패드들(121a)은 서로 다른 층에 형성되기 때문에, 소정 부위에서 콘택을 가져야 한다.

또한, 상기 짝수번째 데이터 라인들(120b)은 짝수번째 데이터 패드들(121b)과 각각 연결되며, 상기 짝수번째 데이터 패드들(121b)은 제 4 쇼팅바(123)에 함께 연결되어 형성된다. 이 때, 상기 제 4 쇼팅바(123)는 상기 제 3 쇼팅바(113)와 서로 다른 층, 예를 들어 데이터 라인(120a, 120b)과 동일층에 형성하도록 하여 상기 제 3 쇼팅바(113)와 오버랩되는 부위에서 서로 절연되어 별도의 신호가 인가되도록 한다. 이 경우, 상기 제 4 쇼팅바(123)와 연결되는 제 4 검사 패턴(134)은 게이트 라인(110a, 110b) 또는 데이터 라인(120a, 120b)과 동일층에 형성하는 것 모두 가능하나 편의상 별도의 콘택 홀 형성 공정을 생략하기 위해서는 데이터 라인(120a, 120b)과 동일층에, 즉, 제 2 쇼팅바(122) 형성 공정과 동일 공정에서 형성하는 것이 좋다. 이 때, 상기 제 4 쇼팅바(123) 제 1, 제 2 패턴이 서로 이격된 부위를 제외하고는 상기 짝수번째 데이터 라인(120b), 짝수번째 데이터 패드(121b), 제 4 쇼팅바(123) 제 1, 제 2 패턴 및 제 4 검사 패턴(134)은 모두 연결되어 형성된다.

이와 같이, 각각 홀수 번째 게이트 패드들(111a)과 짝수번째 게이트 패드들(111b)에 연결되는 제 1 쇼팅바(112)와 제 2 쇼팅바(122) 및 홀수 번째 데이터 패드들(121a)과 짝수번째 데이터 패드들(121b)에 연결되는 제 3 쇼팅바(113)와 제 4 쇼팅바(123)가 서로 다른 층에 형성되는 게이트 라인(110a, 110b) 및 데이터 라인(120a, 120b) 급속으로 이루어지는 이유는 각각 제 1 쇼팅바(112)와 제 2 쇼팅바(122) 및 제 3 쇼팅바(113)와 제 4 쇼팅바(123)가 교차하는 부위가 있어, 서로 쇼트됨을 방지하기 위하여 서로 다른 층에 형성한 것이다.

여기서, 상기 제 1 쇼팅바 내지 제 4 쇼팅바(112, 122, 113, 123)의 각 제 1 패턴 및 제 2 패턴이 서로 이격된 부위 상부에 각각 제 1 내지 제 4 연결 패턴(141, 142, 143, 145)이 더 형성되며, 상기 제 1 내지 제 4 연결 패턴(141, 142, 143, 145)은 각각의 제 1 내지 제 4 쇼팅바(112, 122, 113, 123)의 제 1 패턴 및 제 2 패턴과 일 이상의 콘택 홀을 통해 서로 전기적으로 연결되어 있다. 따라서, 상기 제 1 내지 제 4 쇼팅바(112, 122, 113, 123)는 제 1 패턴과 제 2 패턴은 서로 전기적으로 연결되어 있는 셈이다.

이러한 제 1 내지 제 4 연결 패턴(141, 142, 143, 145)은 박막 트랜지스터 어레이 공정에서 화소 전극을 형성할 때 함께 패터닝되어 형성되며, 그 성분은 투명 전극 성분이다. 또한, 상기 제 1 내지 제 4 연결 패턴(112, 122, 113, 123)과 상기 제 1 내지 제 4 쇼팅바(112, 122, 113, 123)의 제 1 패턴 및 제 2 패턴과의 콘택 홀은 상기 박막 트랜지스터 어레이 공정에서 보호막 홀 형성 공정에서 함께 이루어진다.

이와 같이, 상기 제 1 내지 제 4 쇼팅바(112, 122, 113, 123)는 각각 게이트 패드들(111a, 111b) 및 데이터 패드들(121a, 121b)과 연결되어, 박막 트랜지스터 어레이 형성 공정에서 함께 형성되며, 이러한 공정에서 발생하는 정전기를 방지하기 위해 정전기 방지 회로를 더 구비할 수 있다.

또한, 상기 제 1 내지 제 4 쇼팅바(112, 122, 113, 123)는, 상기 박막 트랜지스터 어레이 공정 후, 상기 제 1 내지 제 4 검사 패턴(131, 132, 133, 134)에 연결되어 상기 제 1 내지 제 4 검사 패턴(131, 132, 133, 134)에 검사 장비의 프로브(도 1의 27 참조)가 접촉하고, 상기 프로브를 통해 전기적 신호가 인가됨으로써, 이에 따른 응답으로 상기 박막 트랜지스터 어레이의 정상 구동 여부를 판단되어진다.

상기 제 1 내지 제 4 쇼팅바(112, 122, 113, 123)의 제 1, 제 2 패턴 및 상기 제 1 내지 제 4 검사 패턴(131, 132, 133, 134) 그리고 제 1 내지 제 4 연결 패턴(141, 142, 143, 145)은 스크라이빙(scribing) 및 브레이킹(breaking) 공정에서 제거된다.

한편, 도 3에 도시된 박막 트랜지스터 어레이 기관(100)은 하나의 패널 영역만이 도시되어 있는데, 이는 개략적으로 도시된 것으로, 액정 패널의 모델에 따라 4개 혹은 6개 혹은 그 이상의 패널 영역에 하나의 박막 트랜지스터 어레이 기관에 정의될 수 있다. 이 경우, 4개 혹은 6개 혹은 그 이상의 패널 영역에 정의되는 박막 트랜지스터 어레이 기관은 박막 트랜지스터 어레이 기관용 모기판이라 한다.

이하에서는 단면 구조를 통해 상기 제 1 내지 제 4 연결 패턴과 콘택 홀 구조를 살펴본다.

도 4는 도 3의 연결 패턴의 확대도이며, 도 5는 4의 I~I' 선상의 구조 단면도이고, 도 6은 도 5의 II~II' 선상의 구조 단면도이다.

도 4 및 도 6과 같이, 상기 제 1 쇼팅바(112)의 서로 이격된 제 1 패턴 및 제 2 패턴을 걸쳐 제 1 연결 패턴(141)이 형성된다.

그리고, 상기 제 1 쇼팅바(112)의 제 1 패턴 및 제 2 패턴은 게이트 라인(110a, 110b)과 동일층에 형성되며, 상기 제 1 연결 패턴(141)은 화소 전극과 동일층에 형성된 것으로, 상기 제 1 쇼팅바(112)와 제 1 연결 패턴(141) 사이의 개재되는 게이트 절연막(115)과 보호막(116) 내에 복수개의 제 1 콘택 홀(150)을 형성하여, 상기 제 1 콘택 홀(150) 내에 투명 전극 혹은 그 외의 도전 물질을 매립하여 상기 제 1 쇼팅바(112)의 제 1 패턴 및 제 2 패턴과 상기 제 1 연결 패턴(141)이 전기적으로 연결되도록 한다. 도시된 바와 같이, 제 1 콘택 홀(150)을 복수개 형성하는 이유는 상기 제 1 쇼팅바(112)와 상부의 투명 전극 또는 그 외의 도전 물질을 접촉 저항을 떨어뜨린 상태에서 접촉하기 위해서이다. 경우에 따라, 상기 제 1 쇼팅바(112)와 상기 투명 전극 또는 그 외의 도전 물질간의 계면 접촉성이 개선되면, 제 1 콘택 홀(150)은 상기 제 1 쇼팅바(112)와 상부의 투명 전극과 하나의 콘택 홀을 갖고 형성될 수도 있을 것이다.

자세하게 도시되어 있지는 않지만, 마찬가지로, 상기 제 3 쇼팅바(113)의 제 1 패턴 및 제 2 패턴 또한, 게이트 라인(110a, 110b)과 동일층에 형성되며, 상기 제 3 연결 패턴(143)은 화소 전극과 동일층에 형성된 것으로, 그 사이의 개재되는 게이트 절연막(115)과 보호막(116) 내에 복수개의 콘택 홀들을 형성하여, 상기 콘택 홀 내의 투명 전극 혹은 그 외의 도전 물질을 매립하여 상기 제 3 쇼팅바(113)의 제 1 패턴 및 제 2 패턴과 상기 제 3 연결 패턴(143)이 전기적으로 연결되도록 한다.

도 7은 도 3의 B 영역의 연결 패턴 및 그 내부의 콘택홀들을 지난 단면도이며, 도 8은 도 3의 B 영역의 콘택 홀을 제외한 연결 패턴을 지난 단면도이다.

도 7 및 도 8과 같이, 상기 제 4 쇼팅바(123)의 제 1 패턴 및 제 2 패턴은 데이터 라인(120a, 120b)과 동일층에 형성되며, 상기 제 4 연결 패턴(145)은 화소 전극과 동일층에 형성된 것으로, 그 사이의 개재되는 보호막(116) 내에 복수개의 제 2 콘택 홀들(151)을 형성하고, 상기 제 2 콘택 홀(151) 내에 투명 전극 혹은 그 외의 도전 물질을 매립하여 상기 제 4 쇼팅바(123)의 제 1 패턴 및 제 2 패턴과 상기 제 4 연결 패턴(145)이 전기적으로 연결되도록 한다.

자세하게 도시되어 있지는 않지만, 마찬가지로, 상기 제 2 쇼팅바(122)의 제 1 패턴 및 제 2 패턴 또한, 데이터 라인(120a, 120b)과 동일층에 형성되며, 상기 제 2 연결 패턴(142)은 화소 전극과 동일층에 형성된 것으로, 그 사이의 개재되는 보호막(116) 내에 복수개의 콘택 홀들을 형성하여, 상기 콘택 홀 내에 투명 전극 혹은 그 외의 도전 물질을 매립하여 상기 제 2 쇼팅바(122)의 제 1 패턴 및 제 2 패턴과 상기 제 2 연결 패턴(142)이 전기적으로 연결되도록 한다.

이하, 도 5 내지 도 8을 참조하여 패널 영역 이외의 형성되는 쇼팅바과, 상기 쇼팅바 소정 부위에 형성되는 연결 패턴 및 이와 연결되는 검사 패턴의 제조 방법에 대해 설명한다.

먼저, 기판(100) 상에 금속 물질을 증착하고 이를 선택적으로 제거하여 게이트 라인(110a, 110b), 상기 게이트 라인(110a, 110b)의 단부에 연결되는 게이트 패드(111a, 111b) 및 상기 게이트 패드 중 홀수번째 게이트 패드들(111a)과 연결되며, 소정 부위가 끊겨진 제 1 쇼팅바(112) 및 홀수번째 데이터 패드들(미형성)에 대응되는 제 3 쇼팅바(113)를 형성한다.

이어, 상기 게이트 라인(110a, 110b) 등을 포함한 기판(110) 상에 게이트 절연막(115)을 전면 형성한다.

이어, 상기 게이트 절연막(115) 상에 금속 물질을 증착하고 이를 선택적으로 제거하여 상기 게이트 라인(110a, 110b)과 서로 교차하는 방향의 데이터 라인(120a, 120b)을 형성하고, 동일 공정에서 상기 데이터 라인(120a, 120b)의 단부의 데이터 패드(121a, 121b) 및 상기 데이터 패드 중 짝수번째 데이터 패드들(121b)과 연결되며, 소정 부위가 끊겨진 제 4 쇼팅바(123) 및 짝수번째 게이트 패드들(111b)에 대응되는 제 2 쇼팅바(122)를 형성한다.

이어, 상기 데이터 라인(120a, 120b) 등을 포함한 게이트 절연막(115) 상에 보호막(116)을 전면 형성한다.

이어, 도 5와 같이, 상기 보호막(116) 및 게이트 절연막(115)을 선택적으로 제거하여 제 1 콘택 홀(150)을 형성하고, 도 7과 같이, 보호막(116)을 선택적으로 제거하여 제 2 콘택홀(151)을 형성한다.

상기 제 1 콘택 홀(150) 및 제 2 콘택 홀(151)을 매립하며, 상기 보호막(116) 전면에 투명 도전막을 증착하고 이를 선택적으로 제거하여 상기 제 1 쇼팅바 내지 제 4 쇼팅바(112, 122, 113, 123)의 제 1 패턴과 제 2 패턴에 덮는 형상의 제 1 내지 제 4 연결 패턴(141, 142, 143, 145)을 형성한다.

여기서, 상기 제 1 내지 제 4 검사 패턴(131, 132, 133, 134)은 상기 게이트 라인(110a, 110b) 또는 데이터 라인(120a, 120b)의 형성 공정과 동일 공정에서 형성하며, 제 1 내지 제 4 연결 패턴(141, 142, 143, 145)의 형성 공정시 한 번 더 그 상부를 덮도록 투명 전극의 패터닝이 이루어질 수 있다.

이와 같이, 형성된 본 발명의 액정 표시 장치의 박막 트랜지스터 어레이 기판(100) 상에 상기 제 1 내지 제 4 검사 패턴(131, 132, 133, 134)에는 각각 신호가 인가되어, 상기 박막 트랜지스터 어레이 기판(100) 상에 형성된 게이트 라인 또는 데이터 라인 등의 라인 결함(line defect) 혹은 포인트 결함(point defect) 등의 불량을 테스트하게 된다.

이 경우, 박막 트랜지스터 어레이 공정에서 노출되는 제 1 쇼팅바 내지 제 4 쇼팅바를 각각 게이트 라인과 데이터 라인 형성 공정에서는 일부가 끊어지는 형상으로 형성하고, 이를 화소 전극 패터닝 공정에서 끊어진 부분이 전기적으로 연결되는 연결 패턴을 더 형성하여 주어, 박막 트랜지스터 어레이 공정에서 제 1 쇼팅바 내지 제 4 쇼팅바가 노출되더라도 상기 제 1 내지 제 4 쇼팅바를 통해 역으로 패널 영역으로 정전기가 전달되는 현상을 차단할 수 있어, 정전기에 안정적이게 된다.

발명의 효과

상기와 같은 본 발명의 액정 표시 장치의 박막 트랜지스터 어레이 기판은 다음과 같은 효과가 있다.

게이트 패드들 및 데이터 패드들에 연결되어 형성되는 제 1 쇼팅바 내지 제 4 쇼팅바를 각각 게이트 라인과 데이터 라인 형성 공정에서는 일부가 끊어지는 형상으로 형성하고, 이를 화소 전극 패터닝 공정에서 끊어진 부분이 전기적으로 연결되는 연결 패턴을 더 형성하여 주어, 박막 트랜지스터 어레이 공정에서 제 1 쇼팅바 내지 제 4 쇼팅바가 노출되더라도 상기 제 1 내지 제 4 쇼팅바를 통해 역으로 패널 영역으로 정전기가 전달되는 현상을 차단할 수 있다.

따라서, 박막 트랜지스터 어레이 공정에서 쇼팅바에 발생하는 정전기에 의한 패널 손상을 방지할 수 있다.

(57) 청구의 범위

청구항 1.

일 이상의 패널 영역이 정의되는 기관;

상기 패널 영역 내에 서로 교차하여 화소 영역을 정의하도록 형성된 복수개의 게이트 라인과 데이터 라인;

상기 패널 영역에서 복수개의 게이트 라인들 및 복수개의 데이터 라인들 각각의 단부에 연결되어 형성된 복수개의 게이트 패드 및 데이터 패드;

상기 패널 영역 외부에서 상기 복수개의 게이트 패드들과 연결된 제 1 쇼팅바 제 1 패턴 및 이와 이격되어 형성된 제 1 쇼팅바 제 2 패턴;

상기 패널 영역 외부에서 상기 복수개의 데이터 패드들과 연결된 제 2 쇼팅바 제 1 패턴 및 이와 이격되어 형성된 제 2 쇼팅바 제 2 패턴;

상기 패널 영역 외부에 상기 제 1 쇼팅바 제 2 패턴 및 제 2 쇼팅바 제 2 패턴과 각각 연결되는 제 1 검사 패턴 및 제 2 검사 패턴;

상기 제 1 쇼팅바 제 1, 제 2 패턴을 연결하도록 형성된 제 1 연결 패턴; 및

상기 제 2 쇼팅바 제 1, 제 2 패턴을 연결하도록 형성된 제 2 연결 패턴을 포함하여 이루어짐을 특징으로 하는 액정 표시 장치의 박막 트랜지스터 어레이 기관.

청구항 2.

제 항에 있어서,

상기 제 1 연결 패턴은 상기 제 1 쇼팅바 제 1 패턴 및 제 2 패턴의 상부에 상기 제 1 쇼팅바 제 1 패턴, 제 2 패턴을 각각 소정 부분 오버랩하며 형성되며,

상기 제 2 연결 패턴은 상기 제 2 쇼팅바 제 1 패턴 및 제 2 패턴 상부에 상기 제 2 쇼팅바 제 1 패턴 및 제 2 패턴을 각각 소정 부분 오버랩하여 형성된 것을 특징으로 하는 액정 표시 장치의 박막 트랜지스터 어레이 기관.

청구항 3.

제 2항에 있어서,

상기 제 1 연결 패턴은 상기 제 1 쇼팅바 제 1 패턴 및 제 2 패턴과 일 이상의 콘택 홀을 통해 서로 전기적으로 연결된 것을 특징으로 하는 액정 표시 장치의 박막 트랜지스터 어레이 기관.

청구항 4.

제 2항에 있어서,

상기 제 2 연결 패턴은 상기 제 2 쇼팅바 제 1 패턴 및 제 2 패턴과 일 이상의 콘택 홀을 통해 서로 전기적으로 연결된 것을 특징으로 하는 액정 표시 장치의 박막 트랜지스터 어레이 기관.

청구항 5.

제 1항에 있어서,

상기 제 1 및 제 2 연결 패턴은 투명 전극인 것을 특징으로 하는 액정 표시 장치의 박막 트랜지스터 어레이 기판.

청구항 6.

제 1항에 있어서,

상기 제 1 쇼팅바 제 1 패턴은 홀수 번째 게이트 패드들 및 짝수 번째 게이트 패드들에 대해 각각 별개로 형성된 것을 특징으로 하는 액정 표시 장치의 박막 트랜지스터 어레이 기판.

청구항 7.

제 1항에 있어서,

상기 제 2 쇼팅바 제 1 패턴은 홀수 번째 데이터 패드들 및 짝수 번째 데이터 패드들에 대해 각각 별개로 형성된 것을 특징으로 하는 액정 표시 장치의 박막 트랜지스터 어레이 기판.

청구항 8.

제 1항에 있어서,

상기 제 1 쇼팅바 및 제 2 쇼팅바는 게이트 라인 또는 데이터 라인과 동일 층에 형성된 것을 특징으로 하는 액정 표시 장치의 박막 트랜지스터 어레이 기판.

청구항 9.

제 1항에 있어서,

상기 제 1 검사 패턴 및 제 2 검사 패턴은 게이트 라인 또는 데이터 라인과 동일층에 형성된 것을 특징으로 하는 액정 표시 장치의 박막 트랜지스터 어레이기판.

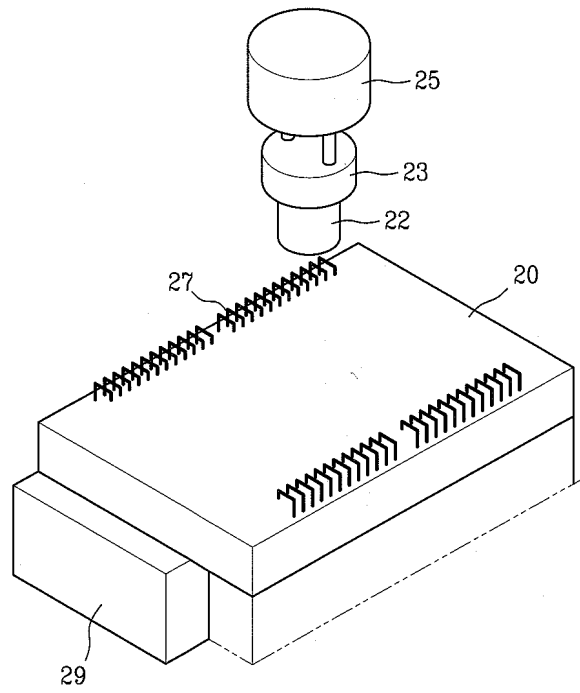
청구항 10.

제 9항에 있어서,

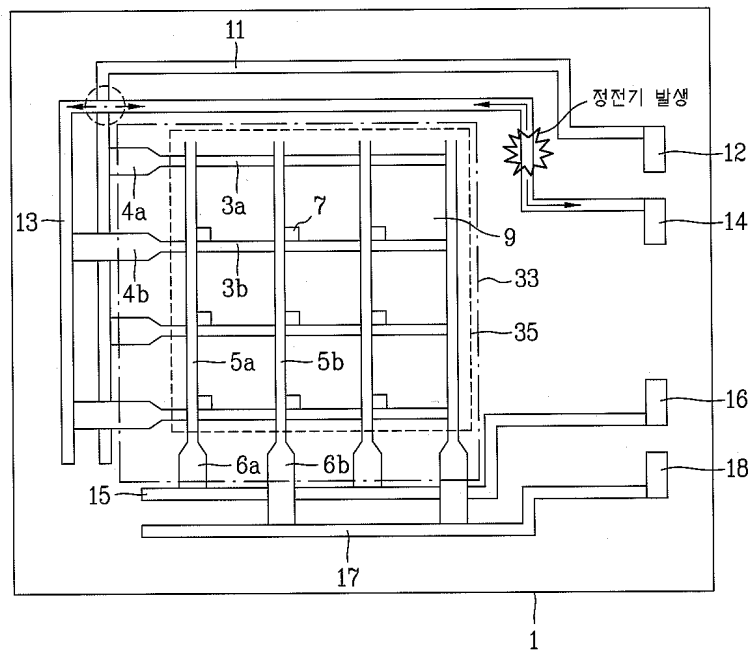
상기 제 1 검사 패턴 및 제 2 검사 패턴 상부에는 투명 전극 패턴이 더 형성된 것을 특징으로 하는 액정 표시 장치의 박막 트랜지스터 어레이 기판.

도면

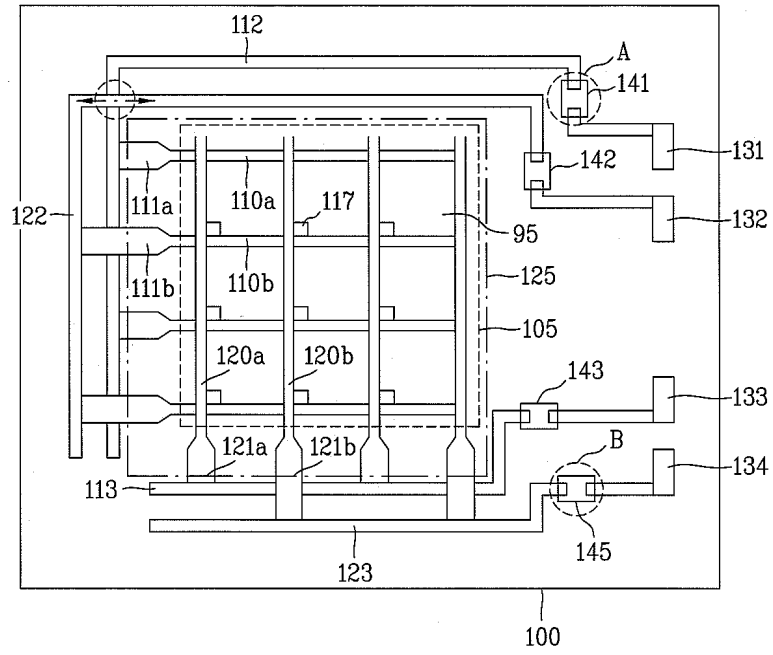
도면1



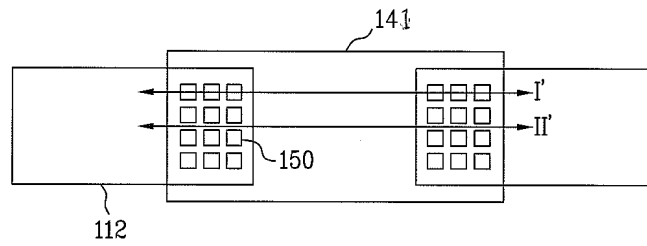
도면2



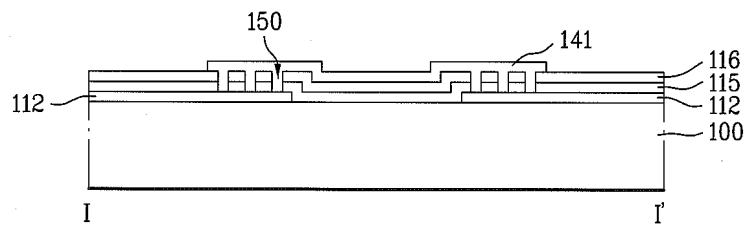
도면3



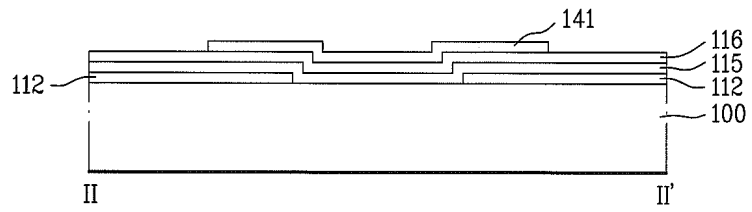
도면4



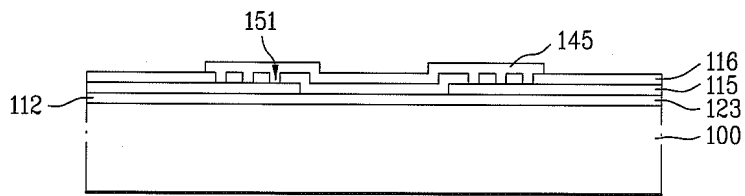
도면5



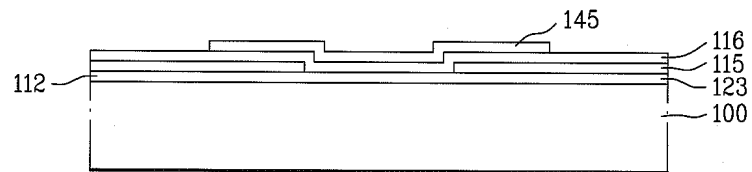
도면6



도면7



도면8



专利名称(译)	液晶显示装置的薄膜晶体管阵列基板		
公开(公告)号	KR1020060091434A	公开(公告)日	2006-08-21
申请号	KR1020050012312	申请日	2005-02-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YIM BONG MOOK 임봉묵 KWAK DONG YEUNG 곽동영		
发明人	임봉묵 곽동영		
IPC分类号	G02F1/1345		
CPC分类号	G02F1/1309 G02F1/13452		
代理人(译)	金勇 新昌		
其他公开文献	KR101107708B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示器的薄膜晶体管阵列基板，改善了在阵列薄膜晶体管的线路检测中产生的静电后下板形成后弱的结构。并且其特征在于包括形成的第一级联图案以连接多个数据焊盘和连接的第二短路棒第一图案，并且第一测试图案分别连接到第二短路棒第二图案的第一外侧，与此分离。和面板域，以及第二短路棒第二图案和第二测试图案，以及基板中的第一个短路棒，其中定义了比任务更多的面板域并且多条栅极线和数据线，其形成为在面板区域内交叉并且它限定像素区域和多个栅极焊盘和数据焊盘，其在面板区域中连接到多个栅极线和多个栅极线和形成第一短路棒第二图案，位于面板区域外部，具有多个栅极焊盘并且连接第一短路棒第一图案，其中该面板和面板区域在外，并且第二图案和第二连接图案按顺序形成首先连接第二个短路棒，然后连接第二个短路棒。MPS（批量生产系统），阵列薄膜晶体管，测试模式，连接模式，静电，面板域。

