

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl.<sup>7</sup>  
G02F 1/13

(11) 공개번호 10-2005-0015034  
(43) 공개일자 2005년02월21일

(21) 출원번호 10-2003-0053492  
(22) 출원일자 2003년08월01일

(71) 출원인 비오이 하이디스 테크놀로지 주식회사  
경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자 고영익  
경기도이천시대월면사동리현대전자사원아파트109-304  
박상진  
서울특별시강서구화곡2동869-57호

(74) 대리인 강성배

심사청구 : 있음

(54) 액정 디스플레이 패널

요약

본 발명은 액정 디스플레이 패널을 개시한다. 개시된 본 발명의 액정 디스플레이 패널은, 복수의 게이트 라인과 데이터 라인이 교차 배치되어 상기 데이터 라인에 인가되는 화상 데이터를 디스플레이하는 액티브 영역과, 상기 액티브 영역 외측에 형성되며 상기 각 게이트 라인과 연결된 복수의 게이트 패드와, 상기 액티브 영역 외측에 형성되며 상기 각 데이터 라인과 연결된 복수의 데이터 패드와, 상기 각 게이트 패드 및 데이터 패드에 한 쌍씩 형성되어 인너 ESD 및 아우터 ESD로 기능하며 해당 패드에서 발생된 정전기를 이웃하는 패드로 전달하는 정전기 보호용 박막트랜지스터를 포함하는 것을 특징으로 한다. 본 발명에 따르면, 각 패드에 정전기 방지를 위한 박막트랜지스터를 형성함으로써 별도의 ESD 형성 공간이 필요치 않아 ESD가 차지하는 공간을 최소화할 수 있으며, 이에 따라, 액정 디스플레이 패널의 공간을 극대화시킬 수 있다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 액정 디스플레이 패널의 구성도.

도 2는 본 발명의 액정 디스플레이 패널에 따른 데이터 패드의 구성도.

도 3은 도 2의 등가회로도.

\*도면의 주요부분에 대한 부호의 설명\*

1 : 게이트 인너 ESD 3 : 데이터 인너 ESD

5 : 쇼팅 바 7 : 리페어 라인

9 : 게이트 패드 11 : 데이터 패드

13 : 게이트 아우터 ESD 15 : 데이터 아우터 ESD

100 : 박막트랜지스터 어레이 기판

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 액정 디스플레이 패널에 관한 것으로서, 특히, 패널을 제조하는 도중에 발생할 수 있는 정전기(ESD: Electro Static Discharge)를 방지하기 위해 정전기 방지회로를 구성함에 있어서 그 크기를 최소화하여 실제로 패널의 공간을 극대화하는데 적당한 액정 디스플레이 패널에 관한 것이다.

일반적으로, 액정 디스플레이 패널은 두 장의 유리 기판과 그 사이에 봉입된 액정층으로 구성되는 평판형 디스플레이 장치로서, 하부 기판에는 화소영역을 정의하는 게이트 라인과 데이터 라인이 상호 교차 배치되고, 각 화소영역에는 화소전극과 상기 게이트 라인의 구동신호에 의해 스위칭되어 데이터 라인의 신호를 화소 전극으로 인가하는 박막트랜지스터(Thin Film Transistor)가 배치되며, 상부 기판에는 화소 전극을 제외한 영역으로 빛이 투과되는 것을 차단하기 위한 블랙매트릭스가 배치되고, 각 화소영역마다 컬러필터층이 배치되며, 전면에는 공통전극이 배치된다.

이와 같은 액정 디스플레이 패널은 크게 복수의 게이트 라인과 데이터 라인이 교차 배치되고 각 게이트 라인과 데이터 라인이 교차하는 부위에 박막트랜지스터가 배치되어 화상을 디스플레이 하는 액정패널과, 상기 액정패널의 게이트 라인 및 데이터 라인 각각에 구동전압을 인가하는 게이트 드라이브 IC 및 소스 드라이브 IC로 구성된다.

한편, 이러한 액정 디스플레이 패널은 증착(Deposition), 식각(Etching) 및 셀 제조 공정을 거치는 거의 모든 공정에서 공통적으로 정전기가 발생하며, 이러한 정전기는 소자의 파괴, 절연막의 파괴 등을 초래하여 제품의 불량 나아가서는 수율을 감소시키는 주요한 요인으로 작용한다.

따라서, 통상적으로 생산라인에는 도전성 척이라든지 정전기방지 카세트를 포함하는 정전기 방지가 가능한 설계를 갖게 되고, 또한, 패널에 정전기가 충전되는 경우를 대비하여 정전기가 발생되어도 박막트랜지스터 소자나 배선의 특성이 변하지 않고 방전이 이루어지도록 화소를 설계한다.

예컨대, 액정 디스플레이 패널에서는 정전기 불량을 방지하기 위해 배선 전체를 저항으로 연결하여 전하를 분산시켜 방전이 서서히 일어나도록 유도하는 방법과 절단선(scribe line)의 외측 배선에서 방전이 이루어지도록 하는 방법이 적용되고 있으며, 여기서, 전자의 방법은 주로 TFT-LCD에 적용되고 있고, 후자의 방법은 주로 수동 매트릭스(Passive matrix) 액정 디스플레이 패널에 적용되고 있다.

즉, TFT-LCD에서는 기판에 쇼팅 바(Shorting bar; 또는 Shorting ring)를 형성하여 정전기에 의한 불량을 방지한다.

도 1은 종래 기술에 따른 액정 디스플레이 패널의 구성도이다.

도 1에 도시된 바와 같이, 종래 액정 디스플레이 패널은 정전기로부터 디스플레이 패널을 보호하기 위한 게이트 ESD(1) 및 데이터 ESD(3)가 쇼팅 바(5)로 묶여져 있다. 상기 쇼팅 바(5)에는 통상 공통 신호가 인가된다. 여기서, 상기 게이트 ESD(1) 및 데이터 ESD(3)는 이후에서 설명되어질 아우터(Outer) ESD의 반대 개념으로 인너(Inner) ESD라고 한다.

상기 쇼팅 바(5)의 바깥쪽에는 "ㄷ"자 또는 "역ㄷ"자 형상의 리페어 라인(7)이 설치되며, 박막트랜지스터 어레이 기판(100)의 외곽에는 상기 디스플레이 패널의 게이트 라인으로 구동신호를 인가하는 복수의 게이트 패드(9)와, 상기 디스플레이 패널의 데이터 라인으로 구동신호를 인가하는 데이터 패드(11)가 형성된다.

이와 같은 종래의 액정 디스플레이 패널은 패널 외부에서 발생되어 내부로 유입되는 정전기가 게이트 패드(9) 및 데이터 패드(11)의 바깥쪽에 형성된 게이트 아우터 ESD(13)와 데이터 아우터 ESD(15)를 통해 쇼팅 바(5)로 유입되고, 상기 쇼팅 바(5)로 유입된 정전기는 쇼팅 바(5)에 의해 배분되어 패널 전체에 균일하게 퍼지게 된다.

이로 인해, 패널의 내부와 외부간의 전압차가 최소화되고, 따라서 갑작스럽게 정전기가 발생하더라도 그 정전기로 인한 불량을 방지할 수가 있으며, 또한 패널 내부에서 공정을 진행하는 도중에 발생하는 정전기도 앞에서 말한 경로를 통해 패널 외부로 배출되어 정전기에 의한 영향을 최소화하게 된다.

그러나 상기와 같은 종래의 액정 디스플레이 패널은 다음과 같은 문제점이 있다.

패널에 형성되는 ESD의 크기는 크기는 수 십 마이크로에서 수 백 마이크로의 공간을 차지하게 되며, 이는 액정 디스플레이 패널이 소형화 또는 대형화되어짐에 따라 상기 ESD 이외에도 액정 디스플레이 패널을 이루는 여러 패턴들의 형성에 큰 제약으로 작용하며, 이러한 제약은 디자인(Design)된 액정 디스플레이 패널에서 여러 가지 불량을 야기시키는 요인이 된다.

**발명이 이루고자 하는 기술적 과제**

따라서, 본 발명은 상기한 바와 같은 종래 기술의 문제점을 해결하기 위해 안출한 것으로서, 각 패드의 상하에 정전기 방지를 위한 박막트랜지스터를 형성함으로써 별도의 ESD 형성 공간이 필요치 않아 ESD가 차지하는 공간을 최소화할 수 있고, 이에 따라, 여유 공간을 확보하는데 적당한 액정 디스플레이 패널을 제공함에 그 목적이 있다.

**발명의 구성 및 작용**

상기의 목적을 달성하기 위하여, 본 발명은, 복수의 게이트 라인과 데이터 라인이 교차 배치되어 상기 데이터 라인에 인가되는 화상 데이터를 디스플레이하는 액티브 영역과, 상기 액티브 영역 외측에 형성되며 상기 각 게이트 라인과 연결된 복수의 게이트 패드와, 상기 액티브 영역 외측에 형성되며 상기 각 데이터 라인과 연결된 복수의 데이터 패드와, 상기 각 게이트 패드 및 데이터 패드에 한 쌍씩 형성되어 인너 ESD 및 아우터 ESD로 기능하며 해당 패드에서 발생된 정전기를 이웃하는 패드로 전달하는 정전기 방지용 박막트랜지스터를 포함하는 것을 특징으로 하는 액정 디스플레이 패널을 제공한다.

여기서, 상기 각 패드에 형성된 한 쌍의 박막트랜지스터는 서로 다른 방향에 이웃하는 박막트랜지스터와 연결되어 형성 위치에 따라 서로 반대의 패드로 정전기를 전달하는 것을 특징으로 한다.

(실시예)

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

도 2는 본 발명의 액정 디스플레이 패널에 따른 데이터 패드를 도시한 것이고, 도 3은 도 2에 대한 등가회로를 도시한 것이다.

먼저, 도 2에서 데이터 패드의 상단과 하단 각각에 정전기 방지를 위한 박막트랜지스터가 형성된 것을 볼 수 있는데, 이와 같은 박막트랜지스터는 게이트 패드에서도 동일하게 적용되는 자명하다.

즉, 본 발명의 액정 디스플레이 패널은 게이트 패드 및 데이터 패드에 한 쌍씩의 정전기 방지용 박막트랜지스터를 형성하며, 이를 통해, 정전기가 게이트 라인 전체 또는 데이터 라인 전체로 전달되도록 함으로써 결국은 패널 전체에 정전기가 전달되도록 한다. 이때, 각 패드에 형성된 한 쌍의 정전기 방지용 박막트랜지스터는 그 형성 위치에 따라 인너 ESD 및 아우터 ESD가 된다.

패드 구조를 보다 자세하게 살펴보면 다음과 같다.

도 2에 도시한 바와 같이, 일정간격을 두고 복수의 데이터 패드(D1, D2, D3, ..., Dn)가 형성되고, 각 데이터 패드의 상단부와 하단부에는 각각 인접하는 데이터 패드와 전기적으로 연결되는 박막트랜지스터(T1a, T2a, T3a, ..., Tna)가 형성된다.

일예로, 첫 번째 데이터 패드(D1)의 상단부에 형성된 박막트랜지스터(T1a)의 소스 단자는 두 번째 데이터 패드(D2)의 상단부에 형성된 박막트랜지스터(T2a)의 드레인(Drain) 단자와 콘택홀을 통해서 연결되고, 상기 박막트랜지스터(T2a)의 소스 단자는 다시 세 번째 데이터 패드(D3)의 상단부에 형성된 박막트랜지스터(T3a)의 드레인 단자와 콘택홀을 통해서 연결되며, 이런 식으로 모든 데이터 패드의 상단부에는 이웃하는 데이터 패드를 연결하여 정전기를 모든 데이터 라인으로 인가하기 위한 박막트랜지스터(T1a, T2a, T3a, ..., Tna)들이 형성된다.

또한, 도 2에서 네 번째 데이터 패드(D4)의 하단부에 형성된 박막트랜지스터 (T4b)의 소스 단자는 셋 번째 데이터 패드(D3)의 하단부에 형성된 박막트랜지스터 (T3b)의 드레인 단자와 콘택홀을 통해서 연결되고, 상기 박막트랜지스터(T3b)의 소스 단자는 다시 두 번째 데이터 패드(D2)의 하단부에 형성된 박막트랜지스터(T2b)의 드레인 단자와 콘택홀을 통해서 연결되며, 이런 식으로 모든 데이터 패드의 하단부에는 이웃하는 데이터 패드를 연결하여 정전기를 모든 데이터 라인으로 전달하기 위한 박막트랜지스터(T1b, T2b, T3b, ..., Tnb)들이 형성된다.

이하에서는 상기와 같이 구성된 본 발명의 액정 디스플레이 패널에 따른 ESD의 동작을 설명하기로 한다.

도 2에서 두 번째 데이터 패드(D2)에 정전기가 발생하였을 경우, 상기 데이터 패드(D2)의 하단부쪽 즉, C영역의 박막트랜지스터(T2b)가 온(ON)되고, 그로 인해 상기 박막트랜지스터(T2b)의 소스 단자를 통해서 첫 번째 데이터 패드(D1)로 정전기가 전달된다.

그리고 상기 두 번째 데이터 패드(D2)의 상단부쪽 즉, A영역의 박막트랜지스터(T1a)가 온(ON)되고, 그로 인해서 상기 박막트랜지스터(T2a)의 소스 단자를 통해서 세 번째 데이터 패드(D3)로 정전기가 전달된다.

이와 같이, 두 번째 데이터 패드(D2)에서 발생된 정전기는 각 데이터 패드의 상단부와 하단부에 형성된 박막트랜지스터들을 통해서 이웃하는 데이터 패드로 전달되고, 이런 식으로 모든 데이터 패드에 정전기가 전달된다.

일예로, 상기 세 번째 데이터 패드(D3)로 전달된 정전기는 상기 세 번째 데이터 패드(D3)의 상단부쪽 즉, B영역의 박막트랜지스터(T3a)가 온(ON)됨으로 인하여 상기 박막트랜지스터(T3a)의 소스 단자를 통해서 이웃하는 네 번째 데이터 패드(D4)로 정전기가 전달된다.

따라서, 데이터 패드 중 어느 한 곳에서 정전기가 발생할 경우, 각 데이터 패드의 상단부와 하단부에 형성된 박막트랜지스터들을 통해서 이웃하는 데이터 패드로 정전기가 전달되고, 결국은 모든 데이터 패드에 정전기가 전달되어 패드의 외부와 내부의 전압차가 최소화되어 정전기로 인한 피해를 방지할 수가 있다.

참고로, 본 실시예에서는 데이터 패드를 예로 들어 설명하였으나, 게이트 패드의 상단부와 하단부에도 데이터 패드와 마찬가지로 이웃하는 게이트 패드로 정전기를 전달하는 박막트랜지스터가 형성됨은 자명하다.

### 발명의 효과

이상에서와 같이, 본 발명은 각 데이터 패드 및 게이트 패드의 상단부와 하단부에 각각 인너 ESD 및 아우터 ESD의 역할을 수행하는 정전기 방지용 박막트랜지스터를 형성해 줌으로, ESD가 차지하는 공간을 최소화하여 공간 미확보로 인해 발생할 수 있는 제품의 불량을 미연에 방지할 수 있다.

기타, 본 발명은 그 요지가 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

복수의 게이트 라인과 데이터 라인이 교차 배치되어 상기 데이터 라인에 인가되는 화상 데이터를 디스플레이하는 액티브 영역과,

상기 액티브 영역 외측에 형성되며 상기 각 게이트 라인과 연결된 복수의 게이트 패드와,

상기 액티브 영역 외측에 형성되며 상기 각 데이터 라인과 연결된 복수의 데이터 패드와,

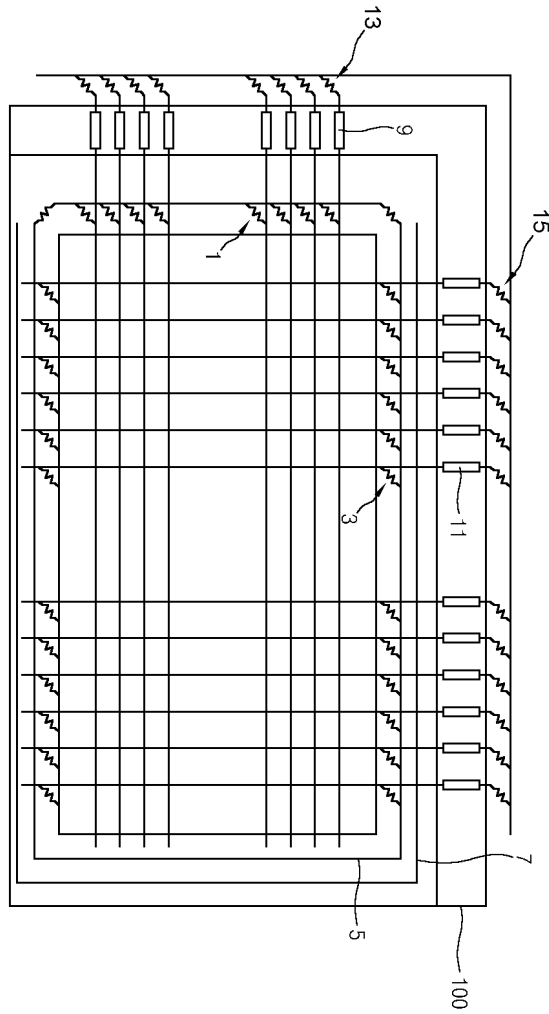
상기 각 게이트 패드 및 데이터 패드에 한 쌍씩 형성되어 인너 ESD 및 아우터 ESD로 기능하며, 해당 패드에서 발생된 정전기를 이웃하는 패드로 전달하는 정전기 방지용 박막트랜지스터를 포함하는 것을 특징으로 하는 액정 디스플레이 패널.

#### 청구항 2.

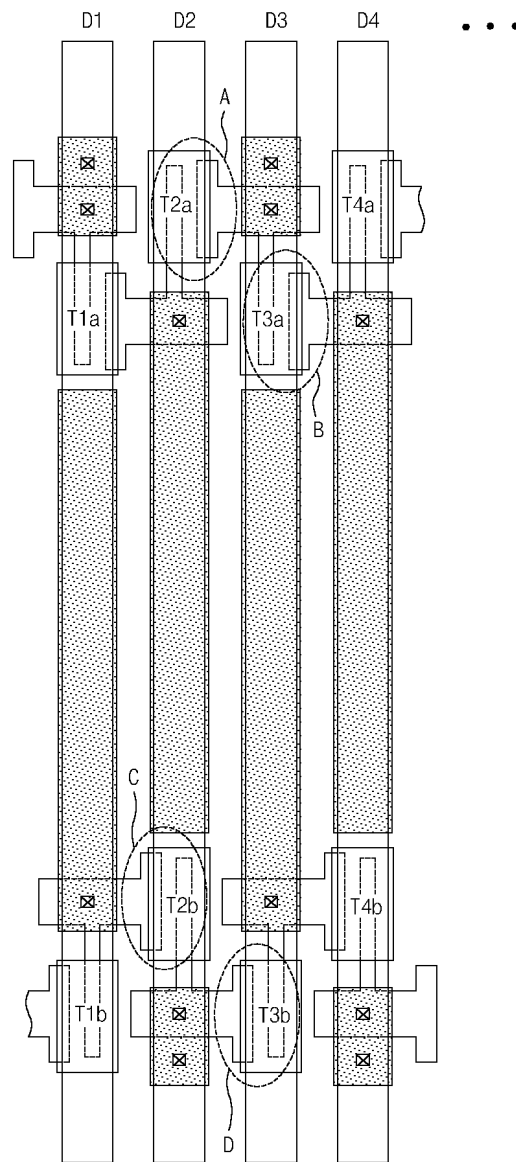
제 1 항에 있어서, 상기 각 패드에 형성된 한 쌍의 박막트랜지스터는 서로 다른 방향에 이웃하는 박막트랜지스터와 연결되어 형성 위치에 따라 서로 반대의 패드로 정전기를 전달하는 것을 특징으로 하는 액정 디스플레이 패널.

### 도면

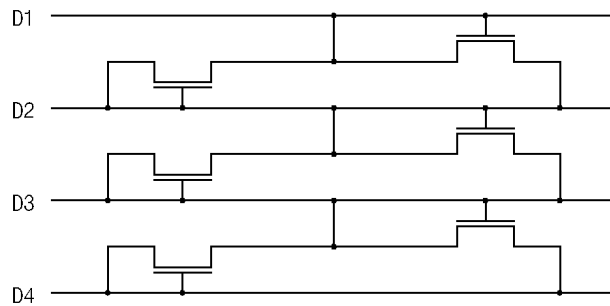
도면1



도면2



도면3



专利名称(译)	液晶显示面板		
公开(公告)号	<a href="#">KR1020050015034A</a>	公开(公告)日	2005-02-21
申请号	KR1020030053492	申请日	2003-08-01
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	KO YOUNGYIK 고영익 PARK SANGJIN 박상진		
发明人	고영익 박상진		
IPC分类号	G02F1/13 G02F1/1362 H01L21/336 H01L29/786 G02F1/136 G02F1/1333 G02F1/1368		
CPC分类号	G02F1/136204		
其他公开文献	KR100717184B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

用途：提供LCD（液晶显示器）面板，通过形成ESD薄膜晶体管，最大限度地减少ESD（静电放电）部件占用的空间。

