

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/133

(11) 공개번호 10-2004-0085307
(43) 공개일자 2004년10월08일

(21) 출원번호 10-2003-0019950
(22) 출원일자 2003년03월31일

(71) 출원인 바이오 하이디스 테크놀로지 주식회사
경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자 김천홍
서울특별시송파구석촌동293-10

안성준
경기도이천시대월면사동리현대6차아파트604동1001호

유세종
경기도안성시공도면용두3리157-1번지공도연립202호

(74) 대리인 강성배

심사청구 : 있음

(54) 액정표시장치

요약

본 발명은 액정표시장치에 사용되는 화소의 킥백 전압을 개선한 액정표시장치에 관한 것이다.

본 발명의 액정표시장치는, 복수개의 데이터 라인과 복수개의 게이트 라인이 상호 교차하는 부분에 연결된 박막 트랜지스터, 상기 박막 트랜지스터의 소스에 연결된 화소 전극, 상기 화소 전극에 대향하는 공통전극, 및 상기 화소 전극과 상기 공통전극 사이에 주입된 액정을 구비하는 액정표시장치로서; 상기 복수개의 게이트 라인에 대응하는 복수의 보조 게이트 라인을 형성하고, 상기 보조 게이트 라인과 상기 소스 사이에 제 1 커패시터를 연결하여 형성한다.

본 발명의 실시예에서 제안된 화소 구조를 갖는 액정표시장치를 사용하는 경우, 게이트 라인의 전압이 급격히 다운되는 경우에도 화소전압의 변동폭을 최소화시킬 수 있다. 따라서, 종래의 경우와 비교하여 데이터 라인 전압의 다이내믹 레인지를 낮출 수 있으며 공통 전압(Vcom)의 조정이 불필요하고 ΔV_p 로 인하여 초래되던 30Hz 성분의 플리커(flicker) 등의 디스플레이 문제 등을 해결할 수 있다.

대표도

도 3

색인어

액정표시장치, 화소, 게이트, 데이터, 라인, 용량, 커패시터

명세서

도면의 간단한 설명

도 1 은 종래의 일반적인 TFT-LCD 의 화소 구조도.

도 2 는 도 1 의 동작 파형도.

도 3 은 본 발명에서 제안하는 새로운 화소 구조의 일실시예를 도시하는 도면.

도 4 는 도 3 의 동작 파형도.

도 5 는 본 발명에서 제안하는 새로운 화소 구조의 다른 실시예를 도시하는 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 능동 매트릭스 액정표시장치에 사용되는 화소의 킥백 전압을 개선한 액정표시장치에 관한 것이다.

일반적으로, TFT-LCD 의 화소 구조는 비정질 실리콘 또는 다결정 실리콘 TFT 1 개와 축적용량(storage capacitor)과 액정에 전압을 인가하기 위한 화소 전극으로 이루어져 있으며, 도 1 은 이러한 종래의 일반적인 TFT-LCD 의 화소 구조를 도시한다. 도 1 에 도시된 화소 구조는 전형적인 형태라 더 이상의 설명은 생략하며, 그 동작과 관련된 파형도를 도 2 에 도시하였다.

도 2 에서 알 수 있듯이, 종래의 화소 구조를 사용하는 경우, 노드 P 에서의 전압, 즉 축적용량에 저장되는 전하량과 관계되는 전압은 게이트 라인의 전압이 로우로 천이하는 순간 ΔV_p (킥백 전압)만큼 다운된다. 이는 게이트 라인의 전압이 급격히 감소하는 경우 TFT 의 게이트 전극과 소오스 전극사이의 기생용량(Cgs)에 의한 커플링 현상에 의하여 화소 전압인 노드 P 에서의 전압도 함께 다운되기 때문이다. 이로 인하여, 액정에는 데이터 라인의 전압보다 ΔV_p 만큼 낮은 전압이 인가되며, 통상 ΔV_p 는 다음과 같은 식으로 표시된다.

$$\Delta V_p = C_{gs} / (C_{lc} + C_{st} + C_{gs}) * (V_{glow} - V_{ghigh})$$

여기서, C_{lc} 은 액정의 용량, C_{st} 는 축적용량, C_{gs} 는 소오스와 게이트간의 기생용량을 나타내며, V_{glow} 와 V_{ghigh} 는 각각 게이트 라인에 인가되는 로우 전압과 하이 전압을 나타낸다.

위에서 알 수 있듯이, ΔV_p 전압은 TFT 의 게이트 전압 변동과 같은 방향으로 작용하여 액정 전압을 감소시킨다. 또한, 액정의 용량(C_{lc})과 기생용량(C_{gs})은 인가된 전압에 따라서 변하므로 계조에 따라서 ΔV_p 가 다르게 나타날 수 있기 때문에 계조마다 서로 다른 공통 전압이 요구되며, 이 때문에 ΔV_p 를 최소화할 수 있는 화소 구조가 요구되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 전술한 문제점을 해결하기 위하여 제안된 것으로, 킥백전압이 없는 화소 구조를 갖는 액정표시 장치를 제안하고자 한다.

이를 위하여, 본 발명에서는 각 화소의 게이트 라인 신호와 반대 극성을 가진 별개의 게이트 신호 라인을 설치하여, 게이트 라인 신호의 급격한 변화에 의한 ΔV_p 의 발생을 보상할 수 있는 화소 구조를 갖는 액정표시 장치를 제안하고자 한다.

발명의 구성 및 작용

상기 목적을 이루기 위한 본 발명의 액정표시장치는, 복수개의 데이터 라인과 복수개의 게이트 라인이 상호 교차하는 부분에 연결된 박막 트랜지스터, 상기 박막 트랜지스터의 소스에 연결된 화소 전극, 상기 화소 전극에 대항하는 공통전극, 및 상기 화소 전극과 상기 공통전극 사이에 주입된 액정을 구비하는 액정표시장치로서; 상기 복수개의 게이트 라인에 대응하는 복수의 보조 게이트 라인을 형성하고, 상기 보조 게이트 라인과 상기 소스 사이에 제 1 커패시터를 연결하여 형성한다.

본 발명에 있어서, 상기 소오스와 상기 공통전극사이에 제 2 커패시터가 연결된다.

또한, 본 발명에 있어서, 상기 보조 게이트 라인에 인가되는 전압 극성은 상기 게이트 라인에 인가되는 전압 극성에 서로 반대되는 극성을 갖는다.

또한, 본 발명에 있어서, 상기 제 1 커패시터의 용량은 상기 트랜지스터의 소오스와 게이트간의 기생용량과 동일하다.

(실시예)

이하, 도면을 참조하여 본 발명의 실시예에 대하여 보다 구체적으로 설명하 기로 한다.

도 3 은 본 발명에서 제안하는 새로운 화소 구조의 일실시예를 도시하는 도면이고, 도 4 는 그 동작 파형도이다.

도 3 의 일실시예에 있어서, 상호 직교하는 복수개의 제 1 게이트 라인(N번째, N+1번째 게이트 라인)과 복수개의 데이터 라인(M번째, M+1번째 게이트 라인)을 구비하는 액정표시장치는 복수개의 제 1 게이트 라인 각각에 대응하는 복수개의 제 2 게이트 라인(N번째, N+1번째 게이트바 라인: 보조 게이트 라인)을 더 구비한다. 또한, 제 1 게이트 라인에 게이트가 연결되며, 그에 대응하는 데이터 라인에 드레인이 연결되는 TFT 트랜지스터의 소오스와 접지전압 사이에 액정이 연결되고, 소오스와 제 2 게이트 라인간에 제 1 커패시터(C1)가 연결된다.

도 3에 도시된 바와같이, 하나의 게이트 라인과 하나의 데이터 라인이 화소 트랜지스터(TFT)에 연결되어 있고 또 다른 게이트바 라인과 노드 P(화소 전극)사이에 정전용량(C1)이 연결되어 있다. 게이트바 라인은 게이트 라인의 신호 극성과 반대이다(도 4 참조). 본 발명의 실시예에 있어서, 상기 정전용량 C1 은 트랜지스터의 소오스와 게이트간의 기생용량(Cgs)와 동일하도록 설계됨이 바람직하다.

도 3 에 도시된 화소 구조를 갖는 경우, 기생용량(Cgs)의 영향에 의한 킥백전압을 정전용량 C1 을 통하여 보상할 수 있으며, 이 경우의 ΔV_p 를 식으로 표시하면 다음과 같다.

$$\Delta V_p = C_{gs} / (C_{lc} + C_{st} + C_{gs}) * (V_{glow} - V_{ghigh}) + C_1 (C_{lc} + C_{st} + C_{gs}) * (V_{ghigh} - V_{glow})$$

위 식에서 알 수 있듯이, 만약 $C_1 = C_{gs}$ 이면, ΔV_p 는 이론적으로 0 이 된다. 또한, 화소 전극에 연결되어 있는 기타 다른 기생용량을 고려하더라도 본 발명의 일 실시예에 따른 화소 구조를 사용하는 경우, ΔV_p 를 최소화시킬 수 있다. 따라서, 액정의 하부 전극에는 0V 또는 기존의 공통전극(V_{com})보다 매우 낮은 DC 전압이 인가될 수 있어 데이터 라인 전압의 다이내믹 레인지(range)를 낮출 수 있다.

도 5 는 본 발명에서 제안하는 새로운 화소 구조의 다른 실시예를 도시하는 도면이다.

도 5에서 알 수 있듯이, 도 3과 다른 점은 정전용량(C1) 이외에 축적용량 (Cst)을 액정과 병렬로 연결한 화소 구조로, 축적용량은 ΔV_p 를 줄이는 역할을 할 뿐만 아니라 TFT 트랜지스터의 게이트가 턴오프 상태일 때 생기는 누설전류 및 액정의 누설전류 등에 의한 액정 전압의 감소를 막아 전압 유지율(VHR : Voltage Holding Ratio)을 높이는 기능을 한다.

발명의 효과

이상에서 알 수 있듯이, 본 발명의 실시예에서 제안된 화소 구조를 갖는 액정표시장치를 사용하는 경우, 게이트 라인의 전압이 급격히 다운되는 경우에도 화소전압의 변동폭을 최소화시킬 수 있다. 따라서, 종래의 경우와 비교하여 데이터 라인 전압의 다이내믹 레인지를 낮출 수 있으며 공통 전압(V_{com})의 조정이 불필요하고 ΔV_p 로 인하여 초래되던 30Hz 성분의 플리커(flicker) 등의 디스플레이 문제 등을 해결할 수 있다.

(57) 청구의 범위

청구항 1.

복수개의 데이터 라인과 복수개의 게이트 라인이 상호 교차하는 부분에 연결된 박막 트랜지스터,

상기 박막 트랜지스터의 소스에 연결된 화소 전극,

상기 화소 전극에 대향하는 공통전극, 및

상기 화소 전극과 상기 공통전극 사이에 주입된 액정을 구비하는 액정표시장치에 있어서,

상기 복수개의 게이트 라인에 대응하는 복수의 보조 게이트 라인을 형성하고, 상기 보조 게이트 라인과 상기 소스 사이에 제 1 커패시터를 연결하여 형성하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서, 상기 소오스와 상기 공통전극사이에 제 2 커패시터가 연결된 것을 특징으로 하는 액정표시장치.

청구항 3.

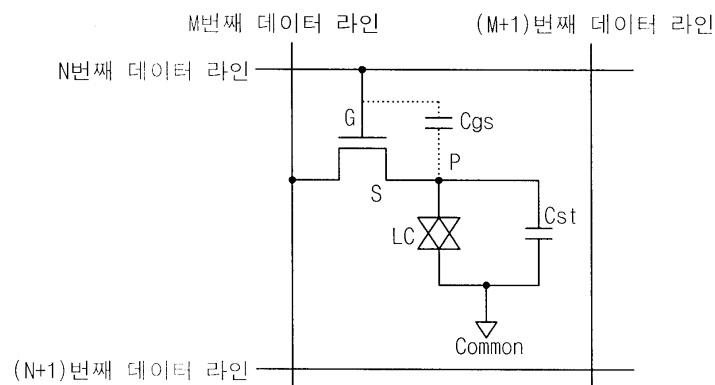
제 1 항 또는 제 2 항에 있어서, 상기 보조 게이트 라인에 인가되는 전압 극성은 상기 게이트 라인에 인가되는 전압 극성에 서로 반대되는 극성을 갖는 것을 특징으로 하는 액정표시장치.

청구항 4.

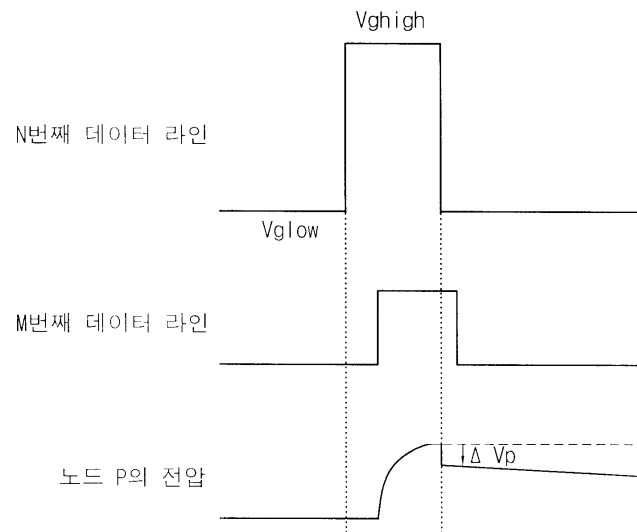
제 3 항에 있어서, 상기 제 1 커패시터의 용량은 상기 트랜지스터의 소오스와 게이트간의 기생용량과 동일한 것을 특징으로 하는 액정표시장치.

도면

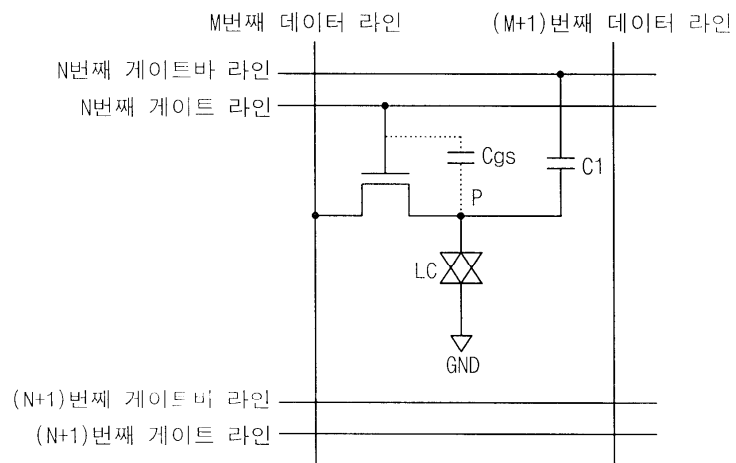
도면1



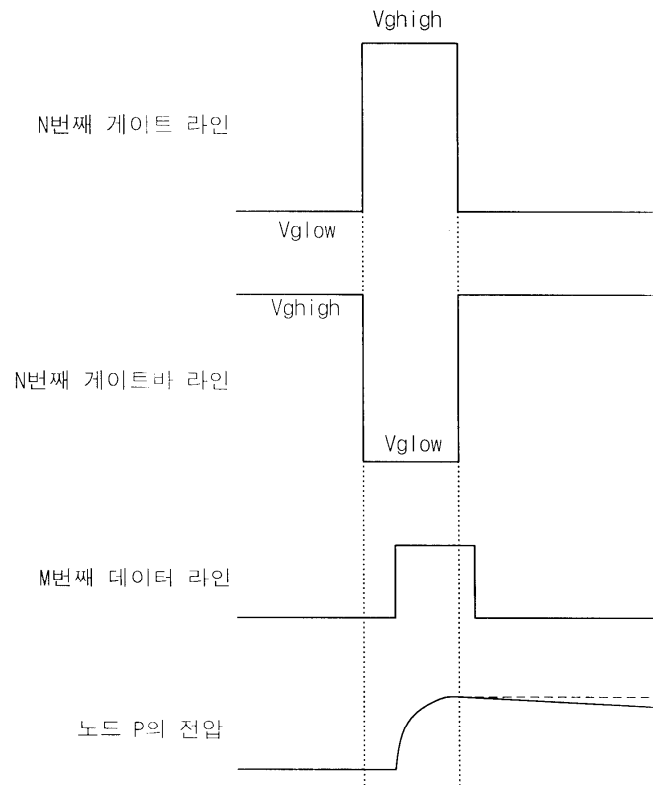
도면2



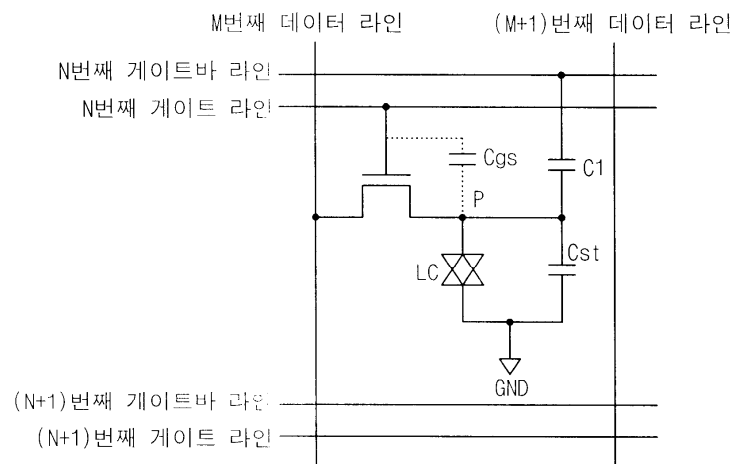
도면3



도면4



도면5



专利名称(译)	液晶显示器		
公开(公告)号	KR1020040085307A	公开(公告)日	2004-10-08
申请号	KR1020030019950	申请日	2003-03-31
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	KIM CHEONHONG 김천홍 AHN SEONGJUN 안성준 YOO SEJONG 유세종		
发明人	김천홍 안성준 유세종		
IPC分类号	G02F1/133 G02F1/1362 G09G3/20 G09G3/36 G02F1/1368		
CPC分类号	G09G2320/0247 G02F1/136213 G09G2300/043 G09G3/3659 G09G2320/0219 G09G3/3648 G09G2300/0876 G09G3/3655		
代理人(译)	OH YONG SOO 郑某, TAE HOON		
其他公开文献	KR100762026B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及一种液晶显示装置，其中改善了液晶显示装置中使用的像素的反冲电压。本发明中，在公共电极和像素电极相对的像素电极，连接到薄膜晶体管，连接到所述多条数据线和多条栅极线交叉的部分的薄膜晶体管的源极的像素电极的液晶显示装置并且，在公共电极和公共电极之间注入液晶；形成与多条栅极线对应的多条辅助栅极线，并且在辅助栅极线和源极之间连接第一电容器。当使用具有本发明的实施例提出了一种像素结构中，即使栅极线的快速下降电压可以最小化的像素电压的变化的液晶显示装置。因此，与以往的情况相比，能够降低数据线电压的动态范围和数量可以解决位移的问题，如30Hz的成分释放的闪烁（闪烁）所需的公共电压Vcom的调节并从 ΔVP 所得。3指数方面 液晶显示器，像素，栅极，数据，线路，电容，电容器

