(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G02F 1/133
G02F 1/1343

(11) 공개번호 10-2004-0084019
(43) 공개일자 2004년10월06일

(21) 출원번호 10-2003-0018787
(22) 출원일자 2003년03월26일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 김희섭
경기도화성군태안읍반월리865-1번지신영통현대아파트110동304호

김종래
서울특별시송파구문정동44-7호현대파크빌401호

양영철
경기도군포시금정동주공아파트2단지220동1201호

홍성규
경기도성남시분당구야탑동512번지동아빌라513동403호

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 액정 표시 장치 및 그에 사용되는 표시판

요약

절연 기판 위에 형성되어 있는 게이트선, 게이트선과 절연되어 교차하고 있는 데이터선, 게이트선과 데이터선이 교차하여 정의하는 각 화소 영역마다 형성되어 있는 제1 화소 전극, 게이트선, 데이터선 및 제1 화소 전극에 3단자가 각각 연결되어 있는 제1 박막 트랜지스터, 화소 영역마다 형성되어 있으며 제1 화소 전극에 용량성으로 결합되어 있는 제2 화소 전극, 전단의 게이트선, 유지 전극선 또는 데이터선 및 제2 화소 전극에 각각 3단자가 연결되어 있는 제2 박막 트랜지스터를 포함하는 액정 표시 장치를 마련한다. 이렇게 하면, 측면 시인성을 향상된 광시야각 액정 표시 장치를 얻을 수 있다.

대표도

도 1

색인어

액정표시장치, 절개부, 계조반전, 시인성

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,

도 2는 도 1의 II-II' 선을 따라 잘라 도시한 단면도이고,

도 3은 본 발명의 제1 실시예에 따른 액정 표시 장치의 회로도이고,

도 4는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,

도 5는 도 4의 V-V' 선을 따라 잘라 도시한 단면도이고,

도 6은 본 발명의 제2 실시예에 따른 액정 표시 장치의 회로도이고,

도 7은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,

도 8은 본 발명의 제3 실시예에 따른 액정 표시 장치의 회로도이고,

도 9는 본 발명의 제4 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,

도 10은 본 발명의 제4 실시예에 따른 액정 표시 장치의 회로도이고,

도 11은 본 발명의 제5 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표 시판의 배치도이고,

도 12는 본 발명의 제5 실시예에 따른 액정 표시 장치용 색 필터 표시판의 배치도이고,

도 13은 본 발명의 제5 실시예에 따른 액정 표시 장치의 배치도이고,

도 14는 도 13의 XIV-XIV'선에 대한 단면도이고,

도 15는 본 발명의 제6 실시예에 따른 액정 표시 장치의 회로도이고,

도 16은 본 발명의 제7 실시예에 따른 액정 표시 장치의 회로도이다.

121 게이트선, 123a, 123b 게이트 전극

131, 133a, 133b 유지 전극, 171 데이터선

173a, 173b 소스 전극, 175a, 175b 드레인 전극

190a, 190b 화소 전극, 191, 192, 193 절개부

151, 154, 155 비정질 규소층, 270 기준 전극

271, 272, 273 절개부,

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치 및 그에 사용되는 표시판에 관한 것이다.

일반적으로 액정 표시 장치는 일반적으로 공통 전극과 색필터(color filter) 등이 형성되어 있는 상부 표시판과 박막 트랜지스터와 화소 전극 등이 형성되어 있 는 하부 표시판 사이에 액정 물질을 주입해 놓고 화소 전극과 공통 전극에

서로 다른 전압을 인가함으로써 전계를 형성하여 액정 분자들의 배열을 변경시키고, 이를 통해 빛의 투과율을 조절함으로써 화상을 표현하는 장치이다.

그러나, 이러한 액정 표시 장치에서는 계조간의 휘도가 역전되는 계조 반전이 발생하고, 정면의 감마(gamma)곡선과 측면의 감마 곡선이 일치하지 않는 측면 감마 곡선 왜곡 현상이 발생하여 좌우측면에서 열등한 시인성을 나타낸다는 문제점이 있다. 예를 들어, 측면으로 갈수록 전체적으로 화면이 밝게 보이고 색은 흰색 쪽으로 이동하는 경향이 있으며, 심한 경우에는 밝은 계조 사이의 휘도 차이가 없어져서 그림이 뭉그러져 보이는 경우도 발생한다. 그런데 최근 액정 표시 장치가 멀티 미디어용으로 사용되면서 그림을 보거나 동영상을 보는 일이 증가하면서 시인성이 점점 더 중요시되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 시인성이 우수한 액정 표시 장치를 구현하는 것이다.

발명의 구성 및 작용

이러한 과제를 해결하기 위하여 본 발명에서는 화소 전극을 둘로 나누고 나누어진 서브 화소 전극에 서로 다른 전위가 인가되도록 한다.

더욱 상세하게, 본 발명의 실시예에 따른 박막 트랜지스터 표시판에는 절연 기판 위에 다수의 제1 신호선과 상기 제1 신호선과 절연되어 교차하고 있는 다수의 제2 신호선이 형성되어 있다. 제1 신호선과 제2 신호선이 교차하여 정의하는 행렬 배열의 화소 영역마다 다수의 제1 화소 전극이 형성되어 있으며, 제1 신호선, 제2 신호선 및 제1 화소 전극에 3단자가 각각 연결되어 있는 다수의 제1 박막 트랜지스터가 형성되어 있다. 또한, 각각의 화소 영역에는 제1 화소 전극에 용량성으로 결합되어 있는 다수의 제2 화소 전극이 형성되어 있고, 한 단자는 제2 화소 전극에 연결되어 있고 다른 하나의 단자는 이웃하는 행의 화소 영역의 제1 화소 전극에 연결되어 있는 제1 신호선에 연결되어 있는 제2 박막 트랜지스터가 형성되어 있다.

이때, 제1 화소 전극과 연결되어 있거나 중첩되어 있으며, 제2 화소 전극과 절연 상태로 중첩하고 있는 결합 전극을 더 포함하는 것이 바람직하며, 결합 전극은 제1 화소 전극과 연결되어 있는 제1 박막 트랜지스터의 드레인 전극에 연결되어 있는 것이 바람직하다.

이러한 박막 트랜지스터 표시판은, 제2 신호선과 교차하는 제3 신호선을 더 포함하며, 제2 박막 트랜지스터의 나머지 한 단자는 제3 신호선 또는 제2 신호선과 연결되어 있다.

제2 박막 트랜지스터의 나머지 한 단자는 상기 제3 신호선에 연결되어 있으며, 제2 신호선, 제2 화소 전극 및 이웃하는 행의 화소 영역에 연결되어 있는 제1 신호선에 3단자가 각각 연결되어 있는 제3 박막 트랜지스터를 더 포함할 수 있다.

제1 화소 전극과 제2 화소 전극 중의 적어도 하나는 도메인 분할 수단을 가지는 것이 바람직하며, 제1 신호선과 제2 신호선 사이에 형성되어 있는 게이트 절연막과 제2 신호선과 제1 및 제2 화소 전극 사이에 형성되어 있는 보호막을 더 포함하고, 결합 전극은 보호막에 형성되어 있는 접촉구를 통하여 제1 화소 전극과 연 결되어 있는 것이 바람직하다.

이러한 본 발명의 실시예에 따른 박막 트랜지스터 표시판은 액정 표시 장치의 한 표시판으로 사용된다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 '위에' 있다고 할 때, 이는 다른 부분 '바로 위에' 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 '바로 위에' 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

그러면 도면을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치 및 이에 사용되는 박막 트랜지스터 표시판의 구조에 대하여 설명한다.

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 2는 도 1의 II-II' 선을 따라 잘라 도시한 단면도이고, 도 3은 본 발명의 제1 실시예에 따른 액정 표시 장치의 회로도이다.

본 발명의 실시예에 따른 액정 표시 장치는 하부 표시판(박막 트랜지스터 표시판)과 이와 마주보고 있는 상부 표시판(대향 표시판) 및 하부 표시판과 상부 표 시판 사이에 주입되어 두 표시판에 대하여 실질적으로 평행하며, 하부 표시판에서 상부 표시판에 이르기까지 순차적으로 비틀려져 배향되어 있는 비틀린 네마틱(twisted nematic) 방식을 액정 분자를 포함하는 액정층으로 이루어진다.

이러한 본 발명의 실시예에 따른 액정 표시 장치에서 제1 실시예에 따른 박막 트랜지스터 먼저, 하부 표시판은 다음과 같은 구성을 가진다.

유리 등의 투명한 절연 물질로 이루어진 절연 기판(110) 위에 ITO(indium tin oxide)나 IZO(indium zinc oxide) 등의 투명한 도전 물질로 이루어져 있는 제1 및 제2 화소 전극(190a, 190b)이 형성되어 있다. 이중 제1 화소 전극(190a)은 제1 박막 트랜지스터(TFT1)에 연결되어 화상 신호 전압을 인가 받고, 제2 화소 전극(190b)은 전단의 화소 행에 게이트 또는 주사 신호를 전달하는 전단의 게이트선(121)과 유지 전극선(131)에 전기적으로 연결되어 있는 제2 박막 트랜지스터(TFT2)에 연결되어 있으며, 제2 화소 전극(190b)은 제1 화소 전극(190a)과 연결되어 있는 결합 전극(176)과 중첩함으로써 제1 화소 전극(190a)과 전자기적으로 결합(용량성 결합)되어 있다. 이 때, 제1 박막 트랜지스터(TFT1)는 주사 신호를 전달하는 게이트선(121)과 화상 신호를 전달하는 데이터선(171)에 각각 연결되어 주사 신호에 따라 제1 화소 전극(190a)에 인가되는 화상 신호를 온(on)오프(off)한다. 여기서, 제1 및 제2 화소 전극(190a, 190b)은 반사형 액정 표시 장치인 경우 투명한 물질로 이루어지지 않을 수도 있다.

한편, 도면으로 나타내지 않았지만, 상부 표시판의 구성은 다음과 같다.

역시 유리 등의 투명한 절연 물질로 이루어진 절연 기판의 박막 트랜지스터 표시판과 마주하는 면에 화소 사이에 누설되는 빛을 차단하기 위한 블랙 매트릭스와 적, 녹, 청의 색필터 및 ITO 또는 IZO 등의 투명한 도전 물질로 이루어져 있으며 화소 전극(190a, 190b)과 전계를 형성하는 공통 전극이 형성되어 있다. 이때, 블랙 매트릭스 또는 색 필터는 박막 트랜지스터 표시판에 형성될 수도 있다.

제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판에 대하여 좀 더 상세히 한다.

하부의 절연 기판(110) 위에 주로 가로 방향으로 뻗어 있는 복수의 게이트선(121)과 유지 전극선(131)이 형성되어 있다.

게이트선(121)은 복수의 부분이 아래 위로 확장되어 제1 박막 트랜지스터(TFT1)의 게이트 전극(123a)을 이루고, 한쪽 끝부분(125)은 외부 회로와의 연결을 위하여 넓게 확장되어 있다. 이때, 전단의 화소 행에 게이트 또는 주사 신호를 전달하는 게이트선(121)의 일부는 제2 박막 트랜지스터(TFT2)의 게이트 전극(123b)을 이룬다.

각 유지 전극선(131)은 그로부터 뻗어 나온 여러 벌의 유지 전극(storage electrode)(133a, 133b)을 포함한다. 한 벌의 유지 전극(133a, 133b) 중 두 개의 유지 전극(133a, 133b)은 세로 방향으로 뻗어나오며 화소 영역의 가장자리로 연장되어 있다.

게이트선(121) 및 유지 전극선(131)은 Al, Al 합금, Ag, Ag 합금, Cr, Ti, Ta, Mo 등의 금속 따위로 만들어진다. 도 2에 나타난 바와 같이, 본 실시예의 게이트선(121) 및 유지 전극선(131)은 단일층으로 이루어지지만, 물리 화학적 특성이 우수한 Cr, Mo, Ti, Ta 등의 금속층과 비저항이 작은 Al 계열 또는 Ag 계열의 금속층을 포함하는 이중층으로 이루어질 수도 있다. 이외에도 여러 다양한 금속 또는 도전체로 게이트선(121)과 유지 전극선(131)을 만들 수 있다.

게이트선(121)과 유지 전극선(131)이 측면은 경사져 있으며 수평면에 대한 경사각은 30-80 ° 인 것이 바람직하다.

게이트선(121)과 유지 전극선(131)의 위에는 질화 규소(SiNx) 등으로 이루어진 게이트 절연막(140)이 형성되어 있다.

게이트 절연막(140) 위에는 복수의 데이터선(171)을 비롯하여 복수의 제1 박막 트랜지스터 드레인 전극(drain electrode)(175a), 복수의 결합 전극(176) 및 복수의 다리부 금속편(under-bridge metal piece)(172)이 형성되어 있다. 각 데이터선(171)은 주로 세로 방향으로 뻗어 있으며, 각 드레인 전극(175a)을 향하여 복수의 분지를 내어 제1 박막 트랜지스터(TFT1)의 소스 전극(source electrode)(173a)을 이룬다. 다리부 금속편(172)은 전단의 게이트선(121) 위에 위치하며, 일부는 연장되어 제2 박막 트랜지스터(TFT2)의 드레인 전극(175b)을 이루며, 전단의 게이트선(121) 상부에는 이를 중심으로 제2 박막 트랜지스터(TFT2)의 드레인 전극(175b) 맞은편에 제2 박막 트랜지스터(TFT2)의 소스 전극(173b)이 형성되어 있다. 복수의 결합 전극(176)은 제1 박막 트랜지스터(TFT1)의 드레인 전극(175a)과 연

결되어 있으며, 화소 영역의 가장자리에 배치되어 유지 전극선(131)과 중첩되어 있다.

데이터선(171), 드레인 전극(175a, 175b), 결합 전극(176), 소스 전극(173a, 173b) 및 다리부 금속편(172)도 게이트선(121)과 마찬가지로 크롬과 알루미늄 등의 물질로 만들어지며, 단일층 또는 다중층으로 이루어질 수 있다.

데이터선(171) 및 드레인 전극(175a)의 아래에는 데이터선(171)을 따라 주로 세로로 길게 뻗은 복수의 선형 반도체(151)가 형성되어 있다. 비정질 규소 따위로 이루어진 각 선형 반도체(151)는 각 게이트 전극(123a), 소스 전극(173a) 및 드레인 전극(175a)을 향하여 가지를 내어 제1 박막 트랜지스터(TFT1)의 채널부(154)를 이룬다. 또한, 전단의 게이트선(121) 상부에는 제2 박막 트랜지스터(TFT2)의 채널부가 되는 섬형의 반도체(155)가 형성되어 있다.

반도체(151)와 데이터선(171) 및 드레인 전극(175a) 사이에는 둘 사이의 접촉 저항을 감소시키기 위한 복수의 저항성 접촉 부재(ohmic contact)(161)가 형성되어 있다. 저항성 접촉 부재(161)는 실리사이드나 n형 불순물이 고농도로 도핑된 비정질 규소 따위로 만들어진다. 이러한 저항성 접촉 부재(161)는 소스 전극(173a) 및 드레인 전극(175a) 하부에 위치하는 제1 박막 트랜지스터용 저항성 접촉 부재(163a, 165a)를 포함하며, 제2 박막 트랜지스터(TFT2)의 소스 전극(173b) 및 드레인 전극(175b) 하부에도 제2 박막 트랜지스터용 저항성 접촉 부재(163b, 165b)가 형성되어 있다.

데이터선(171), 드레인 전극(175a, 175b), 결합 전극(176) 및 다리부 금속편(172) 위에는 질화규소 등의 무기 절연물이나 수지 등의 유기 절연물로 이루어진 보호막(180)이 형성되어 있다.

보호막(180)에는 드레인 전극(175a, 175b)의 적어도 일부와 데이터선(171)의 끝 부분(179)을 각각 노출시키는 복수의 접촉 구멍(181a, 181b, 183)이 구비되어 있으며, 게이트선(121)의 끝 부분(125)과 유지 전극선(131)의 일부를 각각 드러내는 복수의 접촉 구멍(182, 184, 185)이 게이트 절연막(140)과 보호막(180)을 관통하고 있다. 또한, 보호막(180)에는 제2 박막 트랜지스터(TFT2)의 소스 전극(173b)을 드러내는 접촉 구멍(186)이 형성되어 있다.

보호막(180) 위에는 복수의 화소 전극(190a, 190b)을 비롯하여 복수의 접촉 보조 부재(contact assistant)(95, 97) 및 복수의 유지 전극선 연결 다리(storage bridge)(91)가 형성되어 있다. 화소 전극(190a, 190b), 접촉 보조 부재(95, 97) 및 연결 다리(91)는 ITO(indium tin oxide)나 IZO(indium zinc oxide) 등과 같은 투명 도전체나 알루미늄(Al)과 같은 광 반사 특성이 우수한 불투명 도전체 따위로 만들어진다.

화소 전극(190a, 190b)은 제1 화소 전극(190a)과 제2 화소 전극(190b)으로 분류되며, 제1 화소 전극(190a)은 접촉 구멍(181a)을 통하여 제1 박막 트랜지스터(TFT1)의 드레인 전극(175a)과 연결되어 있고, 제2 화소 전극(190b)은 접촉 구멍(181b)을 통하여 제2 박막 트랜지스터(TFT2)의 드레인 전극(175b)과 연결되어 있으며, 제2 화소 전극(190b)은 결합 전극(176)과 중첩하고 있다. 따라서, 제2 화소 전극(190b)은 제1 화소 전극(190a)에 전자기적으로 결합(용량성 결합)되어 있다.

또, 보호막(180)의 위에는 게이트선(121)을 건너 그 양쪽에 위치하는 두 유지 전극선(131)을 연결하는 유지 배선 연결 다리(91)가 형성되어 있다. 유지 배선 연결 다리(91)는 보호막(180)과 게이트 절연막(140)을 관통하는 접촉구(184, 185)를 통하여 유지 전극(133a) 및 유지 전극선(131)에 접촉하고 있다. 유지 배선 연결 다리(91)는 접촉 구멍(186)을 통하여 다리부 금속편(172)과 연결되어 있다. 따라서, 전단의 게이트선(121)에 게이트 온(ON) 신호가 입력되어 제2 박막 트랜지스터가 동작하면, 제2 화소 전극(190b)에는 유지 전극선(131)에 인가된 공통 전압 또는 기준 전압 따위가 전달된다. 유지 배선 연결 다리(91)는 하부 기판(110) 위의 유지 전극선(131) 전체를 전기적으로 연결하는 역할을 하고 있다. 이러한 유지 전극선(131)은 필요할 경우 게이트선(121)이나 데이터선(171)의 결함을 수리하는데 이용할 수 있고, 다리부 금속편(172)은 이러한 수리를 위하여 레이저를 조사할 때, 게이트선(121)과 유지 배선 연결 다리(91)의 전기적 연결을 보조하기 위하여 형성한다.

접촉 보조 부재(95, 97)는 각각 접촉 구멍(182, 183)을 통하여 게이트선의 끝 부분(125)과 데이터선의 끝 부분(179)에 연결되어 있다.

이러한 구조의 액정 표시 장치에서 제1 화소 전극(190a)은 제1 박막 트랜지스터(TFT1)를 통하여 화상 신호 전압을 인가받음에 반하여 제2 화소 전극(190b)은 유지 전극선(131)과의 용량성 결합에 의하여 전압이 변동하게 되므로 제2 화소 전극(190b)의 전압은 제1 화소 전극(190b)의 전압에 비하여 절대값이 항상 높게 된다. 이와 같이, 하나의 화소 영역 내에서 전압이 다른 두 화소 전극을 배치하면 두 화소 전극이 서로 보상하여 감마 곡선의 왜곡을 줄일 수 있다.

그러면 제2 화소 전극(190b)의 전압이 제1 화소 전극(190a)의 전압보다 높게 유지되는 이유를 도 3을 참고로 하여 설명한다.

도 5에서 C_{LCA} 는 제1 화소 전극(190a)과 대향 기판의 공통 전극 사이에서 형성되는 액정 용량을 나타내고, C_{STA}

는 제1 화소 전극(190a)과 유지 전극선(131) 사이에서 형성되는 유지 용량을 나타낸다. C_{LCB} 는 제2 화소 전극(190b)과 대향 기판의 공통 전극 사이에서 형성되는 액정 용량을 나타내고, C_{STB} 는 제2 화소 전극(190b)과 유지 전극선(131) 사이에서 형성되는 유지 용량을 나타내고, C_{CPB} 는 결합 전극(176)과 제2 화소 전극(190b) 사이에서 형성되는 결합 용량을 나타낸다.

대향 기판의 공통 전극에 인가된 공통 전압 또는 기준 전압에 대한 제1 화소 전극(190a)의 전압을 Va(Vd1)이라 하고, 제2 화소 전극(190b)의 전압을 Vb라 하면, 전압 분배 법칙에 의하여,

$Vb??1/(C_1+2C_2)\times[(2-C_3/C_2)\times(C_1+C_2)\times Vd1]$

인데, Vb는 앞에서 언급한 각각의 용량을 조절하여 Vb는 Va에 근접하지만 Va에 비하여 항상 크도록 조절할 수 있다. 여기서, $C_1=C_{LCA}+C_{STA}$, $C_2=C_{CPB}$, $C_3=C_{LCB}+C_{STB}$ 이고, 게이트 전극과 소스 전극 사이에서 발생하는 기생 용량은 크기가 매우 작아 고려하지 않았다.

이때, 제1 또는 제2 박막 트랜지스터(TFT1, TFT2)의 배치 또는 제1 및 제2 화소 전극(190a, 190b)의 연결은 다양하게 변형될 수 있다. 이에 대하여 제2 내지 제7 실시예로써 설명한다.

이하에서는 제1 실시예와 구별되는 특징에 대하여만 설명하고 나머지 동일한 부분에 대하여는 설명을 생략한다.

도 4는 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 5는 도 4의 V-V' 선을 따라 잘라 도시한 단면도이고, 도 6은 본 발명의 제2 실시예에 따른 액정 표시 장치의 회로도이다,

제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판에서는 제1 실시예와 동일하게 전단의 게이트선(121)을 통하여 제2 박막 트랜지스터(TFT2)가 구동되지만, 제1 박막 트랜지스터(TFT1)와 게이트 전극(123)을 함께 사용하고 있으며 게이트선(121)을 중심으로 양쪽에 배치되어 있다. 제2 박막 트랜지스터(TFT2)의 소스 전극(173b)은 제1 박막 트랜지스터(TFT1)의 소스 전극(173a)과 함께 데이터선(171)으로부터 연장되어 있으며, 제2 박막 트랜지스터(TFT2)의 드레인 전극(175b)은 게이트 전극(123)을 중심으로 제1 박막 트랜지스터(TFT1)의 소스 전극(175a)에 대하여 반대 방향으로 뻗어 있다.

이러한 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판에서, 제2 화소 전극(190b)에는 초기에 전단 화소 행의 제1 화소 전극(190a)에 전달되는 화소 전압이 전달되지만, 실제로 해당하는 화소 행의 화소를 구동할 때에는 제1 화소 전극(190a)과 결합 용량으로 연결되어 제1 화소 전극(190a)의 전압 Va(Vd1)에 근접한 Vb가 제2 화소 전극(190b)에 전달된다. 이때, Vb는 전압 분배 법칙에 의하여,

$Vb??1/(C_1+2C_2)\times[(2-C_3/C_2)\times(C_1+C_2)\times Vd1+(C_1+C_3)Vd2]$

인데, Vb는 앞에서 언급한 각각의 용량을 조절하여 Vb는 Va에 비하여 항상 크도록 크기를 조절할 수 있으며, 이를 위해서 이러한 본 발명의 제2 실시예에 따른 박막 트랜지스터 표시판은 컬럼(column) 반전 구동을 실시하는 것이 바람직하다. 이때, Vd2는 초기에 제2 박막 트랜지스터(TFT2)가 온 되었을 때 제2 화소 전극(190b)에 전달된 전압이다.

본 발명의 제1 및 제2 실시예에서는 제2 화소 전극(190b)에 전달되는 유효 구동 전압을 조절하는 구조에 대하여 설명하였지만, 제1 화소 전극(190a)에는 데이터선을 통하여 전달하는 구동 전압보다 낮은 전압이 전달되고 제2 화소 전극(190b)에는 구동 전압보다 높은 전압이 전달되도록 박막 트랜지스터 표시판의 구조를 변경할 수도 있다. 이에 대하여 도면을 참조하여 구체적으로 설명하기로 한다.

도 7은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 8은 본 발명의 제3 실시예에 따른 액정 표시 장치의 회로도이다.

대부분의 구조는 도 1 및 도 3과 동일하다.

하지만, 제1 박막 트랜지스터(TFT1)와 제1 화소 전극(190a)은 보호막(180, 도 2 참조)의 접촉 구멍을 통하여 연결되어 있지 않고, 결합 전극(176)과 중첩되어 제1 박막 트랜지스터(TFT1)와 전자기적으로 결합(용량성 결합)되어 있다.

이러한 본 발명의 제3 실시예에 따른 박막 트랜지스터 표시판의 구조에서는 제1 화소 전극(190a)에 전달되는 유효 화소 전압(Va)은 데이터선(171)을 통하여 전달되는 전압(Vd1)보다 작다. 왜냐하면, 제1 화소 전극(190a)은 드레인 전극(175a)과 연결되어 있는 결합 전극(176)과 용량성으로 결합되어 있어, 공통 전극 전압에 대한 제1 화소 전극(190a)의 유효 화소 전압을 Va는, 전압 분배 법칙에 의하여,

$Va=Vd1\times[C_{CPA}/(C_{CPA}+C_{LCB})]$

이고, $[C_{CPA}/(C_{CPA}+C_{LCB})]$는 항상 1보다 작으므로 Va는 Vd1에 비하여 항상 작다. 이때, C_{CPA}는 결합 전극(176)과 제1 화소 전극(190b) 사이에서 형성되는 결합 용량을 나타낸다.

여기서, 제2 화소 전극(190b)에 전달되는 유효 구동 전압 Vb는 제1 실시예와 동일하게 결정된다.

도 9는 본 발명의 제4 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 10은 본 발명의 제4 실시예에 따른 액정 표시 장치의 회로도이다.

대부분의 구조는 도 4 및 도 6과 동일하다.

하지만, 제1 및 제2 박막 트랜지스터(TFT1, TFT2)와 제1 및 제2 화소 전극(190a, 190b)의 연결 구조는 도 7 및 도 8과 동일하다.

이때에도, 제1 화소 전극(190a)에 전달되는 유효 구동 전압은 제3 실시예와 같이 데이터선(171)을 통하여 전달되는 화소 전압(Vd1)보다 작으며, 제2 화소 전극(190b)에 전달되는 유효 구동 전압은 제2 실시예와 동일하게 결정된다.

그런데 액정 표시 장치는 시야각이 좁은 것이 중요한 단점이다. 이러한 단점을 극복하고자 시야각을 넓히기 위한 다양한 방안이 개발되고 있는데, 그 중에서도 액정 분자를 상하 표시판에 대하여 수직으로 배향하고 화소 전극과 그 대향 전극인 공통 전극에 일정한 절개 패턴을 형성하거나 돌기를 형성하는 방법이 있는데, 본 발명의 실시예에 따른 박막 트랜지스터 표시판에도 시야각을 넓히기 위한 절개 패턴이나 돌기를 적용할 수 있다.

절개 패턴을 형성하는 방법으로는 화소 전극과 공통 전극에 각각 절개 패턴을 형성하여 이들 절개 패턴으로 인하여 형성되는 프린지 필드(fringe field)를 이용하여 액정 분자들이 눕는 방향을 조절함으로써 시야각을 넓히는 방법이 있다.

돌기를 형성하는 방법은 상하 표시판에 형성되어 있는 화소 전극과 공통 전극 위에 각각 돌기를 형성해 둠으로써 돌기에 의하여 왜곡되는 전기장을 이용하여 액정 분자의 눕는 방향을 조절하는 방식이다.

또 다른 방법으로는, 하부 표시판 위에 형성되어 있는 화소 전극에는 절개 패턴을 형성하고 상부 표시판에 형성되어 있는 공통 전극 위에는 돌기를 형성하여 절개 패턴과 돌기에 의하여 형성되는 프린지 필드를 이용하여 액정의 눕는 방향을 조절함으로써 도메인을 형성하는 방식이 있다.

본 발명의 제5 실시예에서는 절개 패턴을 적용한 구조에 구체적으로 설명하기로 한다.

도 11은 본 발명의 제5 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 12는 본 발명의 제5 실시예에 따른 액정 표시 장치용 색 필 터 표시판의 배치도이고, 도 13은 본 발명의 제5 실시예에 따른 액정 표시 장치의 배치도이고, 도 14는 도 13의 XIV-XIV'선에 대한 단면도이다.

본 발명의 제5 실시예에 따른 액정 표시 장치는 하부 표시판과 이와 마주보고 있는 상부 표시판 및 하부 표시판과 상부 표시판 사이에 주입되어 표시판의 면에 대하에 수직으로 배향되어 있는 액정 분자를 포함하는 액정층으로 이루어진다.

먼저, 하부 표시판은 다음과 같은 구성을 가진다.

유리 등의 투명한 절연 물질로 이루어진 절연 기판(110) 위에 ITO(indium tin oxide)나 IZO(indium zinc oxide) 등의 투명한 도전 물질로 이루어져 있는 제1 및 제2 화소 전극(190a, 190b)은 제1 실시예에서와 같이 제1 및 제2 박막 트랜지스터(TFT1, TFT2)에 연결되어 있으며, 제2 화소 전극(190b)은 제1 화소 전극(190a)과 연결되어 있는 결합 전극(176)과 중첩함으로써 제1 화소 전극(190a)과 전자기적으로 결합(용량성 결합)되어 있다. 제2 화소 전극(190b)은 절개부(192)를 가진다. 또, 절연 기판(110)의 아래 면에는 하부 편광판(12)이 부착되어 있다. 여기서, 제1 및 제2 화소 전극(190a, 190b)은 반사형 액정 표시 장치인 경우 투명한 물질로 이루어지지 않을 수도 있고, 이 경우에는 하부 편광판(12)도 불필요하게 된다.

다음, 상부 표시판의 구성은 다음과 같다.

역시 유리 등의 투명한 절연 물질로 이루어진 절연 기판(210)의 아래 면에 화소 영역 사이에서 누설되는 빛을 차단하기 위한 블랙 매트릭스(220)와 적, 녹, 청의 색필터(230) 및 ITO 또는 IZO 등의 투명한 도전 물질로 이루어져 있는 공

통 전극(270)이 형성되어 있다. 여기서, 공통 전극(270)에는 절개부(271, 272, 273) 가 형성되어 있다. 블랙 매트릭스(220)는 화소 영역의 둘레 부분뿐만 아니라 공통 전극(270)의 절개부(271, 272, 273)와 중첩하는 부분에도 형성할 수 있다. 이는 절개부(271, 272, 273)의 가장자리 또는 모서리에서 누설되는 빛을 차단하기 위함이다.

제1 실시예에 따른 액정 표시 장치에 대하여 좀 더 상세히 한다.

제1 화소 전극(190a)과 제2 화소 전극(190b)을 나누는 경계는 게이트선(121)에 대하여 45 ° 를 이루는 부분(191, 193)과 수직을 이루는 부분으로 구분되고, 이중 45 ° 를 이루는 두 부분(191, 193)이 수직을 이루는 부분에 비하여 길이가 길다. 또, 45 ° 를 이루는 두 부분(191, 193)은 서로 수직을 이루고 있다.

제2 화소 전극(190b)은 절개부(192)를 가지며, 절개부(192)는 제2 화소 전극(190b)의 오른쪽 변에서 왼쪽 변을 향하여 파고 들어간 형태이고, 입구는 넓게 확장되어 있다.

제1 화소 전극(190a)과 제2 화소 전극(190b)은 각각 게이트선(121)과 데이터선(171)이 교차하여 정의하는 화소 영역을 상하로 이등분하는 선(게이트선과 나란한 선)에 대하여 실질적으로 거울상 대칭을 이루고 있다.

상부의 절연 기판(210)에는 빛이 새는 것을 방지하기 위한 블랙 매트릭스(220)가 형성되어 있다. 블랙 매트릭스(220) 위에는 적, 녹, 청색 색필터(230)가 형성되어 있다. 색필터(230)의 위에는 복수 벌의 절개부(271, 272, 273)를 가지는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 ITO 또는 IZO(indium zinc oxide) 등의 투명한 도전체로 형성한다.

공통 전극(270)의 한 벌의 절개부(271, 272, 273)는 두 화소 전극(190a, 190b)의 경계 중 게이트선(121)에 대하여 45 ° 를 이루는 부분(191, 193)을 가운데에 끼고 있으며 이와 나란한 사선부와 화소 전극(190)의 변과 중첩되어 있는 단부를 포함하고 있다. 이 때, 단부는 세로 방향 단부와 가로 방향 단부로 분류된다.

이상과 같은 구조의 박막 트랜지스터 표시판과 색필터 표시판을 정렬하여 결합하고 그 사이에 액정 물질을 주입하여 수직 배향하면 본 발명에 한 실시예에 따른 액정 표시 장치의 기본 구조가 마련된다.

박막 트랜지스터 표시판과 색필터 표시판을 정렬했을 때 공통 전극(270)의 한 벌의 절개부(271, 272, 273)는 두 화소 전극(190a, 190b)을 각각 복수의 부영역(subarea)으로 구분하는데, 본 실시예에서는 도 3에 도시한 바와 같이 두 화소 전극(190a, 190b)을 각각 4개의 부영역으로 나눈다. 도 3에서 알 수 있는 바와 같이, 각 부영역은 길쭉하게 형성되어 있어서 폭 방향과 길이 방향이 구별된다.

화소 전극(190a, 190b)의 각 부영역과 이에 대응하는 기준 전극(270)의 각 부영역 사이에 있는 액정층(3) 부분을 앞으로는 소영역(subregion)이라고 하며, 이들 소영역은 전계 인가시 그 내부에 위치하는 액정 분자의 평균 장축 방향에 따라 4개의 종류로 분류되며 앞으로는 소영역(domain)이라고 한다.

한편, 제1 내지 제5 실시예에서는 택일적으로 제2 화소 전극(190b)은 하나의 제2 박막 트랜지스터(TFT2)에만 연결되어 있으나, 제2 화소 전극(190b)은 두 개의 박막 트랜지스터에 연결될 수도 있다.

도 15는 본 발명의 제6 실시예에 따른 액정 표시 장치의 회로도이다.

도 15에서 보는 바와 같이, 본 발명의 제6 실시예에 따른 액정 표시 장치에서는 제1 실시예와 같은 연결 구조에 제2 실시예의 제2 박막 트랜지스터(TFT2, 도 6 참조)를 제3 박막 트랜지스터(TFT3)로 추가 연결한 구조이다.

도 16은 본 발명의 제7 실시예에 따른 액정 표시 장치의 회로도이다.

도 16에서 보는 바와 같이, 본 발명의 제7 실시예에 따른 액정 표시 장치에서는 제3 실시예와 같은 연결 구조에 제4 실시예의 제2 박막 트랜지스터(TFT2, 도 10 참조)를 제3 박막 트랜지스터(TFT3)로 추가 연결한 구조이다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다. 특히, 화소 전극과 공통 전극에 형성하는 절개부의 배치는 여러 다양한 변형이 있을 수 있다.

발명의 효과

이상과 같은 구성을 통하여 액정 표시 장치의 측면 시인성을 향상시켜 시야각을 확장할 수 있다.

(57) 청구의 범위

청구항 1.
절연 기판,

상기 절연 기판 위에 형성되어 있는 다수의 제1 신호선,

상기 제1 신호선과 절연되어 교차하고 있는 다수의 제2 신호선,

상기 제1 신호선과 상기 제2 신호선이 교차하여 정의하는 행렬 배열의 화소 영역마다 형성되어 있는 다수의 제1 화소 전극,

상기 제1 신호선, 상기 제2 신호선 및 제1 화소 전극에 3단자가 각각 연결되어 있는 다수의 제1 박막 트랜지스터,

상기 화소 영역마다 형성되어 있으며 상기 제1 화소 전극에 용량성으로 결합되어 있는 다수의 제2 화소 전극,

3단자 중 하나의 단자는 상기 제2 화소 전극에 연결되어 있으며, 다른 하나의 단자는 이웃하는 행의 화소 영역의 상기 제1 화소 전극에 연결되어 있는 상기 제1 신호선에 연결되어 있는 제2 박막 트랜지스터

를 포함하는 박막 트랜지스터 표시판.

청구항 2.
제1항에서,

상기 제1 화소 전극과 연결되어 있거나 중첩되어 있으며, 상기 제2 화소 전극과 절연 상태로 중첩하고 있는 결합 전극을 더 포함하는 박막 트랜지스터 표시판.

청구항 3.
제2항에서,

상기 결합 전극은 상기 제1 화소 전극과 연결되어 있는 상기 제1 박막 트랜지스터의 드레인 전극에 연결되어 있는 박막 트랜지스터 표시판.

청구항 4.
제1항에서,

상기 제2 신호선과 교차하는 제3 신호선을 더 포함하며,

상기 제2 박막 트랜지스터의 나머지 한 단자는 상기 제3 신호선 또는 상기 제2 신호선과 연결되어 있는 박막 트랜지스터 표시판.

청구항 5.
제4항에서,

상기 제2 박막 트랜지스터의 나머지 한 단자는 상기 제3 신호선에 연결되어 있으며,

상기 제2 신호선, 상기 제2 화소 전극 및 이웃하는 행의 화소 영역에 연결되어 있는 상기 제1 신호선에 3단자가 각각 연결되어 있는 제3 박막 트랜지스터를 더 포함하는 박막 트랜지스터 표시판.

청구항 6.
제1항에서,

상기 제1 화소 전극과 상기 제2 화소 전극 중의 적어도 하나는 도메인 분할 수단을 가지는 박막 트랜지스터 표시판.

청구항 7.
제2항에서,

상기 제1 신호선과 상기 제2 신호선 사이에 형성되어 있는 게이트 절연막과 상기 제2 신호선과 상기 제1 및 제2 화소 전극 사이에 형성되어 있는 보호막을 더 포함하고,

상기 결합 전극은 상기 보호막에 형성되어 있는 접촉구를 통하여 상기 제1 화소 전극과 연결되어 있는 박막 트랜지스터 표시판.

청구항 8.
제1 절연 기판,

상기 제1 절연 기판 위에 형성되어 있으며 제1 및 제1 게이트 전극을 포함하는 게이트선,

상기 제1 절연 기판 상부에 형성되어 있는 유지 전극선,

상기 게이트선 및 상기 유지 전극선을 덮는 게이트 절연막,

상기 게이트 절연막 위에 형성되어 있는 제1 및 제2 비정질 규소층,

상기 게이트 절연막 위에 형성되어 있으며 적어도 일부가 상기 제1 비정질 규소층 위에 형성되어 있는 제1 소스 전극을 포함하는 데이터선,

적어도 일부가 상기 제2 비정질 규소층 상부에 형성되어 있는 제2 소스 전극,

적어도 일부가 상기 제1 및 제2 비정질 규소층 위에 형성되어 있으며 상기 제1 및 제2 소스 전극과 각각 대향하는 제1 및 제2 드레인 전극,

상기 게이트 절연막 위에 형성되어 있는 결합 전극,

상기 데이터선, 상기 제1 및 제2 드레인 전극 및 상기 결합 전극 위에 형성되어 있는 보호막,

상기 보호막 위에 형성되어 있으며 상기 제1 드레인 전극 및 상기 결합 전극과 연결되어 있거나 중첩되어 있는 제1 화소 전극,

상기 제1 화소 전극과 절연되어 있고, 상기 제2 드레인 전극과 연결되어 있고 상기 결합 전극과 적어도 일부분이 중첩하는 제2 화소 전극,

상기 제1 절연 기판과 대향하고 있는 제2 절연 기판,

상기 제2 절연 기판 위에 형성되어 있는 공통 전극,

을 포함하는 액정 표시 장치.

청구항 9.
제8항에서,

상기 제2 소스 전극은 상기 유지 전극선 또는 상기 데이터선과 연결되어 있는 액정 표시 장치.

청구항 10.
제9항에서,

상기 제2 소스 전극은 상기 유지 전극선에 연결되어 있으며,

상기 게이트선에 연결되어 있는 제3 게이트 전극, 상기 데이터선과 연결되어 있는 제3 소스 전극, 상기 제2 화소 전극에 연결되어 있는 제3 드레인 전극을 더 포함하는 액정 표시 장치.

청구항 11.
제9항 또는 제10항에서,

상기 제1 드레인 전극과 상기 결합 전극은 서로 연결되어 있는 액정 표시 장치.

청구항 12.
제9항에서,

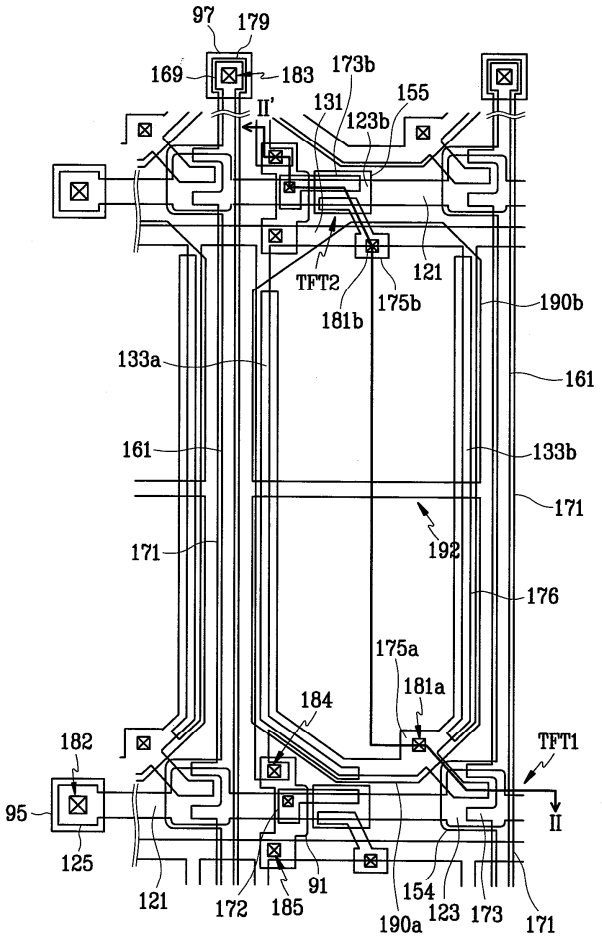
상기 결합 전극은 상기 보호막이 가지는 접촉구를 통하여 상기 제1 화소 전극과 연결되어 있는 액정 표시 장치.

청구항 13.
제9항에서,

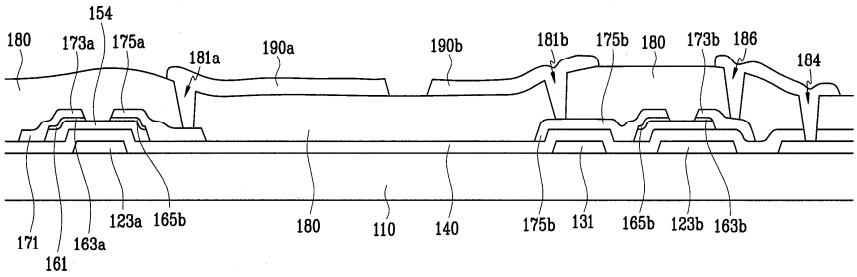
상기 제1 기판 및 상기 제2 기판 중의 적어도 하나에 형성되어 있는 제1 도메인 분할 수단과 상기 제1 기판 및 상기 제2 기판 중의 적어도 하나에 형성되어 있으며 상기 제1 도메인 분할 수단과 함께 화소 영역을 다수의 소도메인으로 분할하는 제2 도메인 분할 수단을 더 포함하는 액정 표시 장치.

도면

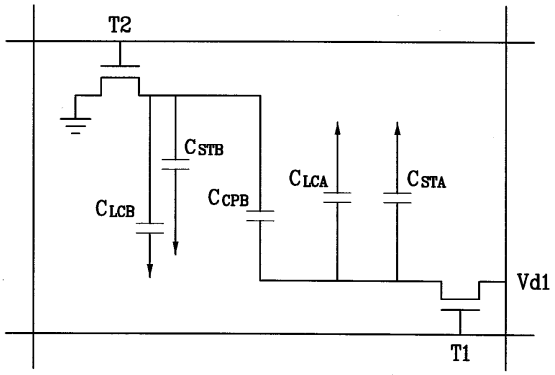
도면1



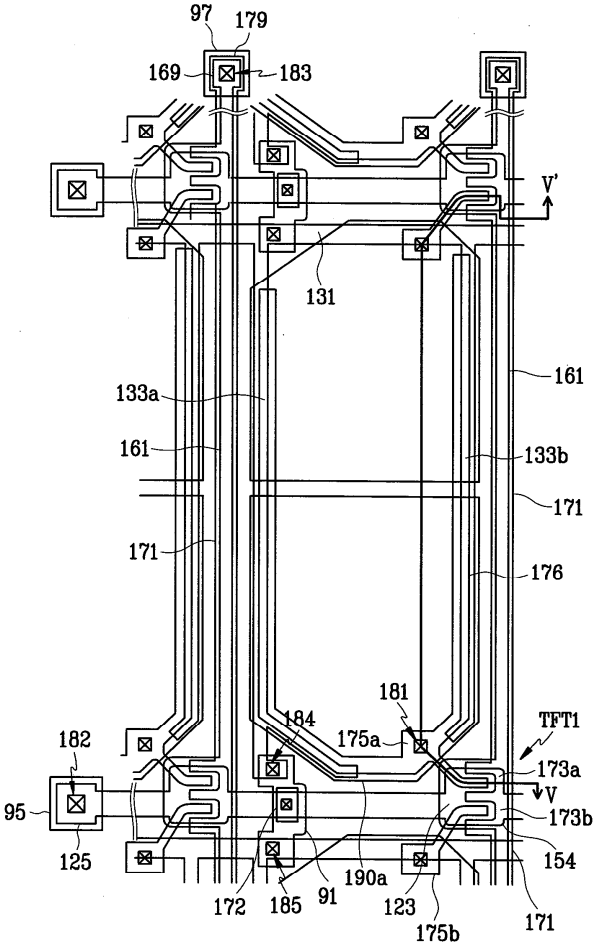
도면2


154
180
173a
175a
181a
190a
190b
181b
175b
180
173b
186
184
171
161
163a
123a
165b
180
110
140
175b
131
165b
123b
163b

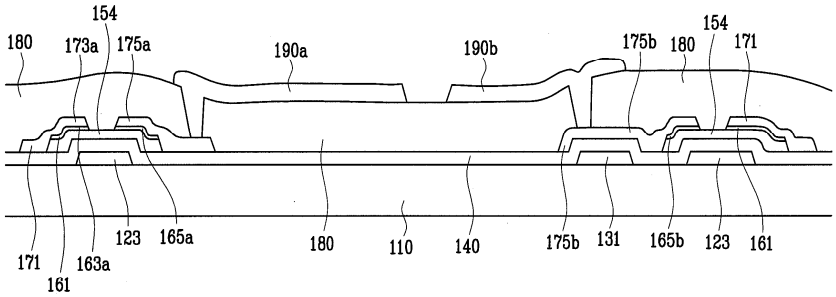
도면3


T2
CSTB
CLCB
CCPB
CLCA
CSTA
Vd1
T1

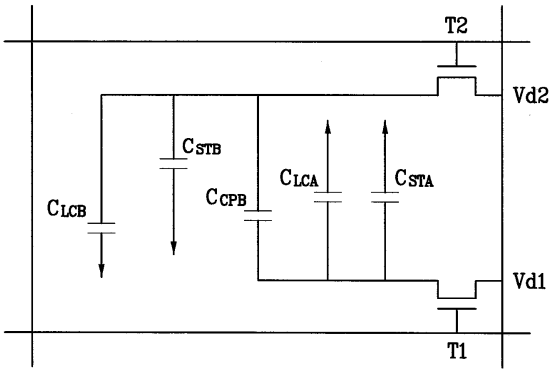
도면4


97
179
169
183
V'
131
161
133a
161
133b
171
171
176
181
184
175a
TFT1
182
173a
V
95
173b
125
154
190a
172
185
91
123
171
175b

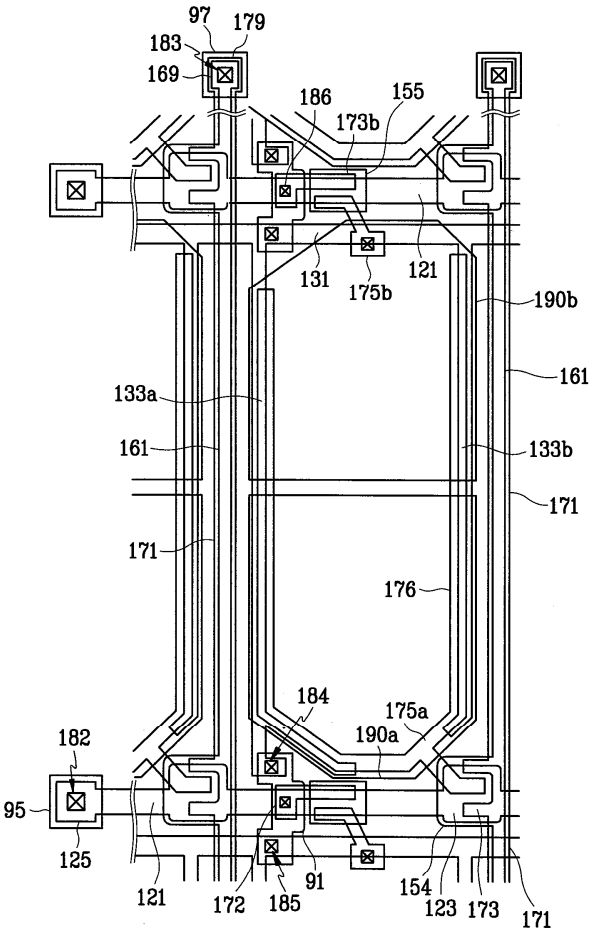
도면5


180
173a
154
175a
190a
190b
175b
180
154
171
171
161
163a
123
165a
180
110
140
175b
131
165b
123
161

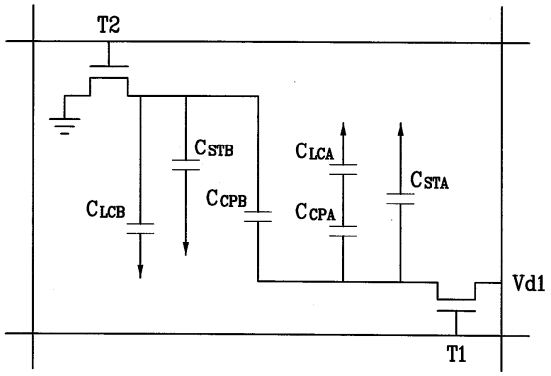
도면6


T2
Vd2
CSTB
CLCB
CCPB
CLCA
CSTA
Vd1
T1

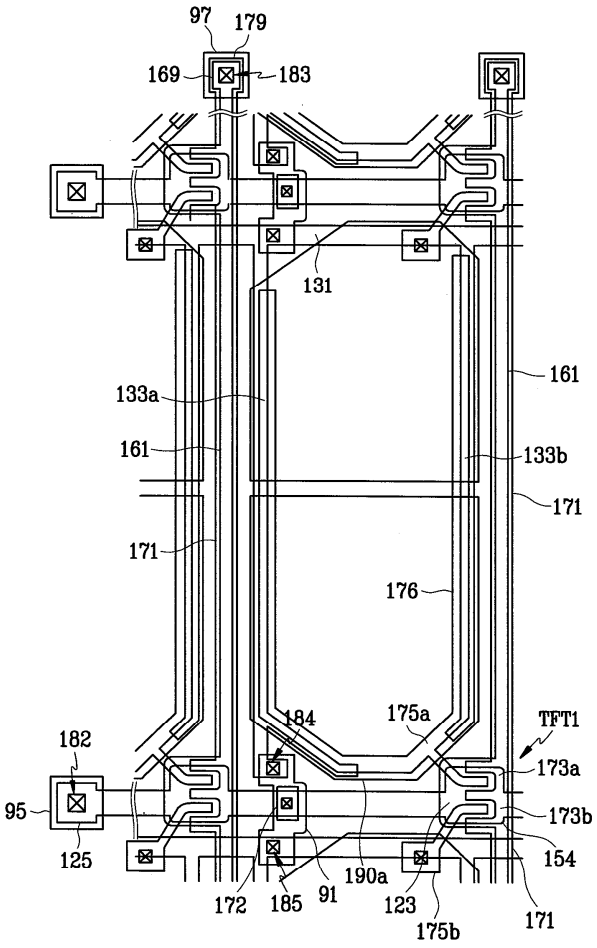
도면7


97
179
183
169
186
155
173b
131
175b
121
190b
161
133a
161
133b
171
171
176
184
175a
190a
182
95
125
121
172
185
91
154
123
173
171

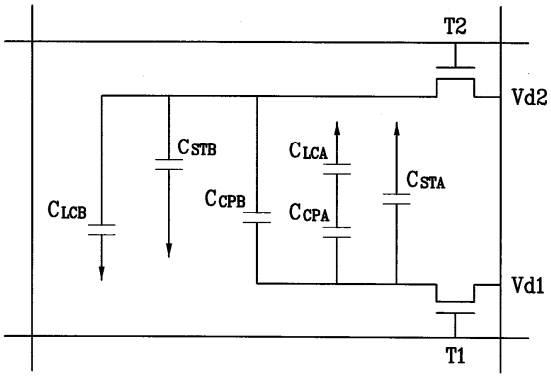
도면8


T2
CSTB
CLCA
CSTA
CLCB
CCPB
CCPA
Vd1
T1

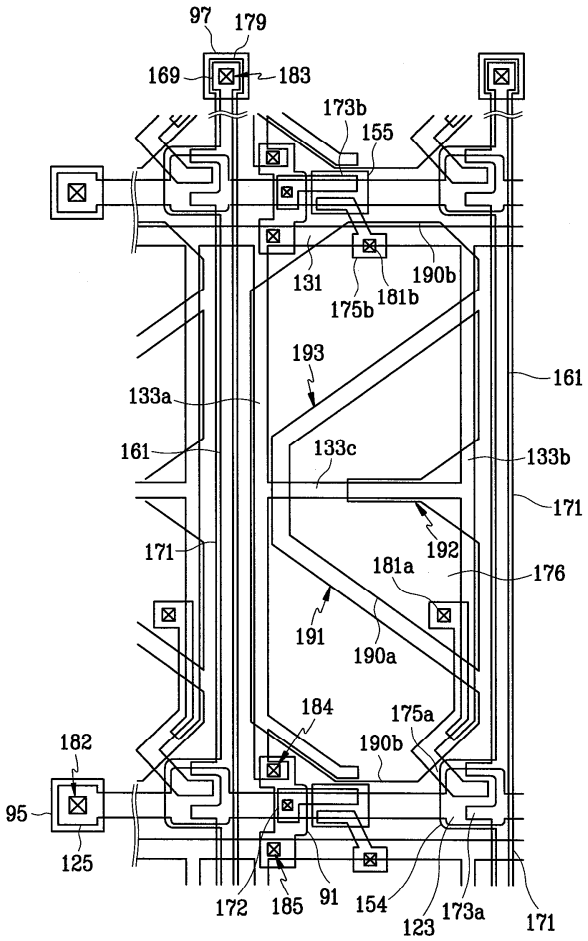
도면9


97
179
169
183
131
161
133a
161
133b
171
171
176
184
175a
TFT1
182
173a
95
173b
125
154
190a
172
185
91
123
171
175b

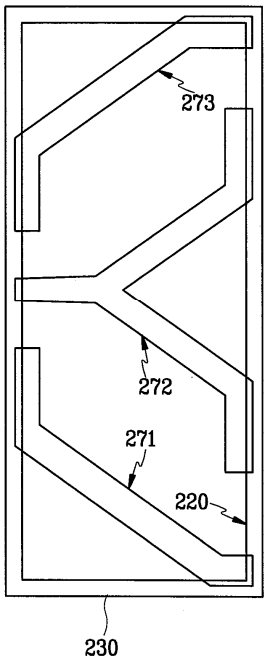
도면10


T2
Vd2
CSTB
CLCA
CSTA
CLCB
CCPB
CCPA
Vd1
T1

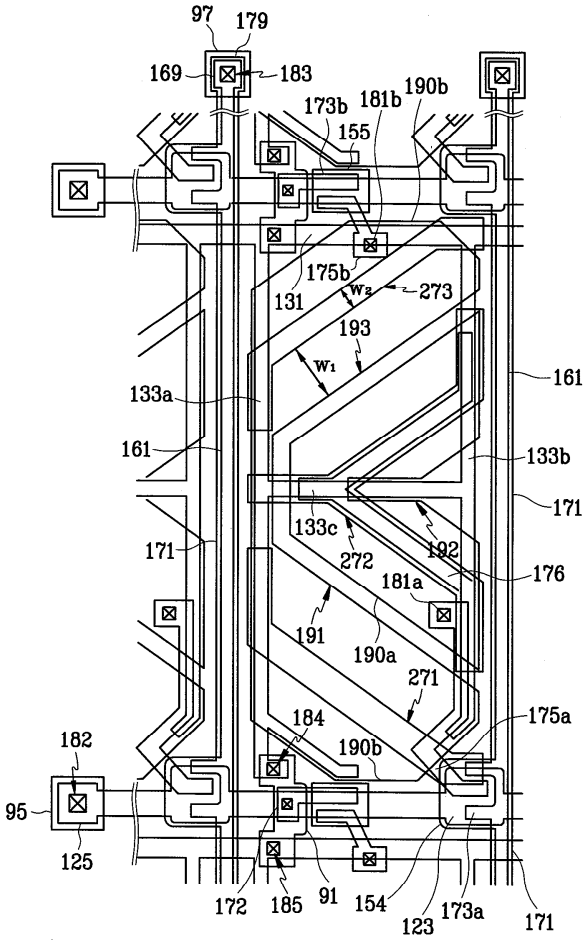
도면11


97
179
169
183
173b
155
131
175b
181b
190b
193
161
133a
161
133c
133b
171
171
192
181a
176
191
190a
184
175a
190b
182
95
125
172
185
91
154
123
173a
171

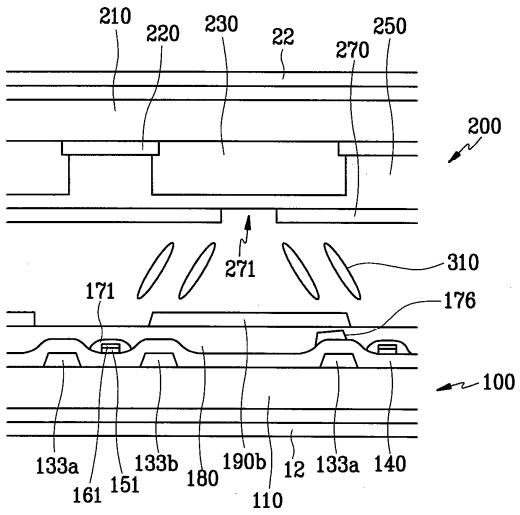
도면12


273
272
271
220
230

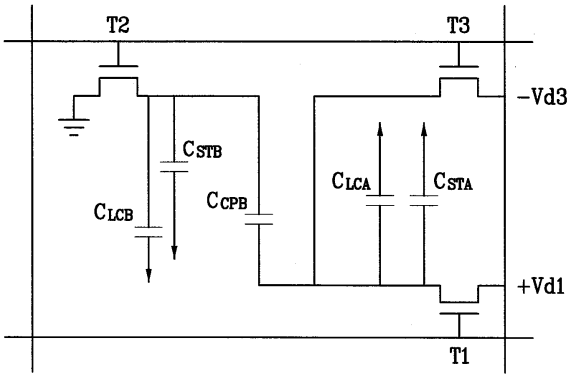
도면13


97
179
169
183
173b
181b
190b
155
175b
131
W_2
273
193
W_1
161
133a
161
133b
171
133c
272
192
171
176
181a
191
190a
271
175a
184
190b
182
95
125
172
185
91
154
123
173a
171

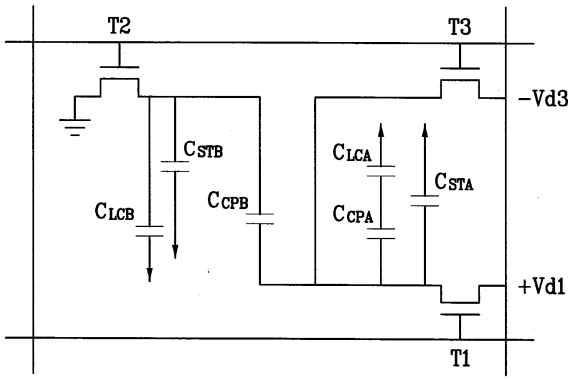
도면14


210
220
230
22
270
250
200
271
310
171
176
100
133a
161
151
133b
180
190b
110
12
133a
140

도면15


T2
T3
-Vd3
CSTB
CLCB
CCPB
CLCA
CSTA
+Vd1
T1

도면16


T2
T3
-Vd3
CSTB
CLCB
CCPB
CLCA
CCPA
CSTA
+Vd1
T1

专利名称(译)	液晶显示装置及其所用的显示面板		
公开(公告)号	KR1020040084019A	公开(公告)日	2004-10-06
申请号	KR1020030018787	申请日	2003-03-26
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM HEESEOB 김희섭 KIM JONGLAE 김종래 YANG YOUNGCHOL 양영철 HONG SUNGKYU 홍성규		
发明人	김희섭 김종래 양영철 홍성규		
IPC分类号	G02F1/1343 G02F1/1362 G02F1/133		
CPC分类号	G02F2001/134345 G02F2001/134354 G02F1/13624 G02F1/136286 G02F1/133345 G02F1/136227 G02F1/1368		
其他公开文献	KR100961945B1		

摘要(译)

用于包括形成在绝缘基板上的栅极线的液晶显示器，数据线，第一像素电极，每个像素区域，栅极线，数据线中的3端子和第一像素电极是相应的连接的薄膜晶体管，第二准备像素电极，剪切栅线和第二薄膜晶体管。数据线与栅极线绝缘并相交。关于每个像素区域，栅极线和数据线交叉和限定的第一像素电极形成。第二像素电极在第一像素电极中组合成电容，同时形成在像素区域。关于第二薄膜晶体管，相应的3端子连接到维持电极线或数据线和第二像素电极。这样，可以获得具有宽视角侧的下侧和改进的宽视角液晶显示装置％液晶显示装置。液晶显示器，切口部分，灰度反转，可见度。