

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
G02F 1/136

(11) 공개번호 특2001-0030358  
(43) 공개일자 2001년04월16일

|            |   |
|------------|---|
| (21) 출원번호  | 10-2000-0053684   |
| (22) 출원일자  | 2000년09월09일   |
| (30) 우선권주장 | 1999-259393 1999년09월13일 일본(JP)  |
| (71) 출원인   | 가부시키가이샤 히타치세이사쿠쇼 가나이 쓰토무  |
| (72) 발명자   | 일본 도쿄도 치요다쿠 간다스루가다이 4쵸메 6반치<br>구도야스유키<br>일본도쿄도치요다꾸마루노우찌1쵸메신마루빌딩5-1가부시키가이샤히타치세이사쿠쇼지적소유권본부내<br>후루하시쓰토무<br>일본도쿄도치요다꾸마루노우찌1쵸메신마루빌딩5-1가부시키가이샤히타치세이사쿠쇼지적소유권본부내<br>미야자와도시오<br>일본도쿄도치요다꾸마루노우찌1쵸메신마루빌딩5-1가부시키가이샤히타치세이사쿠쇼지적소유권본부내<br>미카미요시로<br>일본도쿄도치요다꾸마루노우찌1쵸메신마루빌딩5-1가부시키가이샤히타치세이사쿠쇼지적소유권본부내<br>아끼모또하지메<br>일본도쿄도치요다꾸마루노우찌1쵸메신마루빌딩5-1가부시키가이샤히타치세이사쿠쇼지적소유권본부내<br>만바노리오<br>일본도쿄도치요다꾸마루노우찌1쵸메신마루빌딩5-1가부시키가이샤히타치세이사쿠쇼지적소유권본부내 |
| (74) 대리인   | 구영창, 장수길  |

심사청구 : 있음

(54) 액정 표시 장치 및 그 구동 방법

요약

액티브 매트릭스형 액정 표시 장치는, 상호 교차하는 복수 라인의 공통 전극과 게이트 전극, 및 공통 전극에 나란히 늘어서는 복수 라인의 드레인 전극과, 복수 라인의 공통 전극과 게이트 전극의 각각의 교점에 3단자의 스위칭 소자와 액정 셀과로 구성되는 복수의 화소를 포함하는 표시 화소부와, 공통 전극, 게이트 전극, 드레인 전극의 각각에 미리 정해진 신호를 인가하는 주변 회로를 포함하고, 각 스위칭 소자의 제1 단자는, 드레인 전극에 접속되고, 각 스위칭 소자의 제2 단자는, 대향측이 공통 전극에 접속되어 있는 액정 셀에 접속되어, 각 스위칭 소자의 제3단자는, 게이트 전극에 접속되고, 이에 의해서, 각 스위칭 소자는, 게이트 전극과 공통 전극에 인가하는 전압의 전위차가 있는 특정한 규정치로 되면 온 상태로 되고, 스위칭 소자의 온 상태에는, 액정 셀에 드레인 전극과 공통 전극에 인가되는 전압의 전위차가 인가되고, 스위칭 소자의 온 상태의 최후에 인가되는 전위차가, 다음의 온 상태까지 유지된다.

대표도

도1

색인어

액정 표시 장치, 공통 전극, 게이트 전극, 화소, 액정 셀, 스위칭 소자, 드레인 전극

명세서

도면의 간단한 설명

- 도 1은 본 발명 제1 실시예에 따른, 액정 표시 장치의 화소 구조를 나타내는 블록도.
- 도 2는 종래의 액정 표시 장치의 화소 구조를 나타내는 블록도.
- 도 3은 종래의 액정 표시 장치의 구동 방법을 나타내는 타이밍차트.
- 도 4는 종래의 액정 표시 장치의 화소 구조를 나타내는 블록도.
- 도 5는 종래의 액정 표시 장치의 구동 방법을 나타내는 타이밍차트.
- 도 6은 본 발명 제1 실시예에 따른, 액정 표시 장치의 구동 방법을 나타내는 타이밍차트.
- 도 7은 본 발명 제1 실시예에 따른, 데이터 신호 구동 회로의 구성을 나타내는 블록도.
- 도 8은 본 발명 제1 실시예에 따른, 데이터 신호 구동 회로의 동작을 나타내는 타이밍차트.
- 도 9는 본 발명 제2 실시예에 따른, 액정 표시 장치의 구동 방법을 나타내는 타이밍차트.
- 도 10은 본 발명 제2 실시예에 따른, 데이터 신호 구동 회로의 구성을 나타내는 블록도.
- 도 11은 본 발명 제2 실시예에 따른, 데이터 신호 구동 회로의 동작을 나타내는 타이밍차트.
- 도 12는 본 발명 제3 실시예에 따른, 액정 표시 장치의 구동 방법을 나타내는 타이밍차트.
- 도 13은 본 발명 제4 실시예에 따른, 데이터 신호 구동 회로의 구성을 나타내는 블록도.
- 도 14는 본 발명 제4 실시예에 따른, 데이터 신호 구동 회로의 동작을 나타내는 타이밍차트.

〈도면의 주요 부분에 대한 부호의 설명〉

- 101 : 데이터 신호 구동 회로
- 102 : 계조 전압 선택 회로
- 103 : 주사 신호 구동 회로
- 104 : 전압 파형 발생 회로
- 701 : 채널 셀렉터
- 702, 703 : 래치 회로
- 704 : 데이터 펄스 생성 회로
- 705 : 기준 클럭 생성부
- 706 : 데이터 펄스 셀렉터
- 707 : 출력 버퍼

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 액티브 매트릭스형의 액정 표시 장치, 및 그 구동 방법에 관한 것이다.

인가하는 전압의 실효치로 각 화소의 투과율(밝기)을 제어하는 액티브 매트릭스형 액정 표시 장치는, 도 2에 도시한 바와 같이, 1개의 화소를 1개의 MOS형의 트랜지스터로 구성하고, 게이트는 가로 방향의 화소 공통의 게이트 전극, 드레인은 세로 방향의 화소 공통의 드레인 전극, 소스는 액정 셀을 통해 대향측에 있는 전 화소 공통의 공통 전극에 접속한다. 그 구동 방법으로서 도 3에 도시한 바와 같이, 게이트 전극에는 주사 라인을 나타내는 주사 라인 신호의 액티브 상태(도 3에서는 '하이')를, 각 게이트 전극에 시분할로 인가하고, 드레인 전극에는 주사 라인 신호가 액티브 상태로 되는 라인의 표시 데이터의 계조 정보에 따라, 복수 레벨 중으로부터 1레벨의 계조 전압을 선택하여 인가한다. 또한, 공통 전극에는 기준이 되는 전압을 인가한다. 이에 따라, 각 액정 셀에는, 게이트 온 상태의 최후에 인가되는 계조 전압이 선순차로 유지된다. 즉, 각 화소의 인가 전압 실효치(밝기)를, 표시 데이터에 따라서 제어하는 것이 가능해진다.

또한, 그 밖의 구동 방법으로서, 특개평10-54998에 기재된 방법이 있다. 이 방법은, 도 4에 도시한 바와 같이, 1개의 화소를 2개의 MOS 트랜지스터로 구성하고, 예를 들면 제1 MOS 트랜지스터에 있어서의 게이트는 세로 방향의 화소 공통의 제1 게이트 전극, 드레인은 전 화소 공통의 드레인 전극, 소스는 제2 트랜지스터의 드레인에 접속한다. 또한, 제2 트랜지스터의 게이트는 가로 방향의 화소 공통의 제2 게이트 전극, 소스는 액정 셀을 통해 대향측에 있는 전 화소 공통의 공통 전극에 접속한다. 그 구동 방법으로서 도 5에 도시한 바와 같이, 우선 제2 게이트 전극에는 주사 라인을 나타내는 주사 라인 신호의 액티브 상태(도 5에서는 '하이')를, 각 게이트 전극에 시분할로 인가하고, 제1 게이트 전극에는 주사 라인 상에 있어서의 표시 데이터의 계조 정보에 따라, 이에 따른 펄스 폭의 계조 전압 제어 신호를 인가한다. 또한 드레인 전극에는 1라인의 주사 기간에 동기한 예를 들면 램프 파형의 계조 전압을 인가하고, 공통 전극에는 기준이 되는 전압을 인가한다. 이에 따라, 각 액정 셀에는 제1, 제2 게이트가 함께 게이트 온으로 되는 상태의 최후에 도달하는 계조 전압 레벨이 선순차로 유지된다. 따라서, 전자의 방

법과 마찬가지로, 각 화소의 인가 전압 실효치를, 표시 데이터에 따라서 제어하는 것이 가능해진다.

앞서 진술한 방법은, 표시하는 계조수(색수)의 증가에 따라 준비하는 계조 전압의 레벨수가 증가한다. 이 때문에, 계조 전압 생성용의 출력 증폭기의 수나, 계조 전압을 선택하기 위한 스위치가 증가하여, 비용이 상승하는 과제가 있었다.

또한, 예를 들면, 주변 구동 회로와 화소를 일체 형성하는 액정 표시 장치에 상기한 방법을 이용하면, 주변 구동 회로부에 상기한 출력 증폭기나 선택 스위치를 형성하게 되지만, 이들 소자의 변동으로 화질이 열화하는 과제가 있었다.

또한, 후에 진술한 방법은, 각 액정 셀의 투과율을 계조 전압 제어 신호의 펄스 폭으로 제어할 수 있기 때문에, 계조수가 증가하여도 회로 규모의 상승이 적은 이점이 있다. 또한, 주변 회로를 전부 디지털 회로로 구성할 수 있기 때문에, 상기한 변동에 대해, 억제 효과가 있다. 그러나, 1개의 화소에 2개의 MOS 트랜지스터를 배치하기 때문에, 화소의 투과율의 저하, 및 수율의 저하라는 새로운 과제가 발생한다.

### 발명이 이루고자하는 기술적 과제

본 발명의 목적은, 회로 소자의 특성의 불일치에 의한 화소의 열화를 방지할 수 있는 액티브 매트릭스형 액정 표시 장치 및 그 구동 방법을 제공하는 것에 있다.

상기한 과제를 해결하는 데 있어, 우선 화소의 MOS 트랜지스터의 동작에 관해서 생각하여 보면, 예를 들면 MOS 트랜지스터가 N형인 경우, 게이트의 전위가 소스의 전위보다도 일정치 이상 높으면 게이트가 온 상태로 되어, 드레인과 소스 간에 전류가 흐르기 때문에, 드레인 전극과 공통 전극 간의 전압이 액정 셀에 인가된다. 한편, 게이트의 전위가 소스와 드레인의 전위보다도 낮으면 게이트가 오프 상태로 되어, 드레인과 소스 간에 전류가 흐르지 않기 때문에, 액정 셀에는 게이트 온 시의 인가 전압이 유지된다.

본 발명에서는 이 특성을 이용하여, 주사 라인 상에 있는 화소의 게이트를 온하고, 그 밖의 비주사 라인 상에 있는 화소의 게이트를 오프함으로써, 선순차 주사를 가능하게 하고 있다.

한편, 상기한 특허평10-54998 기재의, 계조 정보에 따른 펄스 폭의 계조 전압 제어 신호를 게이트 전극에 인가하는 방법에 있어서도, 주사 라인 상의 화소에 대해서만 계조 전압을 인가하는 제어가 필요하다. 이 때문에, 제2 MOS 트랜지스터를 이용하여, 이 제어를 실현하고 있다.

그러나 제2 MOS 트랜지스터를 이용하지 않더라도, 예를 들면 공통 전극을 가로 방향의 라인에 대응하도록 분리하여, 주사하는 라인의 공통 전극에는 계조 전압 제어 신호인 '하이'에서 게이트가 온 상태로 되는 전위를 제공하고, 그 밖의 비주사 라인의 공통 전극과 드레인 전극에는 계조 전압 제어 신호인 '하이'보다도 높은 전위를 제공함으로써, 주사 라인 상의 화소에 대해서만 계조 전압을 인가할 수 있다.

본 발명은 상술한 점을 감안하여, 펄스 폭을 이용한 액티브 매트릭스형 액정 표시 장치 및 그 구동 방법을 실현하는 것이다.

즉, 본 발명의 액정 표시 장치는, 1개의 화소를 예를 들면 1개의 N형의 MOS형의 트랜지스터로 구성하고, 게이트는 세로 방향의 화소 공통의 게이트 전극, 드레인은 가로 방향의 화소 공통의 드레인 전극, 소스는 액정 셀을 통해 대향측에 있는 가로 방향의 화소 공통의 공통 전극에 접속되어 있는 것을 특징으로 한다.

본 발명의 액정 표시 장치의 구동 방법으로서, 공통 전극에는 주사 라인을 나타내는 주사 라인 신호의 액티브 상태를 각 공통 전극에 시분할로 인가하고, 게이트 전극에는 주사 라인 상에 있어서의 표시 데이터의 계조 정보에 따라, 이에 따른 펄스 폭의 계조 전압 제어 신호를 인가한다.

여기서, MOS 트랜지스터가 N형인 경우, 주사 라인 신호의 액티브 상태는 '로우'이고, 그 전위는, 계조 전압 제어 신호가 '하이'로 MOS 트랜지스터의 게이트가 온 상태로 되는 전위와 동일하다. 또한, 주사 라인 신호의 비액티브 상태는 '하이'이고, 그 전위는, 계조 전압 제어 신호인 '하이'의 전위보다도 높다.

한편, MOS형의 트랜지스터가 P형인 경우, 주사 라인 신호의 액티브 상태는 '하이'이고, 그 전위는, 계조 전압 제어 신호가 '로우'로 MOS 트랜지스터의 게이트가 온 상태로 되는 전위와 동일하다. 또한, 주사 라인 신호의 비액티브 상태는 '로우'이고, 그 전위는, 계조 전압 제어 신호인 '로우'의 전위보다도 낮다.

또한, 상기 드레인 전극에 제공하는 계조 전압은, 동일 화소에 인가되는 주사 라인 신호인 '하이'와 '로우'와 동일 전위를 기준 전위로 하는 것을 특징으로 한다.

이상, 본 발명의 액티브 매트릭스형 액정 표시 장치 및 그 구동 방법에 따르면, 1개의 화소에 1개의 MOS 트랜지스터를 배치하고, 또한 각 액정 셀의 투과율을 계조 전압 제어 신호의 펄스 폭으로 제어할 수 있다.

본 발명은 또, 액정층을 통해 대향 배치되는 2장의 기판의 한쪽 내면에, 상호 교차하는 복수 라인의 공통 전극과 게이트 전극, 및 상기 공통 전극에 나란히 늘어서는 복수 라인의 드레인 전극과, 상기 복수 라인의 공통 전극과 게이트 전극의 각각의 교점에 3단자의 스위칭 소자와 액정 셀로 구성되는 복수의 화소를 포함하는 표시 화소부를 포함하고, 상기 각 스위칭 소자의 제1 단자는 상기 드레인 전극에 접속되고, 상기 각 스위칭 소자의 제2 단자는 대향측이 상기 공통 전극에 접속되어 있는 상기 액정 셀에 접속되고, 상기 각 스위칭 소자의 제3단자는 상기 게이트 전극에 접속되는, 액티브 매트릭스형 액정 표시 장치에 있어서, 상기 각 스위칭 소자는, 상기 게이트 전극과 상기 공통 전극에 인가하는 전압의 전위차가 있는 특정한 규정치가 되면 온 상태로 되고, 상기 스위칭 소자의 온 상태에는, 상기 액정 셀에 상기 드

레인 전극과 공통 전극에 인가되는 전압의 전위차가 인가되고, 상기 온 상태의 최후에 인가되는 전위차가, 다음의 온 상태까지 유지되는 것을 특징으로 한다.

여기서, 상기 본 발명의 액티브 매트릭스형 액정 표시 장치는, 상기 공통 전극에 주사 라인을 지시하는 주사 라인 신호의 액티브 상태를 1주사 기간씩 순차 인가하는 주사 신호 구동 회로와, 상기 드레인 전극에 계조 전압을 인가하는 계조 전압 회로와, 상기 게이트 전극에 주사 라인 신호의 액티브 상태가 인가되는 화소의 표시 데이터의 계조 정보에 따라, 이에 따른 펄스 폭의 계조 전압 제어 신호를 인가하는 데이터 신호 구동 회로를 포함하는 주변 회로를 또한 포함하고, 상기 계조 전압 회로가, 미리 정한 특성으로 시간과 함께 변화하는 파형의 전압을 발생시키는 전압 파형 발생 회로와, 각 주사 라인마다 배치되고, 상기 주사 라인이 선택되어 있는 경우에는 상기 계조 전압 제어 신호의 펄스 폭에 따른 기간만큼, 상기 전압 파형 발생 회로가 발생시키는 전압 파형을 상기 드레인 전극에 인가하는, 복수의 계조 전압 선택 회로를 포함하는 것이 바람직하다.

또한, 상기 표시 화소부와 상기 주변 회로는, 동일한 기판 상에서 일체 형성되는 것이 바람직하다.

또한 본 발명은, 액정층을 통해 대향 배치되는 2장의 기판의 한쪽 내면에, 상호 교차하는 복수 라인의 공통 전극과 게이트 전극, 및 상기 공통 전극에 나란히 늘어서는 복수 라인의 드레인 전극과, 상기 복수 라인의 공통 전극과 게이트 전극의 각각의 교점에 3단자의 스위칭 소자와 액정 셀로 구성되는 복수의 화소를 포함하고, 상기 각 스위칭 소자의 제1 단자는 상기 드레인 전극에 접속되고, 상기 각 스위칭 소자의 제2 단자는 대향측이 상기 공통 전극에 접속되어 있는 상기 액정 셀에 접속되고, 상기 각 스위칭 소자의 제3단자는 상기 게이트 전극에 접속되는, 액티브 매트릭스형 액정 표시 장치의 구동 방법이 있어서, 상기 공통 전극에는, 주사 라인을 지시하는 주사 라인 신호의 액티브 상태를 1주사 기간씩 순차 인가하여, 상기 드레인 전극에는, 동일 화소에 인가되는 상기 주사 라인 신호의 액티브 상태와 비액티브 상태의 전위와, 동일 전위를 기준 전위로 하는 계조 전압을 인가하고, 상기 게이트 전극에는, 주사 라인 신호의 액티브 상태가 인가되는 화소의 표시 데이터의 계조 정보에 따라, 이에 따른 펄스 폭의 계조 전압 제어 신호를 인가하는 것을 특징으로 한다.

여기서, 상기 드레인 전극에 인가되는 계조 전압은, 1주사 기간의 전반과 후반에서 상기 기준 전위에 대한 극성이 다르고, 상기 게이트 전극에 인가되는 상기 계조 전압 제어 신호의 펄스 폭이 상기 1주사 기간의 전반 및 후반 중 어느 하나의 기간을 대상으로 생성되고, 상기 대상이 되는 기간이 인접하는 상기 게이트 전극 간에서 다른 구성으로 하여도 좋다.

또한, 상기 공통 전극에 인가되는 주사 라인 신호로서 2종류의 액티브 상태의 전위를 설치하여, 상기 2종류의 전위를 라인마다 교대로 인가하는 구성으로 하여도 좋다.

또한, 상기 계조 전압은, 램프 파형, 및, 해당 액정의 인가 전압-투과율 특성( $\gamma$  특성) 등에 대응한 미리 정한 특성 커브를 포함하는 파형 중 어느 하나로 하는 것이 바람직하다.

또한, 상기 계조 전압으로서, 상기 기준 전위로부터 플러스 극성, 마이너스 극성의 방향으로 변화하는 대칭적인 2종류의 파형을 설치하여, 상기 2종류의 파형을 1주사 기간마다 교대로 출력하고, 1프레임이 있는 1주사 기간에 주목할 경우에는 1프레임마다 상기 2종류의 파형이 교대로 출력되고, 1주사 기간의 처음과 끝의 기간에서 전위가 일정하도록 하는 구성으로 하여도 좋다.

또한, 상기 계조 전압에 있어서 상기 기준 전위로부터 최후에 도달하는 전위가, 상기 액정의 투과율이 최대 또는 최소가 되도록 미리 설정하는 것이 바람직하다.

또한 본 발명은, 입력으로서, 표시 데이터, 표시 데이터에 동기한 신호, 1주사 기간에 동기한 신호, 표시 데이터의 유효 기간을 나타내는 신호를 수취하여, 상기 표시 데이터의 계조 정보를 펄스 폭 정보로 변환하고, 복수의 채널에 대하여 출력하는 데이터 신호 구동 회로에 있어서, 1라인분의 표시 데이터를 받아들이는 래치 회로와, 상기 표시 데이터의 계조수에 따른 수 이종의 펄스 폭 신호를 발생하는, 데이터 펄스 생성 회로와, 상기 펄스 폭 신호의 기준 클럭을 발생하는 기준 클럭 생성 회로와, 계조수분의 상기 펄스 폭 신호군으로부터, 표시 데이터의 계조 정보에 따라, 1개의 펄스 폭 신호를 선택하여 출력하는, 데이터 펄스 선택터와, 상기 데이터 펄스 선택터가 출력하는 상기 펄스 폭 신호인 '하이'와 '로우'의 전위를, 미리 정한 전위로 변환하여, 계조 전압 제어 신호로서 출력하는, 출력 버퍼를 포함하는 것을 특징으로 한다.

상기 데이터 신호 구동 회로는, 또한, 1라인분의 표시 데이터를 받아들이는 래치 회로와, 상기 표시 데이터의 계조수에 따른 수 이종의 펄스 폭 신호를 홀수 채널, 짝수 채널마다 발생하는 데이터 펄스 생성 회로와, 상기 펄스 폭 신호의 기준 클럭을 발생하는 기준 클럭 생성 회로와, 계조수분의 상기 홀수 채널용의 펄스 폭 신호군으로부터, 표시 데이터의 계조 정보에 따라, 1개의 펄스 폭 신호를 선택하여 출력하는 홀수 채널용의 데이터 펄스 선택터와, 계조수분의 상기 짝수 채널용의 펄스 폭 신호군으로부터, 표시 데이터의 계조 정보에 따라, 1개의 펄스 폭 신호를 선택하여 출력하는 짝수 채널용의 데이터 펄스 선택터와, 상기 홀수, 짝수 채널용 데이터 펄스 선택터가 출력하는 상기 펄스 폭 신호인 '하이'와 '로우'의 전위를, 원하는 전위로 변환하고, 계조 전압 제어 신호로서 출력하는, 출력 버퍼로 구성되어, 상기 홀수 채널용의 펄스 폭 신호가 상기 1주사 기간의 후반의 기간을 대상으로 생성되고, 상기 짝수 채널용의 펄스 폭 신호가 상기 1주사 기간의 전반의 기간을 대상으로 생성되거나, 혹은, 이 관계가 역인 것을 특징으로 하는 구성으로 하여도 좋다.

상기 데이터 신호 구동 회로는, 또한, 출력하는 채널을 지시하는 출력 채널 선택터와, 상기 표시 데이터를 펄스 폭 신호에 축차 변환하는 데이터 펄스 변환 회로와, 상기 펄스 폭 신호의 기준 클럭을 발생하는 기준 클럭 생성 회로와, 상기 출력 채널 선택터가 지시하는 채널에, 상기 펄스 폭 신호를 출력하는 출력 제어 회로와, 출력 제어 회로가 출력하는, 상기 펄스 폭 신호인 '하이'와 '로우'의 전위를, 원하는 전위로 변환하고, 계조 전압 제어 신호로서 출력하는 출력 버퍼로 구성하여도 좋다.

여기서, 상기 펄스 폭 신호의 펄스 폭은, 표시 데이터의 계조 정보 외에, 액정의 인가 전압-투과율 특성

에 맞춰 설정되는 것이 바람직하다.

### 발명의 구성 및 작용

이하, 본 발명 제1 실시예를, 도 1 및 도 6 내지 도 8을 이용하여 설명한다. 도 1은 본 발명 제1 실시예에 따른 액티브 매트릭스형 액정 표시 장치의 구성을 나타내는 도면이다.

본 실시예에 있어서의 각 화소는, 예를 들면 N형 MOS 트랜지스터로 구성되고, 각각의 게이트에는 세로 방향의 화소 공통의 게이트 전극, 드레인에는 가로 방향공통의 드레인 전극, 소스에는 액정 셀을 통해 대향측에 있는 가로 방향의 화소 공통의 공통 전극이 접속된다.

게이트 전극에는 데이터 신호 구동 회로(101)가 출력하는 계조 전압 제어 신호( $V_{x1}$ ,  $V_{x2}$ , ...), 드레인 전극에는 계조 전압 선택 회로(102)가 출력하는 계조 전압( $V_{d1}$ ,  $V_{d2}$ , ...), 공통 전극에는 주사 신호 구동 회로(103)가 출력하는 주사 라인 신호( $V_{y1}$ ,  $V_{y2}$ , ...)가 인가된다.

또, 도 1에서는 액정 셀과 병렬로 용량을 설치하고 있지만, 이것은 액정 셀의 인가 전압을 안정화하기 위해서이다.

주변 회로는, 계조 전압 제어( $V_{x1}$ ,  $V_{x2}$ , ...) 신호를 출력하는 데이터 신호 구동 회로(101), 계조 전압을 출력하는 계조 전압 선택 회로(102), 주사 라인 신호( $V_{y1}$ ,  $V_{y2}$ , ...)를 출력하는 주사 신호 구동 회로(103), 및 기준이 되는 전압 파형( $V_{ramp}$ )을 출력하는 전압 파형 발생 회로(104)를 구비하여 구성된다.

여기서, 계조 전압 선택 회로(102)는, 주사 라인과 동일 수의 블록으로 분리되어 있고, 각각의 입력은  $V_{ramp}$ 와 각 주사 라인에 대응한 주사 라인 신호( $V_{y1}$ ,  $V_{y2}$ , ...)이고, 셀렉트 신호로서는 주사 라인 신호( $V_{y1}$ ,  $V_{y2}$ , ...)를 사용한다.

또한, 상술한 화소 및 주변 회로로 구성되는 본 실시예의 액정 표시 장치는, 예를 들면, 액정층을 통해 대향하여 배치되는 2장의 기관의 한쪽 내면에, 상호 직교하는 복수 라인의 공통 전극과 게이트 전극, 및 상기 공통 전극에 평행한 복수 라인의 드레인 전극을 형성한 횡전계형 액정 표시 장치로 구성하는 것이 바람직하다.

또한, 상기 화소 및 주변 회로는, 동일한 기관 상에서 일체 형성되는 구성으로 하는 것이 바람직하다.

다음에, 데이터 신호 구동 회로(101), 계조 전압 선택 회로(102), 및 주사 신호 구동 회로(103), 전압 파형 발생 회로(104)의 동작을, 도 6을 이용하여 설명한다.

주사 신호 구동 회로(103)는, 각 공통 전극에 주사 라인 신호( $V_{y1}$ ,  $V_{y2}$ , ...)를 출력하고, 각각의 주사 라인 신호는, 1프레임 기간에 1회, 1주사 기간 간 '로우'로 된다. 그 출력 타이밍은, 선순차 주사에 있어서의 주사 라인을 지시하는 타이밍과 동일하고, 예를 들면, 주사 라인 신호  $V_{y1}$ 의 다음에  $V_{y2}$ , 그 다음에  $V_{y3}$ 이 '로우'로 된다.

데이터 신호 구동 회로(101)는, 각 게이트 전극에 계조 전압 제어 신호( $V_{x1}$ ,  $V_{x2}$ , ...)를 출력하고, 각각의 계조 전압 제어 신호는, 주사 라인 상의 표시 데이터의 계조 정보에 따른 기간 '하이'로 된다.

일례로서, 도 1에 있어서의 액정 셀(11)에 주목하여, 이 화소의 계조 정보가 예를 들면, 밝기의 정도로서 40%(임의 단위)인 경우에 관해서 생각한다. 이 경우,  $V_{y1}$ 가 '로우'의 기간 중, 밝기가 40%인 계조 정보에 대응하는  $t_{40}$ 의 기간만큼  $V_{x1}$ 이 '하이'로 된다. 또한, 액정 셀(22)에 주목하여, 이 화소의 밝기가 80%인 계조 정보의 예를 생각하면,  $V_{y2}$ 가 '로우'의 기간 중, 밝기가 80%인 계조 정보에 대응하는  $t_{80}$ 의 기간만큼  $V_{x2}$ 가 '하이'로 된다. 또, 상기한 주사 라인 신호가 '로우' ( $V_{comS}$ ), 계조 전압 제어 신호가 '하이'일 때, N형 MOS 트랜지스터의 게이트가 온 상태로 되고, 또한, 주사 라인 신호의 '하이' 전위는, 계조 전압 제어 신호의 '하이' 전위보다도 높아지도록, 각각의 전위는 미리 설정되어 있다.

전압 파형 발생 회로(104)는, 계조 전압 선택 회로(102)에, 기준이 되는 전압 파형  $V_{ramp}$ 을 출력한다. 이 전압 파형은 예를 들면 램프 파형이고, 상기한 주사 라인 신호인 '로우'와 동일한 전위를 기준 전위( $V_{comS}$ )로 하고, 여기로부터 플러스 극성, 마이너스 극성의 방향으로 변화하는 2종류의 기울기가 있다. 이 2종류의 램프 파형은 1주사 기간 마다 교대로 출력되고, 또한, 1프레임 중 어떤 1주사 기간(예를 들면,  $V_{y1}$ 이 '로우'인 기간)에 주목하면, 1프레임마다 2종류의 램프 파형이 교대로 출력된다.

또, 본 실시예에서는 램프 파형  $V_{ramp}$ 로서 전압이 시간과 함께 단조 증가 혹은 감소하는 파형을 이용하는 것으로 하였지만, 본 발명에서 이용할 수 있는 램프 파형  $V_{ramp}$ 는 이에 한정되는 것이 아니라, 미리 알려진 기울기로 변화하는 것이면, 곡선이나 계단형의 파형을 이용하는 구성으로 하여도 좋다.

계조 전압 선택 회로(102)는, 셀렉트 신호로서 주사 라인 신호가 '하이'일 때, 주사 라인 신호인 '하이'를 그 상태 그대로 출력하고, 주사 라인 신호가 '로우'일 때,  $V_{ramp}$ 를 선택하여 출력한다.

이상 설명한 동작을 이용하면, 액정 셀의 MOS 트랜지스터는, 주사 라인 신호가 '로우', 또한 계조 전압 제어 신호( $V_{x1}$ ,  $V_{x2}$ , ...)가 '하이'일 때에 게이트가 온으로 되고, 이 때, 계조 전압  $V_{d1}$ ,  $V_{d2}$ 가 주사 라인 신호( $V_{y1}$ ,  $V_{y2}$ , ...) 간의 전위차가 액정 셀에 인가된다. 그리고, 계조 전압 제어 신호인 '하이' 기간의 최후에서 도달하는 전위차가 유지되어, 다음 프레임까지의 액정 셀에의 인가 전압이 된다.

일례를 들어 설명하면, 예를 들면 액정 셀(11)의 경우, 주사 라인 신호  $V_{y1}$ 이 '로우', 또한 계조 전압 제어 신호  $V_{x1}$ 이 '하이'일 때 시에 게이트가 온으로 되고, 이 때의 계조 전압( $V_{d1}$ )이 액정 셀에 인가된다. 그리고, 계조 전압 제어 신호인 '하이' 기간의 최후에서 도달하는 전위( $V_{40}$ )가 유지되어, 다음 프레임까지의 액정 셀에의 인가 전압이 된다. 이것으로부터, 액정 셀(11)의 화소의 계조 정보(40)가, 액정 인가 전압  $V_{40}$ 으로 변환되어 있는 것을 알 수 있다. 따라서, 표시 데이터에 따라서 각 화소의 인

가 전압 실효치를 제어 가능하고, 액티브 매트릭스형 액정 표시 장치를 실현할 수 있다.

또, 2종류의 램프 파형(Vramp)을 1주사 기간마다 교대로 제공하는 이유는, 어떤 라인과 다음 라인에 있어서의 액정 인가 전압의 극성을 다르게 하는, 소위 라인 반전 구동을 실현하기 위해서이다. 또한, 1프레임마다 2종류의 램프 파형을 교대로 제공하는 이유는, 액정 인가 전압의 극성을 프레임마다 반전시키기 위해서이다.

또한, 도 6에서 도시한 바와 같이, 계조 전압은, 1주사 기간의 처음과 끝의 기간에서는 전위가 일정해져 있고, 이에 맞추어, 계조 전압 제어 신호(Vx1, Vx2, ...)는, 1주사 기간의 처음은 표시 데이터의 계조 정보와는 무관하게 '하이', 1주사 기간의 끝은 '로우'로 되어 있다. 이 이유는, 1주사 기간의 전후에 시간적인 여유를 가지게 함으로써, 신호의 지연 등으로 발생하는 미스, 예를 들면 전후의 주사 기간의 계조 전압 Vd1, Vd2를 인가하는 미스를 방지하기 위해서이다.

다음에, 본 발명 제1 실시예에 따른 데이터 신호 구동 회로(101)의 구성 및 그 동작을, 도 7 내지 도 8을 이용하여 보다 상세하게 설명한다.

우선, 도 7은 본 발명 제1 실시예에 따른 데이터 신호 구동 회로(101)의 구성을 나타내는 블록도이다. 도 7에 도시한 바와 같이, 데이터 신호 구동 회로(101)의 입력 신호는, 표시 데이터의 전송에 동기된 DCLK(Dot Clock), 유효 표시 데이터의 기간을 나타내는 DTMG(Display Timing), 1주사 기간에 동기된 HSYNC(Horizontal Sync), 및 표시 데이터 DATA이고, 표시 데이터는 6비트(64종류)의 계조 정보를 갖는 것으로 한다. 한편, 출력은 앞서 진술한 계조 전압 제어 신호(Vx1, Vx2, ...)이고, 액정 표시 장치의 가로 방향의 해상도에 따라서, 본 실시예에서는 Vx1로부터 Vxn까지의 채널이 있다.

다음에, 데이터 신호 구동 회로(101)의 구성으로서, DATA를 래치하는 채널을 지시하는 래치 채널 셀렉터(701), Vx1로부터 Vxn에 대응하는 DATA를 래치하는 래치 회로(1) (702) 및 래치 회로(2) (703), 계조 정보에 대응한 64종류의 펄스 폭 신호 P0~P63를 생성하는 데이터 펄스 생성 회로(704), 펄스 폭 신호 P0~P63의 기준 클럭을 생성하는 기준 클럭 생성부(705), 64종류의 펄스 폭 신호 P0~P63으로부터 1개를 선택하는 데이터 펄스 셀렉터(706), 및 출력 버퍼(707)로 되어 있다.

다음에 각 블록의 동작에 관해서 설명한다.

래치 채널 셀렉터(701)는, HSYNC의 액티브 상태의 기간에 리셋되고, DTMG가 액티브 상태의 기간, DCLK에 동기된 채널 셀렉트 신호를 출력한다. 그 때, Vx1로부터 Vxn의 방향으로 순차 '하이'가 시프트되도록 동작한다.

래치 회로(1) (702)는, 채널 셀렉트 신호가 '하이'인 기간에서 DATA를 래치한다. 이 동작에 의해, 래치 회로(1) (702)는, Vx1로부터 Vxn에 대응한 DATA를, 원하는 채널에서 래치한다.

래치 회로(2) (703)는, HSYNC의 액티브 상태 기간에서, 래치 회로(1) (702)의 출력을 다시 래치한다. 이에 따라, 래치 회로(2) (703)는, 전 채널의 DATA를 동시에 출력한다.

데이터 펄스 출력 회로(704)는, 카운터 및 펄스 폭 신호 P0~P63를 생성하는 디코더로서 구성되고, 카운터는 도 8에 도시한 바와 같이, HSYNC의 액티브 상태 기간에서 리셋되고, DTMG가 액티브 상태의 기간, 기준 클럭 생성 회로(705)로부터 출력되는 클럭 PCLK을 카운트한다. 여기서, PCLK의 주파수는, DTMG가 액티브 상태의 기간의 최후에서 카운트치가 '64'가 되도록, 미리 설정되어 있다. 디코더는, PCLK의 카운트치에 따라서 '하이'의 기간을 설정한다. 예를 들면, P0에서는 카운트치 0을, P1로서는 카운트치 0~1을, P63에서는 카운트치 0~63을 '하이'로 설정한다.

데이터 펄스 셀렉터(706)는, 래치 회로(2) (703)가 출력하는 각 채널의 DATA의 값에 따라, 펄스 폭 신호 P0~P63으로부터 1개를 선택하여 출력한다. 예를 들면, 어떤 채널의 DATA치가 100001(=33)이면, 그 채널에는 P33을 선택하여 출력하고, 또한, 다른 채널의 DATA치가 000100(=4)이면, 그 채널에는 P4를 선택하여 출력한다.

출력 버퍼(707)는, 데이터 펄스 셀렉터(706)가 출력하는 신호인 '하이'와 '로우'의 전위를, 주사 라인 신호의 전위에 대한 앞서 진술한 관계가 되도록 변환하여, 계조 전압 제어 신호로서 출력한다.

이상 설명한 데이터 신호 구동 회로(101)의 구성과 동작에 의해, 도 6에 도시한 계조 전압 제어 신호의 파형을 실현할 수 있다.

또, 주사 라인 신호(Vy1, Vy2, ...)를 출력하는 주사 신호 구동 회로(103)는, VSYNC(Virtical Sync)의 액티브 상태 기간에서 리셋되고, DTMG가 액티브 상태의 기간, HSYNC에 동기된 주사 라인 신호를 출력한다. 그 때, Vy1로부터 Vyn의 방향으로 순차 '로우'가 시프트되도록 동작한다.

또한, 전압 파형 발생 회로(104)는, 앞서 진술한 특징이다, 1주사 기간의 처음과 끝의 기간에 있어서, 계조 전압의 전위를 일정하게 하는 제어를 실현하기 위해서, 상기 데이터 펄스 생성 회로(704) 내의 카운터가 동작하고 있는 기간(본 실시예에서는 DTMG이 액티브 상태의 기간)만, 기울기를 갖는 램프 파형을 출력한다. 또한, DTMG가 액티브 상태의 기간의 최후에 도달하는 계조 전압의 전위는, 액정의 투과율이 실질적으로 최대(또는 최소)가 되도록 미리 설정되어 있다. 이와 같이 설정함으로써, 콘트라스트에 있어서의 다이내믹 범위를 최대로 할 수 있다.

이상, 본 발명 제1 실시예에 따르면, 각 액정 셀의 투과율을 계조 전압 제어 신호의 펄스 폭으로 제어할 수 있다. 따라서, 종래의 기술과 비교하여, 계조수가 증가하여도 회로 규모의 상승이 적다.

또한 본 발명 제1 실시예에 따르면, 주변 회로를 모두 디지털 회로로 구성할 수 있기 때문에, 소자의 변동에 기인한 화질 열화에 대하여, 이것을 억제 가능하다.

또한 본 발명 제1 실시예에 따르면, 1개의 화소에 1개의 MOS 트랜지스터를 배치하는 구성이기 때문에,

화소의 투과율이나 수율을, 저하시키는 일이 없다.

이하, 본 발명 제2 실시예를 도 9 내지 도 11을 이용하여 설명한다.

본 발명 제2 실시예는, 액정 인가 전압 V40, V80의 극성을 인접하는 화소로 다르게 하는, 소위 도트 반전 구동을 실현하는 방법을 나타낸 것이다. 기본 개념으로서는, 도 9에 도시한 바와 같이, 램프 파형(Vramp)을 1주사 기간의 중간에서 기준 전압을 통과하도록 제공하면, 1주사 기간의 전반과 후반에서 계조 전압 Vd1, Vd2의 기준 전압에 대한 극성이 반전한다. 그리고, 어느 쪽의 극성의 계조 전압 Vd1, Vd2를 선택할지는, 계조 전압 제어 신호 Vx1, Vx2의 펄스 폭을, 1주사 기간의 전반과 후반의 어느 쪽에 대응시킬지에 의해서 결정할 수 있다. 즉, 이 계조 전압 제어 신호(Vx1, Vx2, ...)의 펄스 폭이 제공하는 방법을, 인접하는 화소마다 다르게 하면, 도트 반전 구동을 실현할 수 있다.

다음에, 본 발명 제2 실시예의 구성과 동작에 관해서 보다 상세하게 설명한다.

본 발명 제2 실시예의 기본 구성은, 도 1에 도시한 본 발명 제1 실시예의 구성과 동일하다. 특히, 각 화소, 주사 계조 전압 선택 회로(102), 주사 신호 구동 회로(103)의 구성과 동작은, 본 발명 제1 실시예와 동일하기 때문에, 여기서는 그 설명을 생략하고, 주로 동작이 다른 도 10에 도시한 데이터 신호 구동 회로(1001)에 관해서 설명한다.

도 10은 본 발명 제2 실시예에 따른 데이터 신호 구동 회로(1001)의 구성을 나타내는 블록도이다.

데이터 신호 구동 회로(1001)의 입력은, 본 발명 제1 실시예에 따른 데이터 신호 구동 회로(101)와 동일하다. 또한, 그 구성에 있어서도, DATA를 래치하는 채널을 지시하는 래치 채널 셀렉터(701), 계조 전압 제어 회로 신호 Vx1로부터 Vxn에 대응하는 DATA를 래치하는 래치 회로(1) (702) 및 래치 회로(2) (703), 출력 버퍼(707)는, 데이터 신호 구동 회로(101)와 동일한 것으로, 동일 동작을 행한다.

상기 본 발명 제1 실시예와 다른 블록은, 계조 정보 및 짝수수의 출력 채널에 대응한, 각 64종류의 펄스 폭 신호 PA0~PA63, PB0~PB63을 생성하는 데이터 펄스 생성 회로(1002), 패널 폭 신호의 기준 클럭을 생성하는 기준 클럭 생성부(1003), 64종류의 펄스 폭 신호 PA0~PA63으로부터 1개를 선택하는, 홀수열용 데이터 펄스 셀렉터(1004), 64종류의 펄스 폭 신호 PB0~PB63으로부터 1개를 선택하는, 짝수열용 데이터 펄스 셀렉터(1005)이다.

데이터 펄스 생성 회로(1002)는, 카운터 및 펄스 폭 신호 PA0~PA63 및 PB0~PB63을 생성하는 디코더로 구성된다. 카운터는 도 11에 도시한 바와 같이, HSYNC의 액티브 기간에서 예를 들면 '64'로 세트되고, DTMG가 액티브 상태의 기간, 기준 클럭 생성부(1003)로부터 출력되는 클럭을 다운카운트한다. 그리고, 카운터의 값이 '0'이 되면, 이번은 PCLK(Pulse Clock)의 카운트 동작을 업카운트로 전환한다.

여기서, PCLK의 주파수는, 계조 전압 Vd1, Vd2(도 9)가 기준 전압을 통과하는 시간(1주사 기간의 중간)에서 카운트치의 값이 '0'이 되고, DTMG이 액티브의 기간의 최후에서 카운트치 '64'가 되도록, 미리 설정되어 있다.

디코더는, PCLK의 카운트치에 따라서 '하이'의 기간을 설정하고, 예를 들면, 펄스 폭 신호 PA0에서는 업카운트 시의 카운트치 0을, 펄스 폭 신호 PA1에서는 카운트치 0~1을, 펄스 폭 신호 PA63에서는 카운트치 0~63을 '하이'로 설정한다. 또한, 펄스 폭 신호 PB0에서는 다운카운트 시의 카운트치 1~64를, 펄스 폭 신호PB1에서는 카운트치 2~64를, 펄스 폭 신호 PB63에서는 카운트치 64를 '하이'로 설정한다.

홀수열용 데이터 펄스 셀렉터(1004)는, 래치 회로(2) (703)가 출력하는 홀수 채널의 DATA의 값에 따라, 펄스 폭 신호 PA0~PA63으로부터 1개를 선택하여 출력한다. 예를 들면, 어떤 홀수 채널의 DATA치가 100001(=33)이면, 그 채널에는 PA33을 선택하여 출력하고, 또한, 다른 홀수 채널의 DATA치가 000100(=4)이면, 그 채널에는 PA4를 선택하여 출력한다. 한편, 짝수열용 데이터 펄스 셀렉터(1005)의 동작도 마찬가지이고, 래치 회로(2) (703)가 출력하는 짝수 채널의 DATA의 값에 따라, 펄스 폭 신호 PB0~PB63으로부터 1개를 선택하여 출력한다.

이상 설명한 데이터 신호 구동 회로(1001)의 구성과 동작에 의해, 도 9에 도시한 계조 전압 제어 신호 Vd1, Vd2의 파형을 실현할 수 있다.

또, 본 발명 제2 실시예에 따른 전압 파형 발생 회로는, 본 발명 제1 실시예에 따른 전압 파형 발생 회로(104)와 마찬가지로, 데이터 펄스 생성 회로(1002) 내의 카운터가 동작하고 있는 기간(본 실시예에서는 DTMG가 액티브 상태의 기간)만, 기울기를 갖는 램프 파형을 출력한다. 또한, 램프 파형이 최후에 도달하는 계조 전압 Vd1, Vd2의 전위는, 액정의 투과율이 최대(또는 최소)가 되도록, 미리 설정되어 있다.

이상, 본 발명 제2 실시예에 따르면, 본 발명 제1 실시예와 마찬가지로의 효과 외에 액정 인가 전압의 극성을 인접하는 화소로 다르게 하는, 소위 도트 반전 구동을 실현할 수 있기 때문에, 한층 더한 고화질화, 저소비 전력화가 가능하다.

이하, 본 발명 제3 실시예를 도 12를 이용하여 설명한다.

본 발명 제3 실시예는, Vramp 파형의 진폭을 보다 작게 하고, 또한 라인마다 액정 인가 전압의 극성을 다르게 하는 방법을 나타낸 것이다.

이를 실현하기 위해서는, 우선, 도 12에 도시한 바와 같이, 주사 라인 신호의 '로우'의 전위를 2종류(VcomSA, VcomSB) 설치하고, 이 2종류의 '로우'의 전위는, 라인마다 교대로 인가되도록 한다. 이 때, VcomSA의 전위는, 도 6에서 도시한 램프 파형 Vramp의 기준 전위 VcomS와 동일하고, VcomSB의 전위는, 램프 파형 Vramp이 기준 전위로부터 플러스 극성으로 변화할 때에 도달하는 전위와 동일해지도록, 미리 정하여 놓는다.

그리고 Vramp는, 주사 라인 신호가 기준 전압 VcomSA로부터 출력하는 타이밍에서는, VcomSA에서 VcomSB로 변화하는 램프 파형으로 하여, 한편 VcomSB를 출력하는 타이밍에서는, 기준 전압 VcomSB로부터 VcomSA로 변화하는 파형으로 한다.

이 동작에 의해, 주사 라인 신호가 VcomSA를 출력하는 라인 상의 화소의 액정 셀은, VcomSA가 기준이 되기 때문에 플러스 극성의 전압(V11)이 인가되고, 한편 VcomSB를 출력하는 라인 상의 화소의 액정 셀은, VcomSB가 기준이 되기 때문에 마이너스 극성의 전압(V22)이 인가되는 것으로 된다. 이것은, 도 6에 도시한 본 발명 제1 실시예에 있어서의 액정 인가 전압의 파형과 동일하다.

또, 본 발명 제3 실시예는, 도 12에서 도시한 바와 같이, 기준 전압 VcomSA와 VcomSB의 출력 라인을, 프레임마다 변화시키고 있다. 이것은, 액정 인가 전압의 극성을 반전시키기 위해서이다.

또한, 주사 라인 신호를 출력하는 주사 신호 구동 회로는, 본 발명 제1 실시예에 따른 주사 신호 구동 회로(103)와, 기본적인 동작은 동일하다. 다른 점으로서는, 앞서 진술하였던 바와 같이, '로우'의 전위가 2종류 존재하고, 라인마다 2종류의 '로우' 전위를 전환하여 출력하는 점이다.

이상, 본 발명 제3 실시예에 따르면, 주사 라인 신호(Vx1, Vx2, ...)의 '로우'의 전위를 2종류 설치함으로써, 본 발명 제1 실시예와 마찬가지로의 효과 외에 Vramp의 진폭을 반으로 하는 것이 가능하다.

이하, 본 발명 제4 실시예를 도 13 내지 도 14를 이용하여 설명한다.

본 발명 제4 실시예는, 해상도가 비교적 낮은 액정 표시 장치에 있어서, 데이터 신호 구동 회로의 회로 규모를 더욱 삭감 가능한 방법을 나타낸 것이다.

우선, 상기 제1 실시예에 따른 데이터 신호 구동 회로(101)에서는, 1라인분의 표시 데이터 DATA를 일단 각 래치 회로(702, 703)에서 받아들여, 그 후 동시에 계조 전압 제어 신호(Vx1, Vx2, ...)로 변환하고 있었다. 이에 대하여, 본 발명 제3 실시예에서는, 계조 전압 제어 신호로 변환을, DATA가 전송될 때마다 직렬로 처리하는 것을 특징으로 한다.

도 13은, 제4 실시예에 따른 데이터 신호 구동 회로(1301)의 구성을 나타내는 블록도이고, 도 13에 도시한 바와 같이, 데이터 신호 구동 회로(1301)의 입력은, 본 발명 제1 실시예에서 나타낸 입력과 동일하다.

다음에, 데이터 신호 구동 회로(1301)의 구성으로서는, DATA를 계조 전압 제어 신호(Vx1, Vx2, ...)로 변환하는 채널을 지시하는 출력 채널 셀렉터(1302), 입력되는 6비트의 DATA를 펄스 폭 신호 P로 변환하는 데이터 펄스 변환 회로(1303), 펄스 폭 신호 P의 기준 클럭을 생성하는 기준 클럭 생성부(1304), 펄스 폭 신호의 출력 채널을 결정하는 출력 제어 회로(1305), 및 출력 버퍼(1306)로 이루어져 있다.

다음에 각 블록의 동작을 도 14를 이용하여 설명한다.

출력 채널 셀렉터(1302)는, HSYNC의 액티브 상태 기간에서 리셋되고, DTMG가 액티브의 기간, DCLK에 동기한 채널 셀렉트 신호 A1~An을 출력한다. 그 때, Vx1로부터 Vxn의 방향으로 순차 '하이'가 시프트되도록 동작한다.

데이터 펄스 변환 회로(1303)는, 카운터 및 펄스 폭 신호 P를 생성하는 디코더로 구성되고, 카운터는 DCLK의 상승으로 리셋되고, 기준 클럭 생성부(1304)로부터 출력되는 클럭 PCLK을 카운트한다. 여기서, 카운터는 리셋 후의 수 클럭은 카운트 동작을 행하지 않고, 또한 카운트치가 '64'가 되면 카운트 동작을 정지하도록 동작한다.

또한, PCLK의 주파수는, 1주사 기간의 끝으로부터 수 클럭전, 상기 카운트치가 '64'가 되도록, 미리 설정되어 있다. 디코더는, PCLK의 카운트치에 따라서 펄스 폭 신호 P의 '하이'의 기간을 설정한다. 예를 들면, DATA가, 3에서는 카운트치 0~3을, '62'에서는 카운트치 0~62를 '하이'로 설정한다.

출력 제어 회로(1305)는, 출력 채널 셀렉터(1302)가 출력하는 채널 셀렉트 신호가 '로우'의 경우에는 '로우'를 출력하여, '하이'의 경우에는 펄스 폭 신호 P를 출력한다.

출력 버퍼(1306)는, 본 발명 제1 및 제2 실시예에 따른 출력 버퍼와 마찬가지로, 출력 제어 회로(1305)가 출력하는 신호인 '하이'와 '로우'의 전위를, 본 발명 제1 실시예와 마찬가지로, 원하는 전위로 변환하여, 계조 전압 제어 신호로서 출력한다.

이상 설명한 동작을 정리하면, 데이터 신호 구동 회로(1301)는, DCLK의 1주기의 기간에서 표시 데이터 DATA를 계조 전압 제어 신호로 변환하고, 이것을 표시 데이터 DATA의 표시 위치에 맞춘 채널(Vx1, Vx2, ..., Vxn)에 출력한다.

또, 본 발명 제4 실시예에 따른 주사 신호 구동 회로는, 본 발명 제1 및 제2 실시예에 따른 주사 신호 구동 회로(102)와 동일 구성, 동작이고, VSYNC의 액티브 기간에서 리셋되고, DTMG가 액티브의 기간, HSYNC에 동기한 주사 라인 신호를 출력한다. 그 때, 주사 라인 신호 Vy1로부터 Vyn의 방향으로 순차 '로우'가 시프트되도록 동작한다.

또한, 본 발명 제4 실시예에 따른 전압 파형 발생 회로는, 본 발명 제1 실시예에 따른 전압 파형 발생 회로(103)와 마찬가지로, 데이터 펄스 생성 회로(1303)의 카운터가 동작하고 있는 기간만, 기울기를 갖는 램프 파형 Vramp를 출력한다. 또한, 램프 파형이 최후에 도달하는 계조 전압 Vd1, Vd2의 전위는, 액정의 투과율이 최대(또는 최소)가 되도록, 미리 설정되어 있다.

여기서, 램프 파형 Vramp는 상기한 주사 라인 신호(Vy1, Vy2, ...) 및 계조 전압 제어 신호(Vx1, Vx2, ...)의 '로우' (VcomS)와 동일한 전위를 기준 전위로 하고, 여기로부터 플러스 극성, 마이너스 극성의 방향으로 변화하는 2종류의 기울기가 있다. 이 2종류의 램프 파형 Vramp는 DCLK의 1주기마다 교대로 출력되고, 어떤 DCLK의 1주기에만 주목하면, 1프레임마다 2종류의 램프 파형 Vramp이 교대로 출력된다.

이 동작에 의해, 본 발명 제2 실시예에서 도시한 도트 반전 구동, 및 1프레임마다의 액정 인가 전압의 교류화를 실현할 수 있다.

이상 설명한 본 발명 제4 실시예에 따르면, 주사 라인 신호가 '로우'의 기간에 있어서, 계조 전압 제어 신호가  $V_{x1}$ 로부터  $V_{xn}$ 의 방향으로 순차 '하이'가 출력된다. 이에 따라서 각 액정 셀의 MOS 트랜지스터의 게이트가 온으로 되고, 이 때, 계조 전압  $V_{d1}$ ,  $V_{d2}$ 와 주사 라인 신호( $V_{y1}$ ,  $V_{y2}$ , ...) 간의 전위차가 액정 셀에 인가된다. 그리고, 각 채널의 계조 전압 제어 신호( $V_{x1}$ ,  $V_{x2}$ , ...)의 '하이' 기간의 최후에서 도달하는 전위차가 유지되어, 다음 프레임까지의 액정 셀에의 인가 전압  $V_{40}$ ,  $V_{800}$ 이 된다. 따라서, 표시 데이터에 따라서 각 화소의 인가 전압 실효치를 제어 가능하고, 액티브 매트릭스형 액정 표시 장치를 실현할 수 있다.

여기서, 본 발명 제4 실시예에서는, DCLK의 주기로 계조 전압  $V_{d1}$ ,  $V_{d2}$ 의 램프 파형  $V_{ramp}$ 를 고속으로 변화시킬 필요가 있고, 또한, DCLK보다도 고주파수의 PCLK가 필요하게 된다. 이 때문에, 본 발명 제4 실시예는, 비교적 DCLK의 주파수가 낮은 저해상도의 액정 표시 장치를 지향하고 있다고 할 수 있다. 그러나, 예를 들면, 본 발명 제4 실시예에 따른 데이터 신호 구동 회로(1301)를 여러개 이용하여 분할 구동하는 방법도 생각되고, 이 경우 PCLK의 주파수를 저감할 수 있기 때문에, 보다 해상도가 높은 액정 표시 장치에도 적용하는 것이 가능해진다. 따라서, 제공하는 액정 표시 장치의 해상도나 구동 주파수에 따라, 상기한 방법을 구별하여 사용하는 것이 바람직하다.

이상, 본 발명 제4 실시예에 의하면, 본 발명 제1 실시예와 마찬가지로의 효과 외에 데이터 신호 구동 회로(1301)의 회로 규모를 더욱 삭감 가능하게 한다고 하는 매우 큰 효과를 얻을 수 있다.

상기 본 발명 제1로부터 제4 실시예에서는, 계조 전압  $V_{d1}$ ,  $V_{d2}$ 의 파형을 램프 파형  $V_{ramp}$ 로 하였지만, 이에 한정되는 것은 아니라, 액정의 인가 전압-투과율 특성에 맞추어, 곡선 등의 직선 이외의 기울기를 갖게 하는 구성으로 하여도 좋다. 또한, 이것과 마찬가지로의 효과를 갖게 하기 위해서, 계조 전압 제어 신호( $V_{x1}$ ,  $V_{x2}$ , ...)의 펄스 폭을 PCLK의 카운트치로 1차적으로 결정하는 것은 아니라,  $\gamma$  특성 등도 고려하여 설정하는 구성으로 하여도 좋다.

또한, 본 발명을 적용한 컬러의 액정 표시 장치를 제공하는 경우에는, R(적), G(녹), B(청)마다, 다른 계조 전압  $V_{d1}$ ,  $V_{d2}$ 의 파형, 또는 계조 전압 제어 신호( $V_{x1}$ ,  $V_{x2}$ , ...)의 펄스 폭을 설정하는 것이 바람직하다.

또한, 본 발명의 액정 표시 장치 및 그 구동 방법은, 현재 널리 사용되고 있는 비정질 실리콘 TFT 액정에 적용 가능하지만, 본 발명의 효과를 보다 높이기 위해서는, 주변 회로와 화소를 일체 형성 가능한, 저온 폴리 실리콘 TFT 액정에의 적용이 바람직하다.

또한, 본 발명의 액정 표시 장치는, 공통 전극을 주사 라인마다 분리한 구조이다. 이것은 Society for Information Display(SID) 학회 발행, Asia Display '95 다이제스트 P707-710에 기재된, 횡전계 액정 표시 장치에 있어서의 공통 전극 구조와 공통된 특징적 구성을 구비하고 있다. 따라서 본 발명은, 횡전계 액정 표시 장치에의 적용이 용이하다고 하는 유리한 효과가 있다.

### 발명의 효과

본 발명에 따르면, 인가하는 전압의 실효치로 각 화소의 투과율(밝기)을 제어하는, 액티브 매트릭스형의 액정 표시 장치에 있어서, 각 액정 셀의 투과율을 계조 전압 제어 신호의 펄스 폭으로 제어할 수 있기 때문에, 계조수가 증가하여도 회로 규모의 상승이 적다.

또한 본 발명에 따르면, 액정 표시 장치의 주변 회로를 모두 디지털 회로로 구성할 수 있기 때문에, 소자의 변동에 기인한 화질 열화에 대하여, 이것을 억제 가능하다.

또한 본 발명에 따르면, 1개의 화소에 1개의 MOS 트랜지스터를 배치하는 구성이기 때문에, 화소의 투과율이나 수율을, 저하시키는 일이 없다.

또한, 본 발명에 따르면, 액정 인가 전압의 극성을 인접하는 화소로 다르게 하는 소위 도트 반전 구동을 실현할 수 있기 때문에, 고화질화, 저소비 전력화가 가능하다.

또한 본 발명에 따르면, 해상도가 비교적 낮은 액정 표시 장치에 있어서, 데이터 신호 구동 회로의 회로 규모를 삭감 가능하다.

### (57) 청구의 범위

#### 청구항 1

액정층을 통해 대향 배치되는 2개 기관의 한쪽 내면에, 상호 교차하는 복수 라인의 공통 전극과 게이트 전극, 및 상기 공통 전극에 나란히 늘어서는 복수 라인의 드레인 전극과,

상기 복수 라인의 공통 전극과 게이트 전극의 각각의 교점에 3단자의 스위칭 소자와 액정 셀로 구성되는 복수의 화소를 포함하는 표시 화소부와,

상기 공통 전극, 게이트 전극, 드레인 전극의 각각에 미리 정해진 신호를 인가하는 주변 회로를 포함하고,

상기 각 스위칭 소자의 제1 단자는 상기 드레인 전극에 접속되고,

상기 각 스위칭 소자의 제2 단자는 대향측이 상기 공통 전극에 접속되어 있는 상기 액정 셀에 접속되고,

상기 각 스위칭 소자의 제3 단자는 상기 게이트 전극에 접속됨으로써,

상기 각 스위칭 소자는, 상기 게이트 전극과 상기 공통 전극에 인가하는 전압의 전위차가 있는 특정한 규정치가 되면 온 상태로 되고,

상기 스위칭 소자의 온 상태에서, 상기 액정 셀에 상기 드레인 전극과 상기 공통 전극에 인가되는 전압의 전위차가 인가되고,

상기 스위칭 소자의 온 상태의 최후에서 인가되는 전위차가, 다음의 온 상태까지 유지되는 것을 포함하는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

**청구항 2**

제1항에 있어서,

상기 주변 회로는, 상기 공통 전극에 주사 라인을 지시하는 주사 라인 신호의 액티브를 1주사 기간씩 순차 인가하는 주사 신호 구동 회로와,

상기 드레인 전극에 계조 전압을 인가하는 계조 전압 회로와,

상기 게이트 전극에 상기 주사 라인 신호의 액티브가 인가되는 화소의 표시 데이터의 계조 정보에 따라, 이에 따른 펄스 폭의 계조 전압 제어 신호를 인가하는 데이터 신호 구동 회로를 포함하고,

상기 계조 전압 회로는,

미리 정한 특성으로 시간과 함께 변화하는 파형의 전압을 발생시키는 전압 파형 발생 회로와,

각 주사 라인마다 배치되어, 해당 주사 라인이 선택되어 있는 경우에 상기 계조 전압 제어 신호의 펄스 폭에 따른 기간만큼, 상기 전압 파형 발생 회로가 발생시키는 전압 파형을 상기 드레인 전극에 인가하는 복수의 계조 전압 선택 회로를 포함하는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

**청구항 3**

제2항에 있어서,

상기 표시 화소부와 상기 주변 회로는 동일한 기판 상에 일체 형성되는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

**청구항 4**

액정층을 통해 대향 배치되는 2개 기판의 한쪽 내면에, 상호 교차하는 복수 라인의 공통 전극과 게이트 전극 및 상기 공통 전극에 나란히 늘어서는 복수 라인의 드레인 전극과, 상기 복수 라인의 공통 전극과 게이트 전극의 각각의 교점에 3단자의 스위칭 소자와 액정 셀로 구성되는 복수의 화소를 포함하는 표시 화소부와, 상기 공통 전극, 게이트 전극, 드레인 전극의 각각에 미리 정해진 신호를 인가하는 주변 회로를 포함하고,

상기 각 스위칭 소자의 제1 단자를 상기 드레인 전극에 접속하고,

상기 각 스위칭 소자의 제2 단자를 대향측이 상기 공통 전극에 접속되어 있는 상기 액정 셀에 접속하고,

상기 각 스위칭 소자의 제3 단자를 상기 게이트 전극에 접속하고,

상기 공통 전극에, 주사 라인을 지시하는 주사 라인 신호의 액티브 상태를 1주사 기간씩 순차 인가하고, 상기 드레인 전극에, 동일 화소에 인가되는 상기 주사 라인 신호의 액티브 상태와 비액티브 상태의 전위와, 동일 전위를 기준 전위로 하는 계조 전압을 인가하고,

상기 게이트 전극에, 주사 라인 신호의 액티브 상태가 인가되는 화소의 표시 데이터의 계조 정보에 따라, 이에 따른 펄스 폭의 계조 전압 제어 신호를 인가하는 것을 포함한 액티브 매트릭스형 액정 표시 장치의 구동 방법.

**청구항 5**

제4항에 있어서,

상기 드레인 전극에 인가되는 계조 전압은, 1주사 기간의 전반과 후반에서 상기 기준 전위에 대한 극성이 다르고,

상기 게이트 전극에 인가되는 상기 계조 전압 제어 신호의 펄스 폭은, 상기 1주사 기간의 전반 및 후반 중 어느 하나의 기간을 대상으로 생성되고,

상기 대상이 되는 기간은, 인접하는 상기 게이트 전극 간에서 다른 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치의 구동 방법.

**청구항 6**

제4항에 있어서,

상기 공통 전극에 인가되는 주사 라인 신호로서 2종류의 액티브 상태의 전위가 존재하고,

상기 2종류의 전위가 라인마다 교대로 인가되는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치의 구동 방법.

**청구항 7**

제4항에 있어서,

상기 계조 전압은, 램프 파형 및 해당 액정의 인가 전압-투과율 특성에 대응한 특성 커브를 갖는 파형 중 어느 하나인 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치의 구동 방법.

**청구항 8**

제4항에 있어서,

상기 계조 전압으로서, 상기 기준 전위로부터 플러스 극성, 마이너스 극성의 방향으로 변화하는 대칭적인 2종류의 파형이 존재하고,

상기 2종류의 파형은 1주사 기간마다 교대로 출력되고,

1프레임이 있는 상기 1주사 기간에 주목한 경우, 상기 1프레임마다 상기 2종류의 파형이 교대로 출력되고,

상기 1주사 기간의 처음과 끝의 기간에서는 전위가 일정한 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치의 구동 방법.

**청구항 9**

입력으로서, 표시 데이터, 표시 데이터에 동기한 신호, 1주사 기간에 동기한 신호, 및 표시 데이터의 유효 기간을 나타내는 신호를 수취하고, 상기 표시 데이터의 계조 정보를 펄스 폭 정보로 변환하여, 복수의 채널에 대해 출력하는 데이터 신호 구동 회로에 있어서,

1라인분의 표시 데이터를 받아들이는 래치 회로와,

상기 표시 데이터의 계조수에 따른 수의 이종의 펄스 폭 신호를 발생하는 데이터 펄스 생성 회로와,

상기 펄스 폭 신호의 기준 클럭을 발생하는 기준 클럭 생성 회로와,

계조수분의 상기 펄스 폭 신호군으로부터, 표시 데이터의 계조 정보에 따라, 1개의 펄스 폭 신호를 선택하여 출력하는 데이터 펄스 셀렉터와,

상기 데이터 펄스 셀렉터가 출력하는 상기 펄스 폭 신호인 ‘하이’와 ‘로우’의 전위를, 미리 정한 전위로 변환하고, 계조 전압 제어 신호로서 출력하는 출력 버퍼를 포함하는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치의 데이터 신호 구동 회로.

**청구항 10**

제9항에 있어서,

상기 데이터 펄스 셀렉터는 상기 래치 회로의 출력에 따라 홀수 또는 짝수 채널용의 펄스 폭 신호를 출력하는 것을 특징으로 하는 데이터 신호 구동 회로.

**청구항 11**

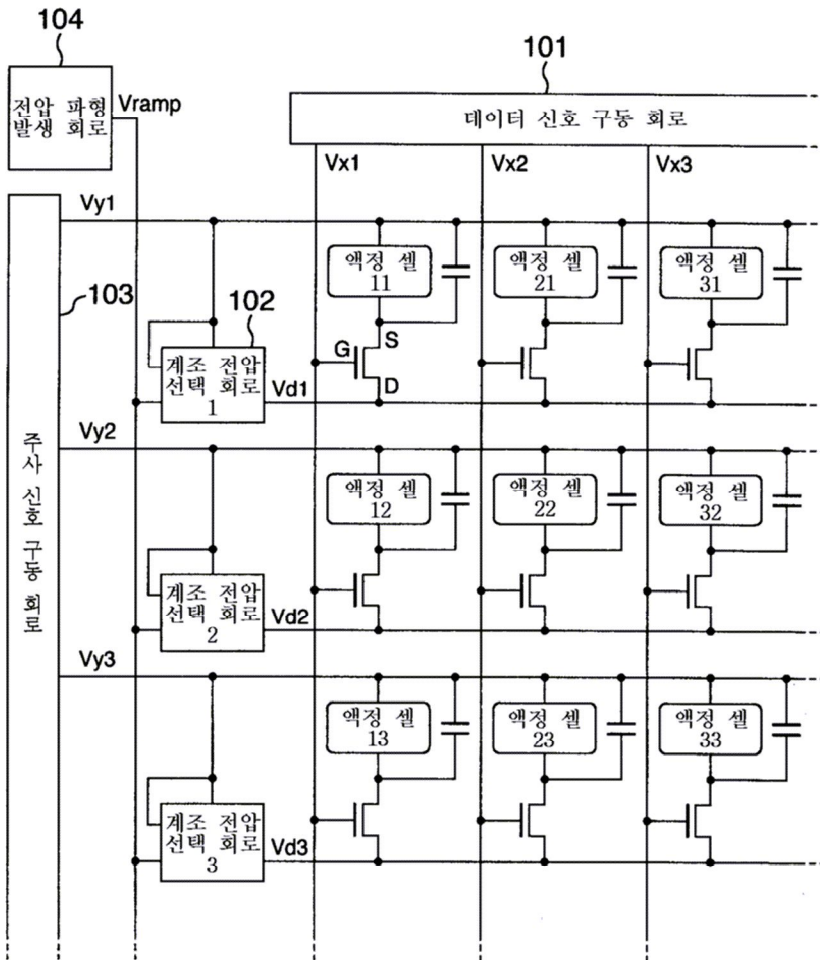
종횡 방향으로 행렬 배치된 복수의 화소와, 세로 방향의 화소 공통의 게이트 전극과, 가로 방향의 화소 공통의 드레인 전극 및 공통 전극을 포함하는 액정 표시 장치에 있어서,

각 화소를 1개의 MOS형 트랜지스터와 액정 셀을 포함하여 구성하고,

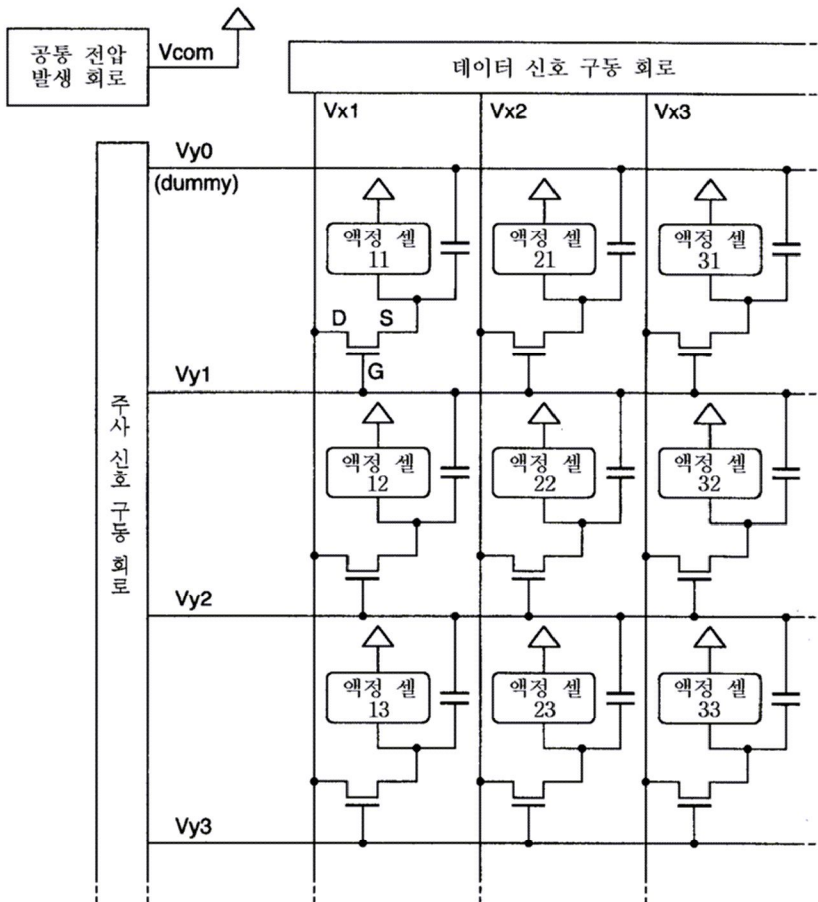
상기 각 MOS형 트랜지스터의 게이트는 상기 게이트 전극, 드레인은 상기 드레인 전극, 소스는 상기 액정 셀을 통해 대향측에 있는 상기 공통 전극에 각각 접속되어 있는 것을 특징으로 하는 액정 표시 장치.

**도면**

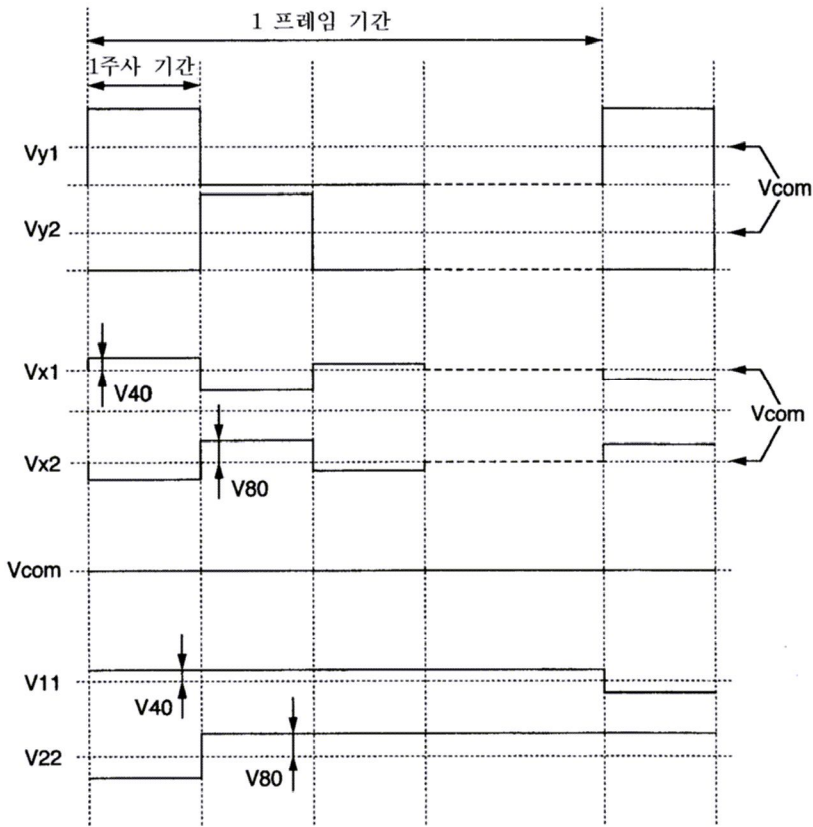
도면1



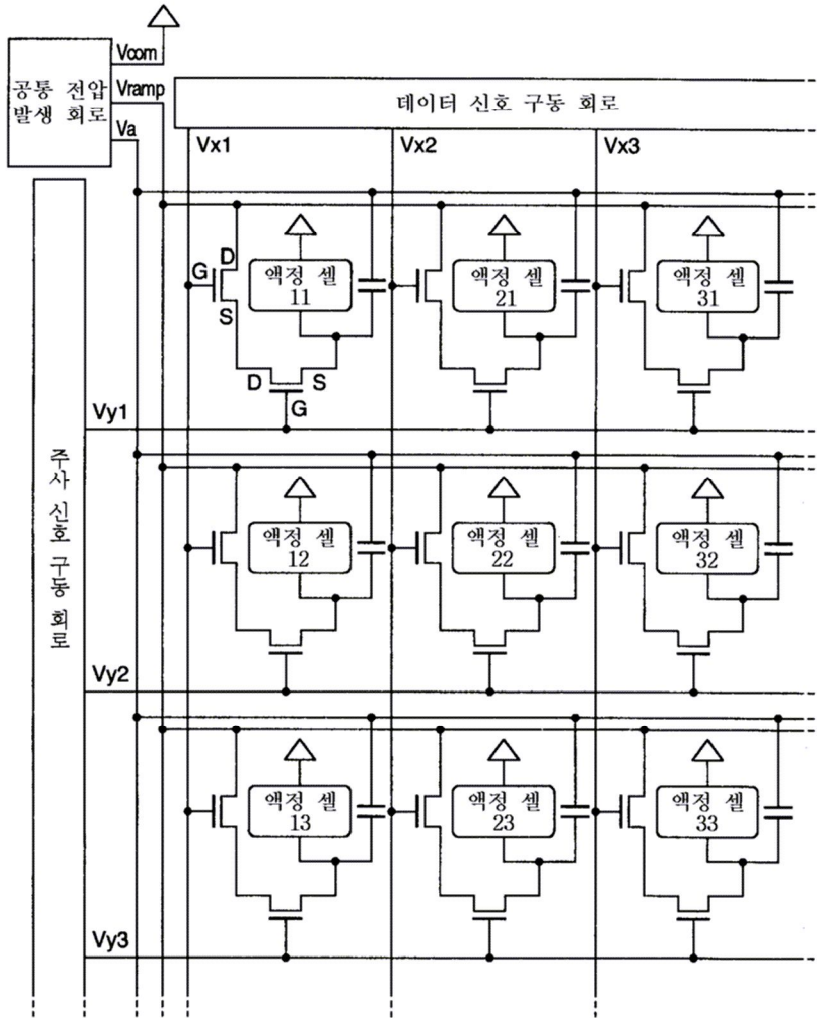
도면2



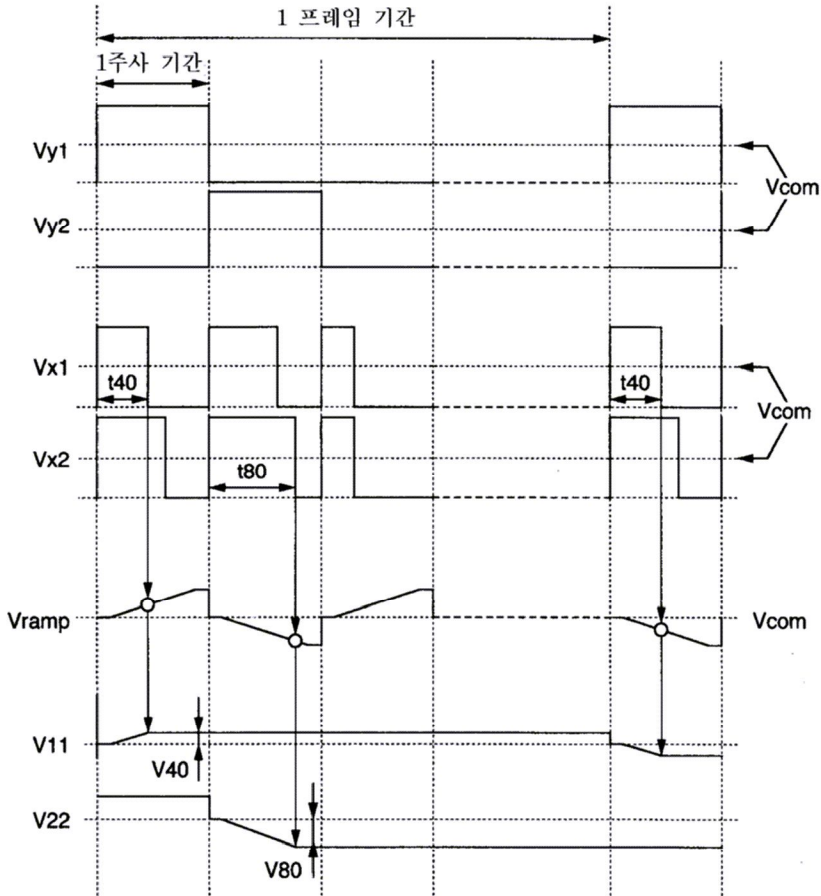
도면3



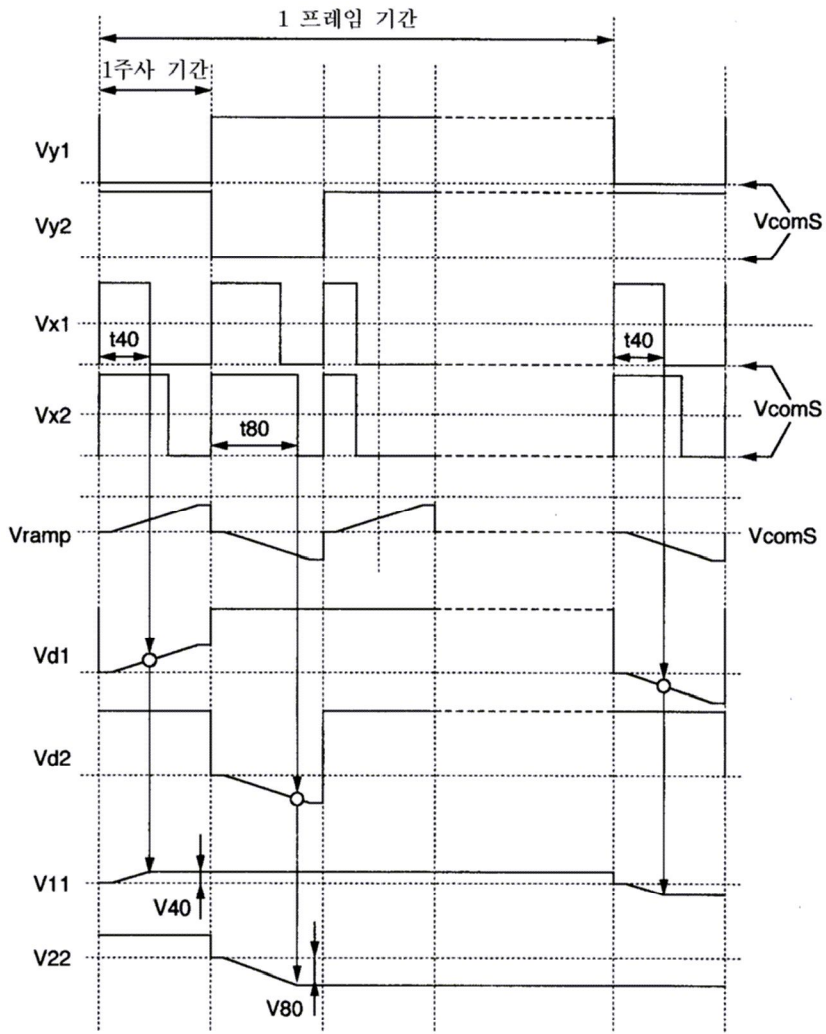
도면4



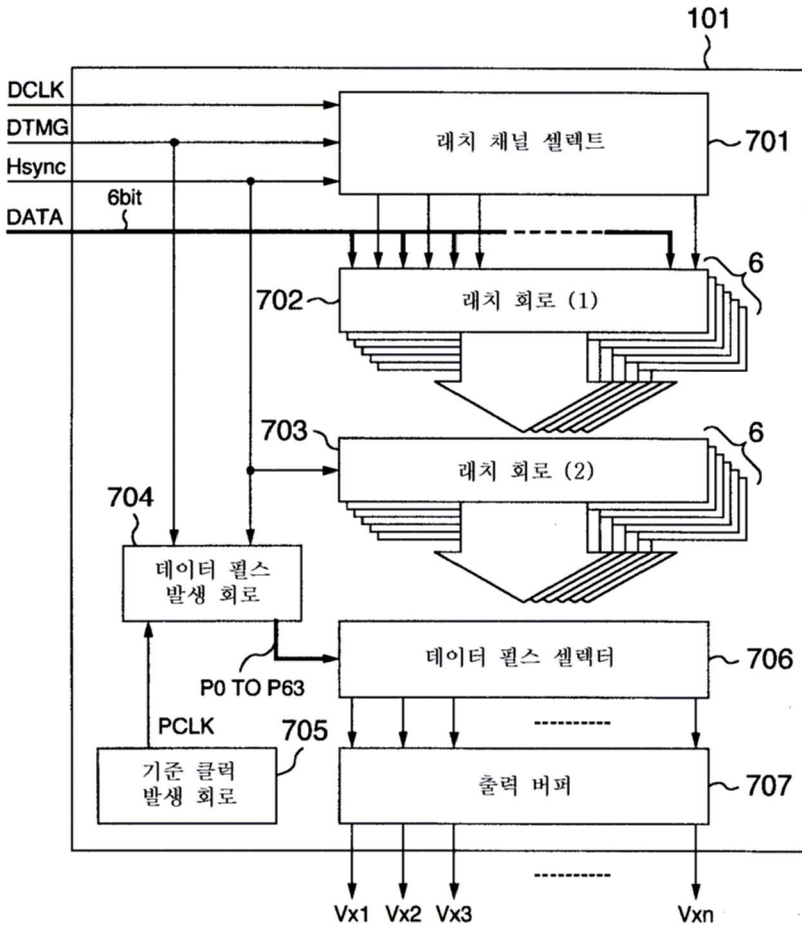
도면5



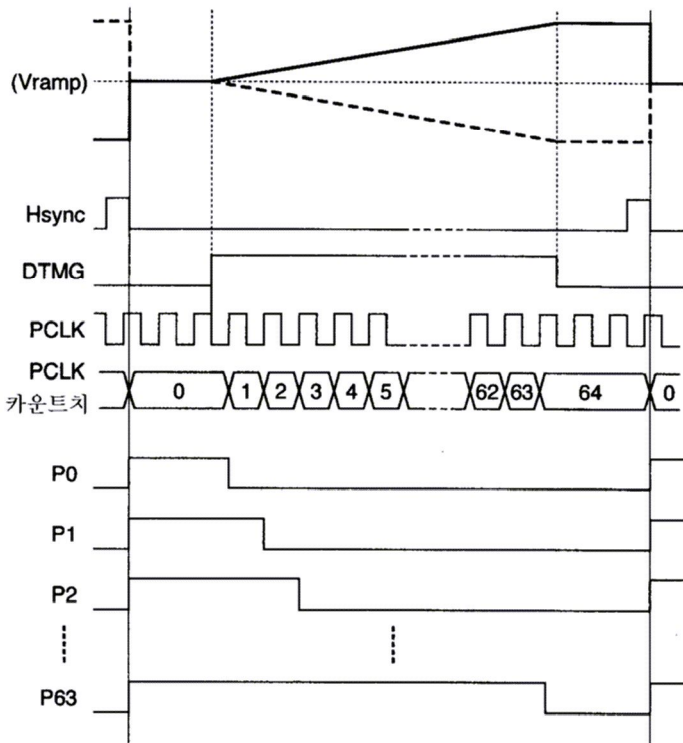
도면6



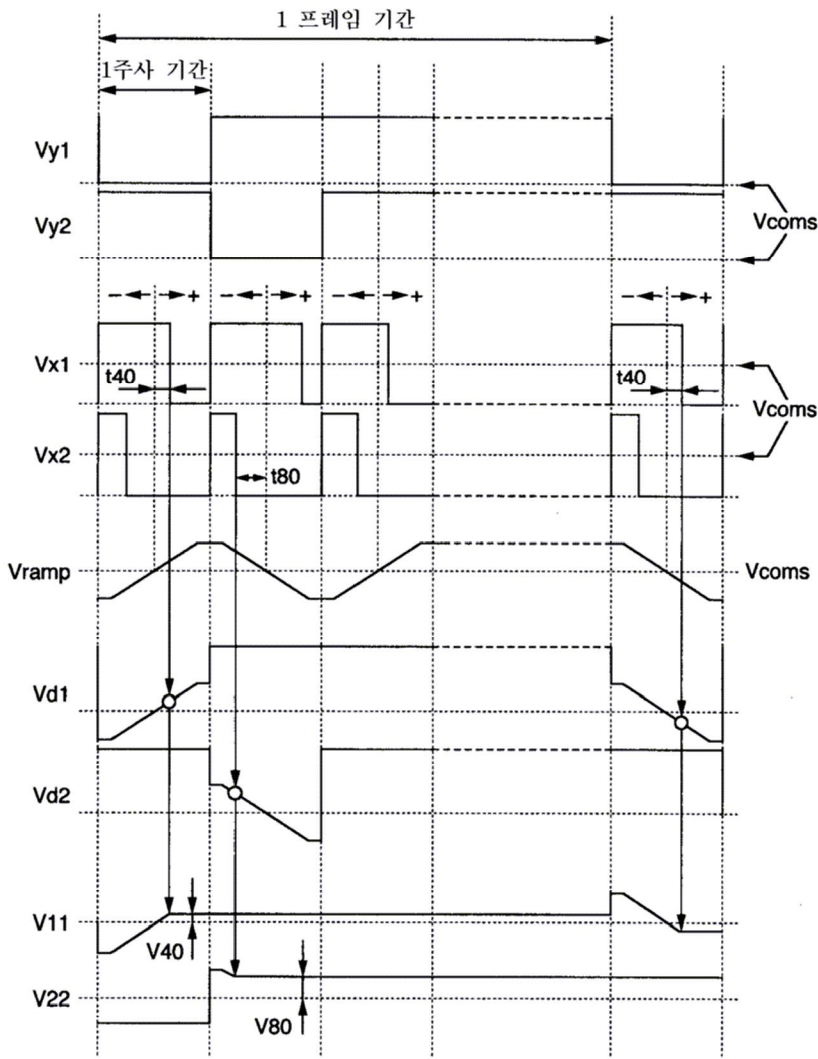
도면7



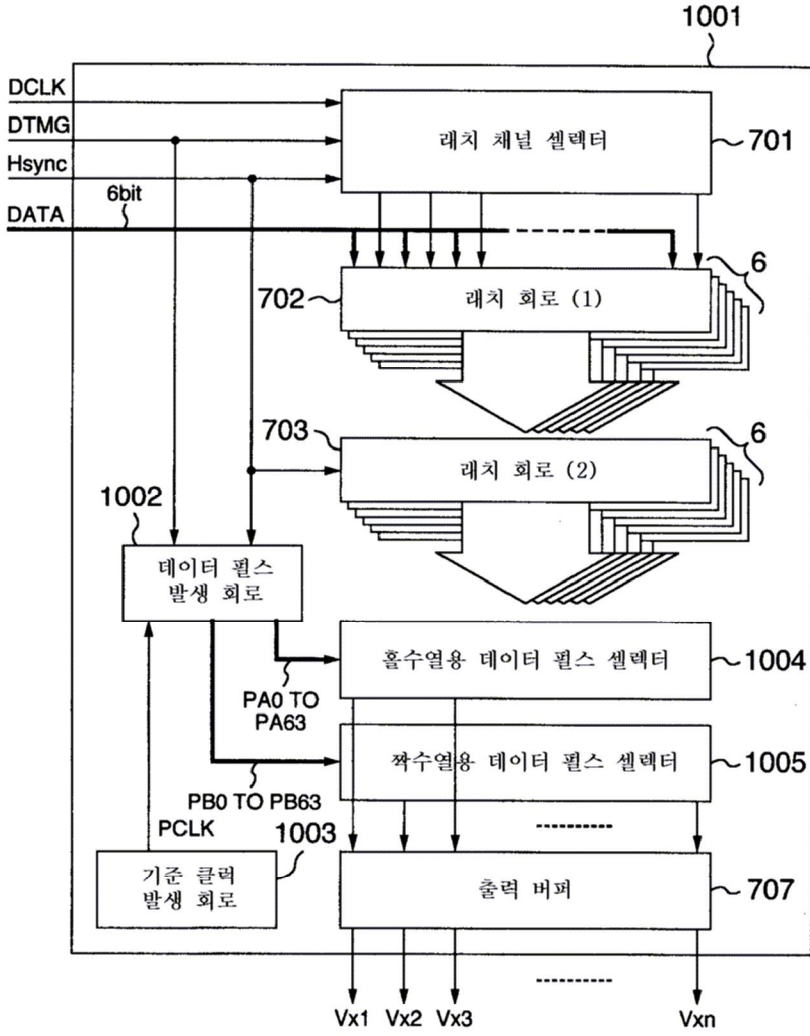
도면8



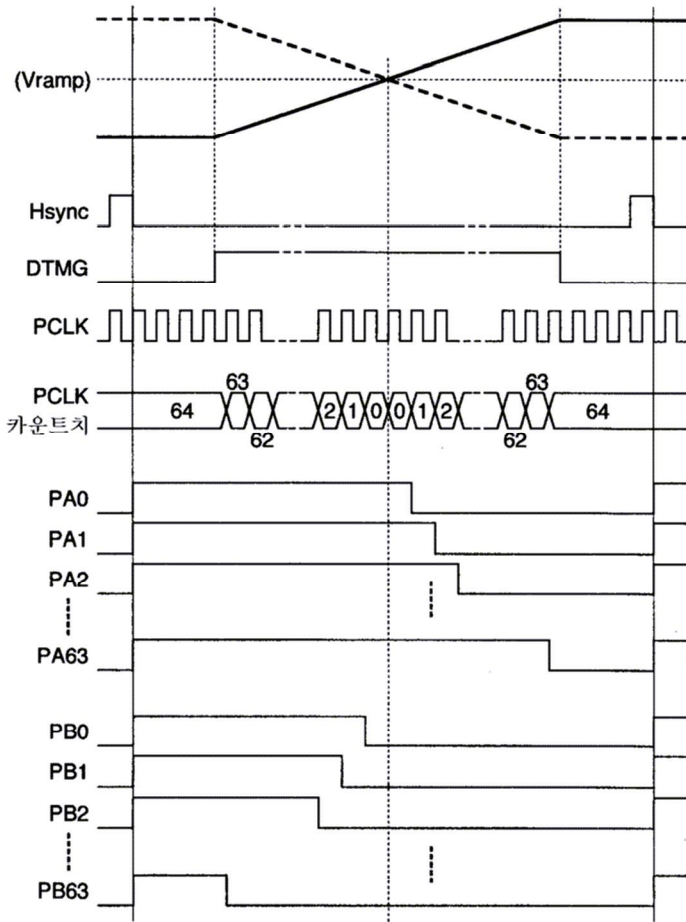
도면9



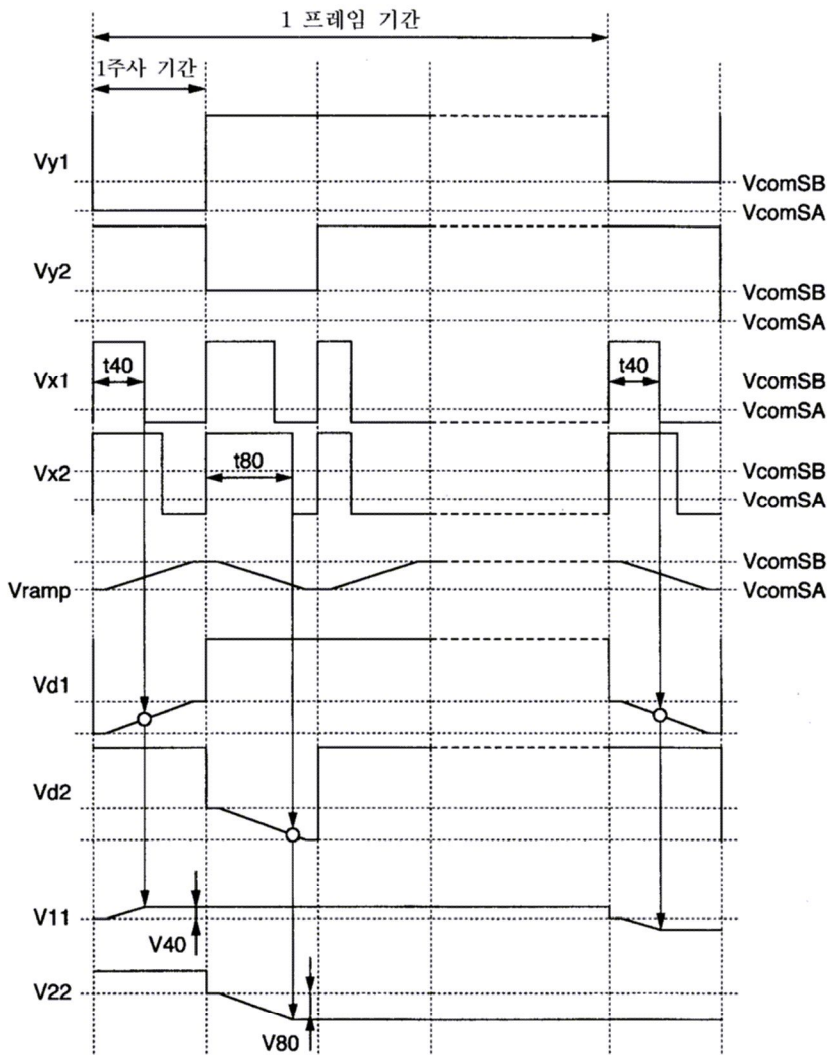
도면 10



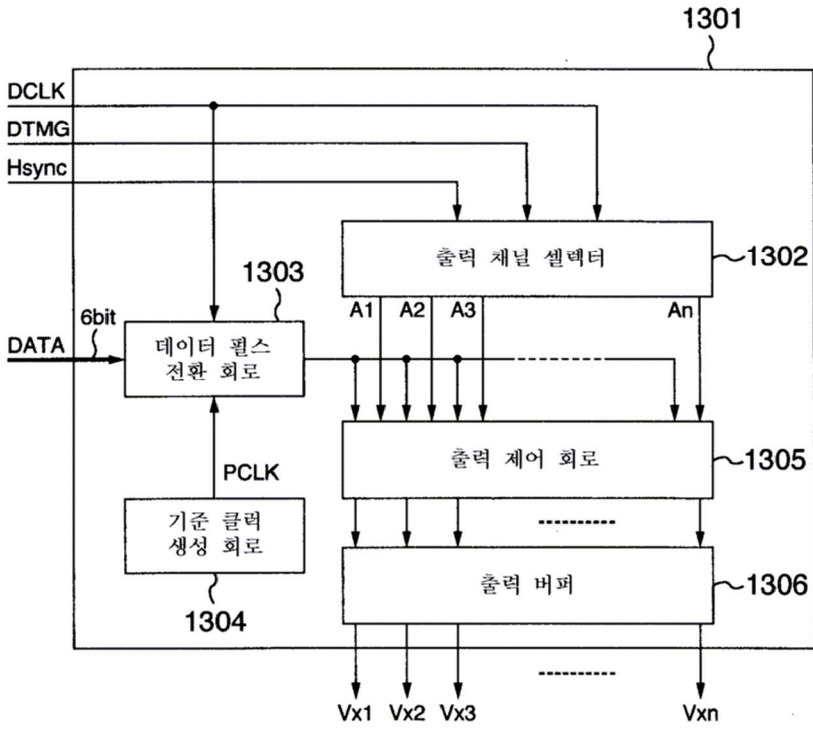
도면11



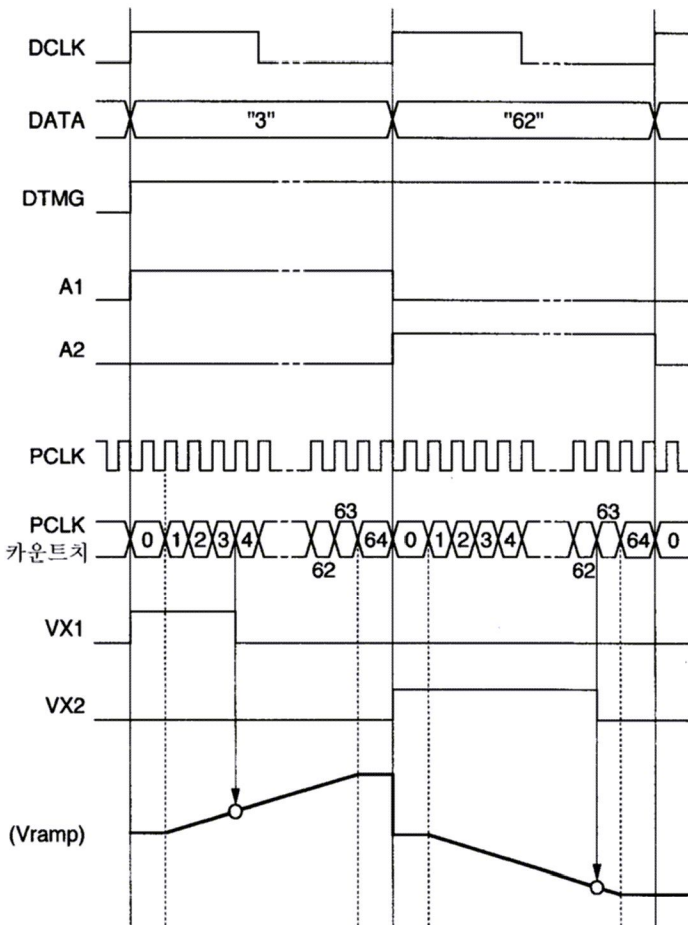
도면 12



도면13



도면14



|                |  |         |            |
|----------------|--|---------|------------|
| 专利名称(译)        | 液晶显示器及其驱动方法  |         |            |
| 公开(公告)号        | <a href="#">KR1020010030358A</a>   | 公开(公告)日 | 2001-04-16 |
| 申请号            | KR1020000053684  | 申请日     | 2000-09-09 |
| [标]申请(专利权)人(译) | 日立HITACHI SEISAKUSHODBA  |         |            |
| 申请(专利权)人(译)    | 株式会社日立制作所  |         |            |
| 当前申请(专利权)人(译)  | 株式会社日立制作所  |         |            |
| [标]发明人         | KUDO YASUYUKI<br>구도야스유키<br>FURUHASHI TSUTOMU<br>후루하시쯔토무<br>MIYAZAWA TOSHIO<br>미야자와도시오<br>MIKAMI YOSHIRO<br>미카미요시로<br>AKIMOTO HAJIME<br>아키토모하지메<br>MANBA NORIO<br>만바노리오 |         |            |
| 发明人            | 구도야스유키<br>후루하시쯔토무<br>미야자와도시오<br>미카미요시로<br>아키토모하지메<br>만바노리오   |         |            |
| IPC分类号         | G09G3/36 G02F1/133 G09G G09G3/20 G02F G02F1/136  |         |            |
| CPC分类号         | G09G2310/0259 G09G3/2014 G09G3/3655 G09G3/3688 G09G3/3648  |         |            |
| 代理人(译)         | CHANG, SOO KIL   |         |            |
| 优先权            | 1999259393 1999-09-13 JP   |         |            |
| 其他公开文献         | KR100405014B1  |         |            |
| 外部链接           | <a href="#">Espacenet</a>  |         |            |

#### 摘要(译)

外围电路分别授权显示像素部分，公共电极，栅电极，漏电极的预定信号，该电极包括多个像素，该多个像素包括在公共电极中并排成行的多线的漏电极。其中有源矩阵液晶显示器相互交叉连接的多线和栅电极和公共电极，包括多线和栅电极的公共电极和液晶盒的每个交叉点的3端子的开关元件。每个开关元件的第一端子连接到漏电极。每个开关元件的第二端子连接到其中相对侧的液晶单元连接到公共电极。每个开关元件的第三齿轮人连接到栅电极。如果它由特定的调节值组成，其中它具有每个开关元件在栅电极和公共电极中授权的电压的电位差，由此它由导通状态组成。施加在漏电极和公共电极中的电压的电位差施加在开关元件的导通状态的液晶单元上。在开关元件的导通状态的最后状态中施加的电位差保持到接下来的状态。液晶显示器，公共电极，栅极，像素，液晶盒，开关元件，漏极电极。

