



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년05월03일

(11) 등록번호 10-1617215

(24) 등록일자 2016년04월26일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

G09G 3/20 (2006.01) G11C 19/00 (2006.01)

(21) 출원번호 10-2007-0068213

(22) 출원일자 2007년07월06일

심사청구일자 2012년07월02일

(65) 공개번호 10-2009-0004201

(43) 공개일자 2009년01월12일

(56) 선행기술조사문헌

JP2001100710 A*

KR1020060061876 A*

WO2005001594 A2*

KR1020060104814 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

이봉준

서울특별시 종로구 삼청로2길 29-1, 지층 (소격동)

박도현

충청남도 천안시 서북구 봉정로 365, 대우1차아파트 105동 902호 (두정동)

이계현

충청남도 천안시 서북구 불당1로 82, 608동 302호 (불당동, 대원칸타빌)

(74) 대리인

특허법인가산

전체 청구항 수 : 총 9 항

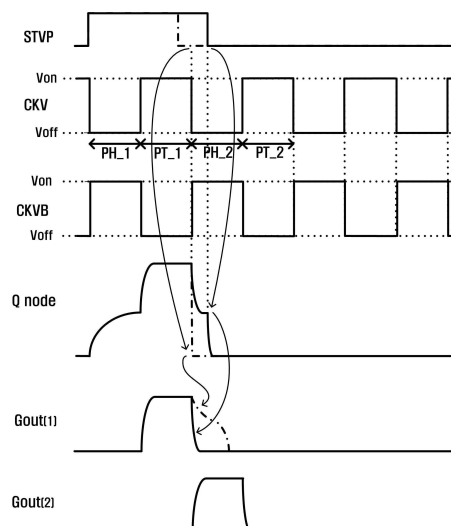
심사관 : 추장희

(54) 발명의 명칭 액정 표시 장치 및 그의 구동 방법

(57) 요약

액정 표시 장치 및 그의 구동 방법이 제공된다. 액정 표시 장치는, 제1 스캔 개시 신호, 클럭 신호 및 클럭 신호와 역위상을 갖는 클럭바 신호를 제공하는 신호 제공부로서, 클럭 신호는 제1 레벨로 유지되는 유지 구간과, 제1 레벨에서 제2 레벨로 천이하고 제2 레벨에서 제1 레벨로 천이하는 제1 천이 구간을 포함할 때, 제1 천이 구간동안 제1 스캔 개시 신호가 제1 레벨로 유지되는 신호 제공부와, 제1 스캔 개시 신호에 인에이블되어 클럭 신호 및 클럭바 신호를 이용하여 다수의 게이트 신호를 순차적으로 제공하는 게이트 구동부 및 다수의 게이트 신호가 인가되는 다수의 게이트 라인 및 영상 데이터 전압이 인가되는 다수의 데이터 라인을 포함하여 영상을 표시하는 액정 패널을 포함한다.

대표도 - 도7



명세서

청구범위

청구항 1

제1 스캔 개시 신호, 클럭 신호 및 상기 클럭 신호와 역위상을 갖는 클럭바 신호를 제공하는 신호 제공부로서, 상기 클럭 신호는 로우 레벨로 유지되는 제1 유지 구간과, 상기 로우 레벨에서 하이 레벨로 천이하고, 다시 상기 하이 레벨에서 상기 로우 레벨로 천이하기까지의 제1 천이 구간, 상기 제1 천이 구간 이후 상기 로우 레벨로 유지되는 제2 유지 구간 및 상기 제2 유지 구간 이후 상기 로우 레벨에서 상기 하이 레벨로 천이하고, 다시 상기 하이 레벨에서 상기 로우 레벨로 천이하기까지의 제2 천이 구간을 포함하는 신호 제공부;

상기 제1 스캔 개시 신호에 인에이블되어 상기 클럭 신호 및 상기 클럭바 신호를 이용하여 다수의 게이트 신호를 순차적으로 제공하는 게이트 구동부; 및

상기 다수의 게이트 신호가 인가되는 다수의 게이트 라인 및 영상 데이터 전압이 인가되는 다수의 데이터 라인을 포함하여 영상을 표시하는 액정 패널을 포함하되,

상기 제1 스캔 개시 신호는 상기 제1 천이 구간 동안 하이 레벨로 유지되고, 상기 제1 천이 구간과 상기 제2 천이 구간의 사이에 위치하는 상기 제2 유지 구간 중에 상기 하이 레벨에서 로우 레벨로 천이하는 액정 표시 장치.

청구항 2

삭제

청구항 3

제 1항에 있어서,

상기 제1 천이 구간의 상기 클럭 신호가 상기 다수의 게이트 라인 중 첫번째 게이트 라인의 게이트 신호로 출력되는 액정 표시 장치.

청구항 4

제 1항에 있어서,

상기 게이트 구동부는 상기 각 게이트 신호를 출력하는 다수의 스테이지를 포함하고, 상기 각 스테이지는 상기 액정 패널 상에 형성된 적어도 하나의 비정질 실리콘 박막 트랜지스터(a-Si TFT)를 포함하고,

상기 다수의 스테이지중 제1 스테이지로서, 상기 다수의 게이트 라인중 첫번째 게이트 라인에 상기 게이트 신호를 제공하는 제1 스테이지는,

상기 제1 스캔 개시 신호를 제공받아 전하를 충전하는 충전부와,

상기 충전부가 제1 충전 레벨로 충전되면 인에이블되어 상기 클럭 신호를 상기 게이트 신호로 출력하고, 상기 충전부가 제2 충전 레벨로 충전되면 디스에이블되는 풀업부와,

상기 게이트 신호를 홀드하는 홀딩부로서, 상기 클럭바 신호에 인에이블되어 상기 제1 스캔 개시 신호를 상기 충전부에 제공하는 홀딩부를 포함하는 액정 표시 장치.

청구항 5

삭제

청구항 6

제 4항에 있어서,

상기 충전부는 상기 하이 레벨의 제1 스캔 개시 신호를 제공받아 상기 제1 충전 레벨로 충전되고,

상기 풀업부는 상기 제1 천이 구간의 상기 클럭 신호를 상기 게이트 신호로 출력하고,

상기 홀딩부는 상기 클럭 신호가 상기 하이 레벨에서 상기 로우 레벨로 천이한 후에 상기 하이 레벨에서 상기 로우 레벨로 천이하는 상기 제1 스캔 개시 신호를 상기 충전부에 제공하고,

상기 충전부는 상기 로우 레벨의 제1 스캔 개시 신호를 제공받아 상기 제2 충전 레벨로 충전되고,

상기 풀업부가 디스에이블되는 액정 표시 장치.

청구항 7

제 4항에 있어서,

상기 다수의 스테이지중 제1 스테이지로서, 상기 다수의 게이트 라인중 첫번째 게이트 라인에 상기 게이트 신호를 제공하는 제1 스테이지는,

상기 제1 스캔 개시 신호를 제공받아 전하를 충전하는 커패시터와,

상기 커패시터의 일단과 연결된 게이트와, 상기 커패시터의 다단에 연결된 드레인과, 상기 클럭 신호가 인가되는 소스를 포함하는 풀업 트랜지스터로서, 상기 커패시터가 상기 제1 충전 레벨로 충전되면 인에이블되어 상기 클럭 신호를 상기 게이트 신호로 출력하고, 상기 충전부가 제2 충전 레벨로 충전되면 디스에이블되는 제1 트랜지스터와,

다음 스테이지의 상기 게이트 신호에 인에이블되어 상기 커패시터의 타단을 풀다운하는 제2 트랜지스터를 포함하되,

상기 다음 스테이지의 상기 게이트 신호에 인에이블되어 상기 커패시터의 일단을 풀다운하는 트랜지스터를 포함하지 않는 액정 표시 장치.

청구항 8

제 1항에 있어서, 상기 신호 제공부는

상기 제1 스캔 개시 신호 및 클럭생성 제어신호를 제공하는 타이밍 컨트롤러와,

상기 클럭생성 제어신호를 이용하여 상기 클럭 신호 및 상기 클럭바 신호를 생성하는 클럭 생성부를 포함하는 액정 표시 장치.

청구항 9

제 8항에 있어서,

상기 클럭 신호 및 상기 클럭바 신호는 상기 클럭생성 제어신호의 라이징 에지마다 토글하는 액정 표시 장치.

청구항 10

제 1항에 있어서, 상기 신호 제공부는

제2 스캔 개시 신호를 제공하는 타이밍 컨트롤러와,

상기 제2 스캔 개시 신호의 펄스 폭을 조절하여 상기 제1 스캔 개시 신호를 생성하는 클럭 생성부를 포함하고,

상기 클럭 생성부는 상기 제2 스캔 개시 신호를 제공받아 상기 제1 천이 구간동안 상기 하이 레벨로 유지되는 상기 제1 스캔 개시 신호를 출력하는 펄스 폭 변조부를 포함하는 액정 표시 장치.

청구항 11

삭제

청구항 12

제 1항에 있어서,

상기 클럭 신호 및 상기 클럭바 신호는 게이트 온 전압과 게이트 오프 전압을 스위칭하는 신호인 액정 표시 장치.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 타이밍 액정 표시 장치 및 그의 구동 방법에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 게이트 구동 IC를 TCP(tape carrier package) 또는 COG(chip on the glass) 등의 방법으로 실장하였으나, 제조 원가 또는 제품의 크기, 설계적인 측면에서 다른 방법이 모색되고 있다. 즉, 게이트 구동 IC를 채택하지 않고, 비정질-실리콘 박막 트랜지스터(amorphous silicon Thin Film Transistor, 이하 'a-Si TFT'라 함)를 이용하여 게이트 신호를 발생시키는 게이트 구동부를 유리 기판에 실장하고 있다.

[0003] 이러한 게이트 구동부를 포함하는 액정 표시 장치의 표시 품질을 향상시키기 위한 노력이 시도되고 있다.

발명의 내용

해결 하고자하는 과제

[0004] 본 발명이 이루고자 하는 기술적 과제는 표시 품질을 향상시킬 수 있는 액정 표시 장치를 제공하는 것이다.

[0005] 본 발명이 이루고자 하는 다른 기술적 과제는 표시 품질을 향상시킬 수 있는 액정 표시 장치 및 그의 구동 방법을 제공하는 것이다.

[0006] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

[0007] 상기 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따른 액정 표시 장치는, 제1 스캔 개시 신호, 클럭 신

호 및 상기 클럭 신호와 역위상을 갖는 클럭바 신호를 제공하는 신호 제공부로서, 상기 클럭 신호는 제1 레벨로 유지되는 유지 구간과, 상기 제1 레벨에서 제2 레벨로 천이하고 상기 제2 레벨에서 상기 제1 레벨로 천이하는 제1 천이 구간을 포함할 때, 상기 제1 천이 구간동안 상기 제1 스캔 개시 신호가 제1 레벨로 유지되는 신호 제공부와, 상기 제1 스캔 개시 신호에 인에이블되어 상기 클럭 신호 및 상기 클럭바 신호를 이용하여 다수의 게이트 신호를 순차적으로 제공하는 게이트 구동부 및 상기 다수의 게이트 신호가 인가되는 다수의 게이트 라인 및 영상 데이터 전압이 인가되는 다수의 데이터 라인을 포함하여 영상을 표시하는 액정 패널을 포함한다.

[0008] 상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 태양에 따른 액정 표시 장치의 구동 방법은, 스캔 개시 신호, 클럭 신호 및 상기 클럭 신호와 역위상을 갖는 클럭바 신호를 게이트 구동부로 제공하되, 상기 클럭 신호는 제1 레벨로 유지되는 유지 구간과, 상기 제1 레벨에서 제2 레벨로 천이하고 상기 제2 레벨에서 상기 제1 레벨로 천이하는 제1 천이 구간을 포함할 때, 상기 제1 천이 구간동안 상기 스캔 개시 신호가 제1 레벨로 유지되고, 상기 스캔 개시 신호에 인에이블되어 상기 클럭 신호 및 상기 클럭바 신호를 이용하여 게이트 신호를 생성하여 액정 패널로 제공하고, 상기 게이트 신호를 제공받아 온/오프되어 영상을 표시하는 것을 포함한다.

[0009] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

효 과

[0010] 상술한 바와 같은 본 발명에 실시예들에 따른 액정 표시 장치 및 그의 구동 방법에 의하면, 표시 품질을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0011] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한 청구항에 기재된 "제1 레벨" 및 "제2 레벨"은 논리 레벨로서, 각각 로우 레벨 및 하이 레벨(또는 각각 하이 레벨 및 로우 레벨)일 수 있으며, 이하에서는 "제1 레벨"은 로우 레벨이고 "제2 레벨"은 하이 레벨인 경우를 예로 들어 설명한다. 또한 서로 다른 두 신호가 모두 제1 레벨(또는 제2 레벨)인 경우, 두 신호의 논리 레벨(하이 레벨 또는 로우 레벨)이 동일하지만, 두 신호의 전압 레벨 즉, 아날로그 값은 다를 수 있다.

[0012] 도 1 내지 도 7을 참조하여 본 발명의 실시예들에 따른 액정 표시 장치 및 그의 구동 방법을 설명한다. 도 1은 본 발명의 실시예들에 따른 액정 표시 장치 및 그의 구동 방법을 설명하기 위한 블록도이고, 도 2는 도 1의 한 화소의 등가 회로도이고, 도 3은 도 1의 게이트 구동부를 설명하기 위한 예시적인 블록도이고, 도 4는 도 3의 제j 스테이지의 예시적인 회로도이고, 도 5는 제j 스테이지의 동작을 설명하기 위한 신호도이고, 도 6은 제1 스테이지의 예시적인 회로도이고, 도 7은 제1 스테이지의 동작을 설명하기 위한 신호도이다.

[0013] 먼저 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치(10)는 액정 패널(300), 신호 제공부, 게이트 구동부(400) 및 데이터 구동부(700)를 포함한다. 신호 제공부는 타이밍 컨트롤러(500)와 클럭 생성부(600)를 포함한다.

[0014] 액정 패널(300)은 영상이 표시되는 표시부(DA)와 영상이 표시되지 않는 비표시부(PA)로 구분된다.

[0015] 표시부(DA)는 다수의 게이트 라인(G1~Gn), 다수의 데이터 라인(D1~Dm), 스위칭 소자(미도시) 및 화소 전극(미도시)이 형성된 제1 기판(미도시)과, 컬러 필터(미도시)와 공통 전극(미도시)이 형성된 제2 기판(미도시), 제1 기판(미도시)과 제2 기판(미도시) 사이에 개재된 액정층(미도시)을 포함하여 영상을 표시한다. 게이트 라인(G1~Gn)은 대략 행 방향으로 연장되어 서로가 거의 평행하고, 데이터 라인(D1~Dm)은 대략 열 방향으로 연장되어 서로가 거의 평행하다.

[0016] 도 2를 참조하여 도 1의 한 화소에 대해 설명하면, 제1 기판(100)의 화소 전극(PE)과 대향하도록 제2 기판(200)의 공통 전극(CE)의 일부 영역에 색필터(CF)가 형성될 수 있다. 예를 들어, i번째(i=1~n) 게이트 라인(Gi)과 j번째(j=1~m) 데이터 라인(Dj)에 연결된 화소(PX)는 신호선(Gi, Dj)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 커패시터(liquid crystal capacitor, Clc) 및 유지 커패시터(storage capacitor, Cst)를 포함한다. 유지 커패시터(Cst)는 필요에 따라 생략될 수 있다. 스위칭 소자(Q)는 a-Si(amorphous - silicon)으로 이루어진 박막

트랜지스터(Thin Film Transistor, 이하 'a-Si TFT'라 함)이다.

- [0017] 비표시부(PA)는 제1 기판(도 2의 100 참조)이 제2 기판(도 2의 200 참조)보다 더 넓게 형성되어 영상이 표시되지 않는 부분을 의미한다.
- [0018] 신호 제공부는 타이밍 컨트롤러(500)와 클럭 생성부(600)를 포함하여, 외부의 그래픽 제어기(미도시)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신하고, 영상 신호(DAT), 데이터 제어 신호(CONT)를 데이터 구동부(700)에 제공한다. 좀더 구체적으로 설명하면, 타이밍 컨트롤러(500)는 수평 동기 신호(Hsync), 메인 클럭 신호(Mclk), 데이터 인에이블 신호(DE) 등의 입력 제어 신호를 입력받아 데이터 제어 신호(CONT)를 출력한다. 여기서 데이터 제어 신호(CONT)는 데이터 구동부(700)의 동작을 제어하는 신호로써, 데이터 구동부(700)의 동작을 개시하는 수평 개시 신호, 두 개의 데이터 전압의 출력을 지시하는 로드 신호 등을 포함한다.
- [0019] 이에 따라 데이터 구동부(700)는 영상 신호(DAT), 데이터 제어 신호(CONT)를 제공받아, 영상 신호(DAT)에 대응하는 영상 데이터 전압을 각 데이터 라인(D1~Dm)에 제공한다. 데이터 구동부(700)는 IC로써 테이프 캐리어 패키지(Tape Carrier Package, TCP)형태로 액정 패널(300)과 연결될 수 있으며, 이에 한정되지 않고, 액정 패널(300)의 비표시부(PA) 상에 형성될 수도 있다.
- [0020] 또한 신호 제공부는 외부의 그래픽 제어기(미도시)로부터 수직 동기 신호(Vsync) 및 메인 클럭 신호(Mclk)를 제공받고, 전압 생성부(미도시)로부터 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)을 제공받고, 제1 스캔 개시 신호(STVP), 클럭 신호(CKV), 클럭바 신호(CKVB) 및 게이트 오프 전압(Voff)을 게이트 구동부(400)에 제공한다. 좀더 구체적으로 설명하면, 타이밍 컨트롤러(500)가 제2 스캔 개시 신호(STV), 제1 클럭생성 제어신호(OE) 및 제2 클럭생성 제어신호(CPV)를 제공한다. 클럭 생성부(600)는 제2 스캔 개시 신호(STV)를 제공받아 제1 스캔 개시 신호(STVP)를 출력하고, 제1 클럭생성 제어신호(OE) 및 제2 클럭생성 제어신호(CPV)를 입력받아 클럭 신호(CKV) 및 클럭바 신호(CKVB)를 출력한다. 여기서 클럭 신호(CKV)는 클럭바 신호(CKVB)와 역위상인 신호이다. 클럭 생성부(600)에 대한 상세한 설명은 구체적인 실시예들을 통해 후술된다.
- [0021] 게이트 구동부(400)는 제1 스캔 개시 신호(STVP)에 인에이블되어 클럭 신호(CKV), 클럭바 신호(CKVB) 및 게이트 오프 전압(Voff)을 이용하여 다수의 게이트 신호들을 생성하고, 각 게이트 라인(G1~Gn)에 각 게이트 신호를 순차적으로 제공한다. 이러한 게이트 구동부(400)를 도 3을 참조하여 좀더 구체적으로 설명한다.
- [0022] 도 3을 참조하면 게이트 구동부(400)는 다수의 스테이지(ST₁, ~ST_{n+1})를 포함하는데, 각 스테이지(ST₁, ~ST_{n+1})는 캐스케이드(cascade)로 연결되어 있으며, 마지막 스테이지(ST_{n+1})를 제외한 각 스테이지(ST₁, ~ST_n)는 게이트 라인(G1~Gn)과 일대일로 연결되어 각각 게이트 신호(Gout₁~Gout_n)를 출력한다. 각 스테이지(ST₁, ~ST_{n+1})에는 게이트 오프 전압(Voff), 클럭 신호(CKV), 클럭바 신호(CKVB) 및 초기화 신호(INT)가 입력된다. 여기서 초기화 신호(INT)는 클럭 생성부(600)로부터 제공될 수 있다.
- [0023] 각 스테이지(ST₁~ST_{n+1})는 제1 클럭 단자(CK1), 제2 클럭 단자(CK2), 셋 단자(S), 리셋 단자(R), 전원 전압 단자(GV), 프레임 리셋 단자(FR), 게이트 출력 단자(OUT1) 및 캐리 출력 단자(OUT2)를 가지고 있을 수 있다.
- [0024] 예를 들어 j번째(j ≠ 1) 게이트 라인과 연결된 제j 스테이지(ST_j)의 셋 단자(S)에는 전단 스테이지(ST_{j-1})의 캐리 신호(Cout_(j-1))가, 리셋 단자(R)에는 후단 스테이지(ST_{j+1})의 게이트 신호(Gout_(j+1))가 입력되고, 제1 클럭 단자(CK1) 및 제2 클럭 단자(CK2)에는 각각 클럭 신호(CKV) 및 클럭바 신호(CKVB)가 입력되며, 전원 전압 단자(GV)에는 게이트 오프 전압(Voff)이 입력되며, 프레임 리셋 단자(FR)에는 초기화 신호(INT) 또는 마지막 스테이지(ST_{n+1})의 캐리 신호(Cout_(n+1))가 입력된다. 게이트 출력 단자(OUT1)는 게이트 신호(Gout_(j))를 출력하고, 캐리 출력 단자(OUT2)는 캐리 신호(Cout_(j))를 출력한다.
- [0025] 단, 첫 번째 스테이지(ST₁)에는 전단 캐리 신호 대신 제1 스캔 개시 신호(STVP)가 입력되며, 마지막 스테이지(ST_{n+1})에는 후단 게이트 신호 대신 제1 스캔 개시 신호(STVP)가 입력된다.
- [0026] 여기서 도 4 및 도 5를 참조하여 도 3의 제j 스테이지(ST_j)에 대하여 좀더 상세히 설명한다.
- [0027] 도 4를 참조하면, 제j 스테이지(ST_j)는 버퍼부(410), 충전부(420), 풀업부(430), 캐리 신호 발생부(470), 풀다운부(440), 방전부(450) 및 홀딩부(460)를 포함할 수 있다. 이러한 제j 스테이지(ST_j)에 도 5에 도시된 전단 캐

리 신호($Cout_{(j-1)}$), 클럭 신호(CKV) 및 클럭바 신호(CKVB)가 제공된다. 클럭 신호(CKV)는 로우 레벨로 유지되는 유지 구간(PH_1, PH_2)과, 로우 레벨에서 하이 레벨로 천이한 후, 다시 하이 레벨에서 로우 레벨로 천이하기까지의 천이 구간(PT_1, PT_2)을 포함한다. 즉, 천이 구간(PT_1, PT_2)은 라이징 에지부터 폴링 에지까지의 구간을 의미한다.

- [0028] 먼저, 버퍼부(410)는 다이오드 연결된(diode-connected) 트랜지스터(T4)를 포함한다. 동작을 설명하면, 버퍼부(410)는 셋 단자(S)를 통해 입력된 전단 캐리 신호($Cout_{(j-1)}$)를 충전부(420), 캐리 신호 발생부(470) 및 풀업부(430)에 제공한다.
- [0029] 충전부(420)는 일단이 트랜지스터(T4)의 소스, 풀업부(430) 및 방전부(450)에 연결되고, 타단이 게이트 출력 단자(OUT1)에 연결된 캐패시터(C1)로 이루어진다.
- [0030] 풀업부(430)는 트랜지스터(T1)를 포함하는데, 트랜지스터(T1)의 드레인이 제1 클럭 단자(CK1)에 연결되고, 게이트가 충전부(420)에 연결되며, 소스가 게이트 출력 단자(OUT1)에 연결된다.
- [0031] 캐리 신호 발생부(470)는 드레인이 제1 클럭 단자(CK1)에 연결되고, 소스가 캐리 출력 단자(OUT2)에 연결되고, 게이트가 버퍼부(410)와 연결되어 있는 트랜지스터(T15)와, 트랜지스터(T15)의 게이트와 소스에 연결된 커패시터(C2)를 포함한다.
- [0032] 풀다운부(440)는 드레인이 트랜지스터(T1)의 소스 및 캐패시터(C1)의 타단에 연결되고, 소스가 전원 전압 단자(GV)에 연결되고, 게이트가 리셋 단자(R)에 연결된 트랜지스터(T2)를 포함한다.
- [0033] 방전부(450)는, 게이트가 리셋 단자(R)에 연결되고 드레인이 캐패시터(C1)의 일단에 연결되고 소스가 전원 전압 단자(GV)에 연결되어, 다음 스테이지(ST_{j+1})의 게이트 신호($Gout_{(j+1)}$)에 응답하여 충전부(420)를 방전시키는 트랜지스터(T9)와, 게이트가 프레임 리셋 단자(FR)에 연결되고 드레인이 캐패시터(C3)의 일단에 연결되고 소스가 전원 전압 단자(GV)에 연결되어, 초기화 신호(INT)에 응답하여 충전부(420)를 방전시키는 트랜지스터(T6)를 포함한다.
- [0034] 홀딩부(460)는 다수의 트랜지스터들(T3, T5, T7, T8, T10, T11, T12, T13)을 포함하여, 게이트 신호($Gout_{(j)}$)가 로우 레벨에서 하이 레벨로 변환되면 하이 레벨 상태를 유지시키고, 게이트 신호($Gout_{(j)}$)가 하이 레벨에서 로우 레벨로 변환된 후에는 클럭 신호(CKV) 및 클럭바 신호(CKVB)의 전압 레벨에 관계없이 한 프레임 동안 게이트 신호($Gout_{(j)}$)를 로우 레벨로 유지시키는 동작을 수행한다.
- [0035] 도 4 및 도 5를 참조하여 상술한 각 유닛들의 동작을 상세히 설명한다.
- [0036] 먼저 게이트 신호($Gout_{(j)}$)가 게이트 오프 전압에서 게이트 온 전압으로 변환되는 과정을 설명한다.
- [0037] 충전부(420)는 도 5에 도시된 전단 캐리 신호($Cout_{(j-1)}$)를 제공받아 전하를 충전한다. 예컨대 충전부(420)는 제1 유지 구간(PH_1)에서 전단 캐리 신호($Cout_{(j-1)}$)를 제공받아 충전되며, Q_j 노드의 전압이 서서히 증가한다. 제1 천이 구간(PT_1) 중, 로우 레벨에서 하이 레벨로 천이하는 클럭 신호(CKV)가 입력되는 구간에서 트랜지스터(T1)와 Q_j 노드의 기생 커패시터(미도시)에 의해, Q_j 노드의 전압이 다시 상승된다.
- [0038] 충전부(420)의 전압, 즉 Q_j 노드의 전압이 제1 충전 레벨, 예컨대 도 5에 도시된 바와 같이 양의 전압으로 상승되면, 풀업부(430)의 트랜지스터(T1)는 완전히 턴온되고, 제1 클럭 단자(CK1)를 통해 입력되는 클럭 신호(CKV)를 게이트 출력 단자(OUT1)를 통해 게이트 신호($Gout_{(j)}$)로 제공한다. 즉, 게이트 신호($Gout_{(j)}$)는 게이트 온 전압 레벨이 된다. 또한 캐리 신호 발생부(470)의 트랜지스터(T15)가 턴온되어, 클럭 신호(CKV)를 캐리 출력 단자(OUT2)를 통해 캐리 신호($Cout_{(j)}$)로 출력한다.
- [0039] 다음으로 게이트 신호($Gout_{(j)}$)가 게이트 온 전압에서 게이트 오프 전압으로 변환되는 과정을 설명한다.
- [0040] 제1 천이 구간(PT_1) 중, 클럭 신호(CKV)가 하이 레벨에서 로우 레벨로 천이하는 구간에서 Q_j 노드의 전압은, 상술한 기생 커패시터(미도시)에 의해 하강된다. 이 때, 다음 스테이지의 게이트 신호($Gout_{(j+1)}$)가 하이 레벨이 됨에 따라 방전부(450)의 트랜지스터(T9)가 턴온되어 Q_j 노드로 게이트 오프 전압(V_{off})을 제공한다. 다만, 클럭바 신호(CKVB)는 로우 레벨에서 하이 레벨로 천이하므로, 홀딩부의 트랜지스터(T11)가 턴온되어 양의 전압의 전단 캐리 신호($Cout_{(j-1)}$)를 Q_j 노드로 제공한다. 따라서, Q_j 노드의 전압은, 방전부(450)가 Q_j 노드로 게이

트 오프 전압(Voff)을 제공하더라도, 양의 전압의 전단 캐리 신호(Cout_(j-1))가 Q_j 노드로 제공되므로, 급격하게 게이트 오프 전압(Voff)으로 하강하지 않고, 도 5에 도시된 바와 같이 서서히 감소하게 된다.

[0041] 즉, 다음 스테이지의 게이트 신호(Gout_(j+1))가 하이 레벨이 된 때, 풀업부(430)의 트랜지스터(T1)가 턴오프 되지 않고, 로우 레벨의 클럭 신호(CKV)를 게이트 신호(Gout_(j))로 출력한다. 또한 다음 스테이지의 게이트 신호(Gout_(j+1))가 하이 레벨이 된 때, 풀다운부(440)의 트랜지스터(T2)가 턴온되어 게이트 오프 전압을 게이트 출력 단자(OUT1)로 제공한다. 풀다운부(440)가 게이트 신호(Gout_(j))를 게이트 오프 전압(Voff)으로 하강시키고, 또한 풀업부(430)도 로우 레벨의 클럭 신호(CKV)를 게이트 신호(Gout_(j))로 제공하므로, 게이트 신호(Gout_(j))의 전압 레벨은 신속히 게이트 오프 전압으로 풀다운된다. 따라서 게이트 신호(Gout_(j))가 다음 스테이지의 게이트 신호(Gout_(j+1))와 오버랩되지 않는다.

[0042] 다음으로 게이트 신호(Gout_(j))가 게이트 오프 전압으로 풀다운된 후, 한 프레임동안 게이트 오프 전압으로 유지 되는 동작을 설명한다.

[0043] 게이트 신호(Gout_(j))가 게이트 오프 전압으로 풀다운되면, 트랜지스터들(T8, T13)은 턴온된다. 트랜지스터(T13)는 트랜지스터(T7)를 턴오프시켜 하이 레벨의 클럭 신호(CKV)가 트랜지스터(T3)로 제공되는 것을 차단하고, 트랜지스터(T8)는 트랜지스터(T3)를 턴오프시킨다. 따라서 게이트 신호(Gout_(j))가 하이 레벨로 유지된다.

[0044] 다음으로 게이트 신호(Gout_(j))가 하이 레벨에서 로우 레벨로 변환된 후에는 트랜지스터들(T8, T13)은 턴오프된다. 클럭 신호(CKV)가 하이 레벨이면, 트랜지스터들(T7, T12)은 트랜지스터(T3)를 턴온시켜 게이트 신호(Gout_(j))를 로우 레벨로 유지한다. 또한 트랜지스터(T10)가 턴온되어 트랜지스터(T1)의 게이트가 로우 레벨로 유지되며, 따라서 하이 레벨의 제1 클럭 신호(CKV)가 게이트 출력 단자(OUT1)로 출력되지 않는다. 제1 클럭바 신호(CKVB)가 하이 레벨이고, 트랜지스터들(T5, T11)이 턴온된다. 턴온된 트랜지스터(T5)는 게이트 신호(Gout_(j))를 로우 레벨로 유지시키며, 턴온된 트랜지스터(T11)는 커패시터(C1)의 일단을 로우 레벨로 유지시킨다. 따라서, 게이트 신호(Gout_(j))가 한 프레임동안 로우 레벨로 유지된다.

[0045] 다만, 제j 스테이지(ST_j)는 캐리 신호 발생부(470)를 포함하지 않을 수 있다. 이러한 경우, 제j 스테이지(ST_j)는 전단 스테이지(ST_{j-1})의 캐리 신호(Cout_(j-1)) 대신에 전단 스테이지(ST_{j-1})의 게이트 신호(Gout_(j-1))를 셋 단자(S)를 통해 입력받아 동작할 수 있다.

[0046] 다음으로 도 6 및 도 7을 참조하여 제1 스테이지(ST₁)에 대하여 상세히 설명한다.

[0047] 제1 스테이지(ST₁)는 다른 스테이지, 예컨대 제j 스테이지(ST_j)와 달리, 전단 캐리 신호(Cout_(j-1)) 대신에 제1 스캔 개시 신호(STVP)를 입력받는다. 또한, 방전부(451)가 트랜지스터(T9)를 포함하지 않는다.

[0048] 제1 스테이지(ST₁)의 동작을 상세히 설명한다.

[0049] 먼저 게이트 신호(Gout₍₁₎)가 게이트 오프 전압에서 게이트 온 전압으로 변환되는 과정을 설명한다.

[0050] 충전부(420)는 도 7에 도시된 제1 스캔 개시 신호(STVP)를 제공받아 전하를 충전한다. 예컨대 충전부(420)는 제1 유지 구간(PH₁)에서 제1 스캔 개시 신호(STVP)를 제공받아 충전되며, Q_j 노드의 전압이 서서히 증가한다. 제1 천이 구간(PT₁) 중, 로우 레벨에서 하이 레벨로 천이하는 클럭 신호(CKV)가 입력되는 구간에서 트랜지스터(T1)와 Q_j 노드의 기생 커패시터(미도시)에 의해, Q_j 노드의 전압이 다시 상승된다.

[0051] 충전부(420)의 전압, Q₁ 노드의 전압이 제1 충전 레벨, 예컨대 도 7에 도시된 바와 같이 양의 전압으로 상승되면, 풀업부(430)의 트랜지스터(T1)는 완전히 턴온되고, 제1 클럭 단자(CK1)를 통해 입력되는 클럭 신호(CKV)를 게이트 출력 단자(OUT1)를 통해 게이트 신호(Gout₍₁₎)로 제공한다. 즉, 게이트 신호(Gout₍₁₎)는 게이트 온 전압 레벨이 된다. 또한 캐리 신호 발생부(470)의 트랜지스터(T15)가 턴온되어, 클럭 신호(CKV)를 캐리 출력 단자(OUT2)를 통해 캐리 신호(Cout₍₁₎)로 출력한다.

[0052] 다음으로 게이트 신호(Gout₍₁₎)가 게이트 온 전압에서 게이트 오프 전압으로 변환되는 과정을 설명한다.

- [0053] 제1 천이 구간(PT₁) 중, 클럭 신호(CKV)가 하이 레벨에서 로우 레벨로 천이하는 구간에서 Q₁ 노드의 전압은, 상술한 기생 커패시터(미도시)에 의해 하강된다. 이 때, 클럭바 신호(CKVB)는 로우 레벨에서 하이 레벨로 천이하므로, 홀딩부(460)의 트랜지스터(T11)가 턴온되어 하이 레벨의 제1 스캔 개시 신호(STVP)를 Q₁ 노드로 제공한다. 다음으로 제1 천이 구간(PT₁)이 끝나고 제2 천이 구간(PT₂)이 시작되기 전에, 제1 스캔 개시 신호(STVP)는 로우 레벨로 천이한다. 다시 말해서, 제1 천이 구간(PT₁)의 클럭 신호(CKV)의 폴링 에지 후, 제2 유지 구간(PH₂)에서 제1 스캔 개시 신호(STVP)는 로우 레벨로 천이한다. 홀딩부(460)의 트랜지스터(T11)는 로우 레벨로 천이하는 제1 스캔 개시 신호(STVP)를 Q₁ 노드로 제공한다. 그에 따라, 도 7에 도시된 바와 같이 Q₁ 노드의 전압은 제1 스캔 개시 신호(STVP)의 폴링 에지까지 하이 레벨로 유지된다. 결과적으로, 풀업부(430)의 트랜지스터(T1)는, 제1 천이 구간(PT₁)동안 턴온되고 제2 천이 구간(PT₂)이 시작되기 전에 턴오프되어, 제1 천이 구간(PT₁)에서 로우 레벨로 천이하는 클럭 신호(CKV)를 게이트 신호(Gout₍₁₎)로 출력한다.
- [0054] 또한 다음 스테이지의 게이트 신호(Gout₍₂₎)가 하이 레벨이 된 때, 풀다운부(440)의 트랜지스터(T2)가 턴온되어 게이트 오프 전압(Voff)을 게이트 출력 단자(OUT1)로 제공한다.
- [0055] 즉, 풀업부(430)도 로우 레벨의 클럭 신호(CKV)를 게이트 신호(Gout_(1j))로 제공하고, 풀다운부(440)가 게이트 신호(Gout₍₁₎)를 게이트 오프 전압(Voff)으로 하강시키므로, 게이트 신호(Gout_(j))의 전압 레벨은 신속히 게이트 오프 전압(Voff)으로 풀다운된다.
- [0056] 제1 스캔 개시 신호(STVP)가, 도 7에 점선으로 도시된 바와 같이, 제1 천이 구간(PT₁)에서 로우 레벨로 천이하면, Q₁ 노드의 전압은 클럭바 신호(CKVB)의 라이징 에지에 응답하여 로우 레벨, 예컨대 게이트 오프 전압으로 하강된다. 이로 인해, 풀업부의 트랜지스터(T1)가 턴오프되어 제1 천이 구간(PT₁)에서 로우 레벨로 천이하는 클럭 신호(CKV)를 게이트 신호로 출력하지 못하게 된다. 따라서 풀다운부(440)만이 게이트 신호(Gout₍₁₎)를 게이트 오프 전압(Voff)으로 하강시키므로, 게이트 신호(Gout₍₁₎)의 전압 레벨은 신속히 게이트 오프 전압(Voff)으로 풀다운되지 못하게 되고, 점선으로 도시된 바와 같이 서서히 게이트 오프 전압(Voff)으로 풀다운된다. 이러한 경우, 게이트 신호(Gout₍₁₎)가 다음 스테이지의 게이트 신호(Gout₍₂₎)와 오버랩되는 구간이 발생하게 된다.
- [0057] 즉, 본 발명에서 제1 스캔 개시 신호(STVP)가 클럭 신호(CKV)의 제1 천이 구간(PT₁)동안 하이 레벨로 유지되고, 다음의 제2 천이 구간(PT₂)이 시작되기 전에 로우 레벨로 천이하므로, 게이트 신호(Gout₍₁₎)가 다음 스테이지의 게이트 신호(Gout₍₂₎)가 오버랩되지 않게 되어 표시 품질이 향상된다.
- [0058] 다음으로 게이트 신호(Gout₍₁₎)가 게이트 오프 전압으로 풀다운된 후, 한 프레임동안 게이트 오프 전압으로 유지되는 동작은, 상술한 제j 스테이지의 동작과 동일하므로, 설명의 편의상 이에 대한 설명은 생략한다.
- [0059] 도 1, 도 8 및 도 9를 참조하여 본 발명의 일 실시예에 따른 액정 표시 장치 및 그의 구동 방법을 설명한다. 도 8은 본 발명의 일 실시예에 따른 액정 표시 장치 및 그의 구동 방법을 설명하기 위한 신호도이고, 도 9는 본 발명의 일 실시예에 따른 액정 표시 장치의 클럭 생성부를 설명하기 위한 블록도이다.
- [0060] 도 1, 도 8 및 도 9를 참조하면, 타이밍 컨트롤러(500)는 제2 스캔 개시 신호(STV), 제1 클럭생성 제어신호(OE) 및 제2 클럭생성 제어신호(CPV)를 출력한다. 여기서 제2 스캔 개시 신호(STV)의 펄스 폭은 제1 스캔 개시 신호(STVP)의 펄스 폭과 동일하다.
- [0061] 클럭 생성부(601)는 증폭부(651)를 포함하여, 제2 스캔 개시 신호(STV)를 제공받아 증폭하여 제1 스캔 개시 신호(STVP)를 출력할 수 있다. 예컨대, 제2 스캔 개시 신호(STV)는 게이트 온 전압과 게이트 오프 전압을 스위칭하는 신호일 수 있다.
- [0062] 또한, 클럭 생성부(601)는 제1 클럭생성 제어신호(OE) 및 제2 클럭생성 제어신호(CPV)를 이용하여 클럭 신호(CKV)와 클럭바 신호(CKVB)를 생성한다. 클럭 신호(CKV)와 클럭바 신호(CKVB)는 제1 클럭생성 제어 신호의 라이징 에지마다 토글(toggle)하는 신호일 수 있다.
- [0063] 좀더 구체적으로 설명하면, 클럭 생성부(601)는 논리합 연산자(OR), 디플립플롭(610), 제1 클럭 전압 인가부(620), 제2 클럭 전압 인가부(630), 전하 공유부(640), 커패시터들(C3, C4)을 포함한다. 다만, 클럭 생성부(601)의 내부 회로가 이에 한정되는 것은 아니다.
- [0064] 디플립플롭(610)은 제1 출력 단자(Q)를 통해 제1 클럭 인에이블 신호(ECS)를 출력하고, 제2 출력 단자(/Q)를 통

해 제2 클럭 인에이블 신호(OCS)를 출력한다. 좀더 구체적으로, 제1 클럭생성 제어신호(OE)가 클럭 단자(CLK)를 통해 입력되고, 제2 출력 단자(/Q)와 입력 단자(D)가 연결되어, 제1 출력 단자(Q)를 통해 제1 클럭생성 제어신호(OE)의 라이징 에지마다 토글(toggle)되는 제1 클럭 인에이블 신호(ECS)가 출력되고, 제2 출력 단자(/Q)에서는 제1 클럭 인에이블 신호(ECS)와 위상이 반대인 제2 클럭 인에이블 신호(OCS)가 출력된다.

[0065] 제1 클럭 인에이블 신호(ECS)는 제1 클럭 전압 인가부(620)에 제공되고, 제2 클럭 인에이블 신호(OCS)는 제2 클럭 전압 인가부(630)에 제공된다.

[0066] 논리합 연산자(OR)는 제1 클럭생성 제어신호(OE)와 제2 클럭생성 제어신호(CPV)를 입력받아 차지 셰어링 제어신호(CPVX)를 생성하여 전하 공유부(640)로 제공한다.

[0067] 제1 클럭 전압 인가부(620)는 제1 클럭 인에이블 신호(ECS)에 인이예블되어, 제1 클럭 인에이블 신호(ECS)가 하이 레벨인 경우 하이 레벨의 전압(Von)을 출력하여, 커패시터(C3)를 하이 레벨의 전압(Von)으로 충전시키고(도 8의 P1 참조), 제1 클럭 인에이블 신호(ECS)가 로우 레벨인 경우 로우 레벨의 전압(Voff)을 출력하여, 커패시터(C3)를 로우 레벨의 전압(Voff)으로 충전시킨다(도 8의 P3 참조). 마찬가지로 제2 클럭 전압 인가부(630)는 제2 클럭 인에이블 신호(OCS)에 인이예블되어, 제2 클럭 인에이블 신호(OCS)가 로우 레벨인 경우 로우 레벨의 전압(Voff)을 출력하여, 커패시터(C4)를 로우 레벨의 전압(Voff)으로 충전시키고(도 8의 P1 참조), 제2 클럭 인에이블 신호(OCS)가 하이 레벨인 경우 하이 레벨의 전압(Von)을 출력하여, 커패시터(C4)를 하이 레벨의 전압(Von)으로 충전시킨다. (도 8의 P3 참조).

[0068] 여기서, 전하 공유부(640)는 차지 셰어링 제어신호(CPVX)를 입력받아, 커패시터(C3) 및 커패시터(C4)의 충전 및 방전 시에 전하를 공유시킨다.

[0069] 좀더 구체적으로 설명하면, 차지 셰어링 제어신호(CPVX)가 로우 레벨이 되면, 커패시터(C3) 및 커패시터(C4)는 전기적으로 연결된다. 따라서 하이 레벨의 전압(Von)으로 충전된 커패시터(C3)는 방전을 시작하고, 로우 레벨의 전압(Voff)으로 충전된 커패시터(C4)는 커패시터(C3)로부터 전하를 제공받아 하이 레벨의 전압(Von)으로 충전을 시작한다. 즉, 차지 셰어링 구간(P2)에서 커패시터(C3) 및 커패시터(C4)는 전하를 공유하므로, 제1 로우 구간(P3)에서 커패시터(C3)의 전압은 로우 레벨(Voff)로 쉽게 낮아질 수 있고, 커패시터(C4)의 전압은 하이 레벨(Von)로 쉽게 높아질 수 있다.

[0070] 이러한 과정을 거쳐 제1 하이 구간(P1)에서 클럭바 신호(CKVB)는 하이 레벨이고 클럭 신호(CKV)는 로우 레벨이며, 제1 로우 구간(P3)에서 제1 클럭 신호(CKV)는 로우 레벨이고 제1 클럭바 신호(CKVB)는 하이 레벨이며, 차지 셰어링 구간(P2)에서 클럭바 신호(CKVB)는 하이 레벨에서 로우 레벨로 천이하고 클럭 신호(CKV)는 로우 레벨에서 하이 레벨로 천이한다. 다만, 클럭 생성부(600)는 전하 공유부(640)를 포함하지 않을 수 있다.

[0071] 도 1, 도 10 및 도 11을 참조하여 본 발명의 다른 실시예에 따른 액정 표시 장치 및 그의 구동 방법을 설명한다. 도 10은 본 발명의 다른 실시예에 따른 액정 표시 장치 및 그의 구동 방법을 설명하기 위한 신호도이고, 도 12는 본 발명의 다른 실시예에 따른 액정 표시 장치의 클럭 생성부를 설명하기 위한 블록도이다.

[0072] 도 1, 도 10 및 도 11을 참조하면, 본 실시예에 따른 액정 표시 장치는, 이전 실시예와 달리, 제2 스캔 개시 신호(STV)의 펄스 폭과 제1 스캔 개시 신호(STVP)의 펄스 폭이 다르며, 클럭 생성부(602)가 펄스 폭 변조부(652)를 포함하여 제2 스캔 개시 신호(STV)의 펄스 폭을 조절하여 제2 스캔 개시 신호(STVP)를 출력한다.

[0073] 좀더 구체적으로 설명하면, 타이밍 컨트롤러(500)는 제2 스캔 개시 신호(STV), 제1 클럭생성 제어신호(OE) 및 제2 클럭생성 제어신호(CPV)를 출력한다. 여기서 제2 스캔 개시 신호(STV)의 펄스 폭은, 예컨대 제1 스캔 개시 신호(STVP)의 펄스 폭보다 작다.

[0074] 클럭 생성부(602)는 펄스 폭 변조부(652)를 포함하여, 도 11에 도시된 바와 같이 제2 스캔 개시 신호(STV)의 펄스 폭을 조절하고, 증폭하여 제1 스캔 개시 신호(STVP)를 출력할 수 있다. 즉, 펄스 폭 변조부(652)는, 제1 스캔 개시 신호(STVP)가 제1 천이 구간(PT_1)동안 하이 레벨로 유지되고, 제2 천이 구간(PT_2)이 시작되기 전에 로우 레벨로 천이하도록, 제2 스캔 개시 신호(STV)의 펄스 폭을 조절한다.

도면의 간단한 설명

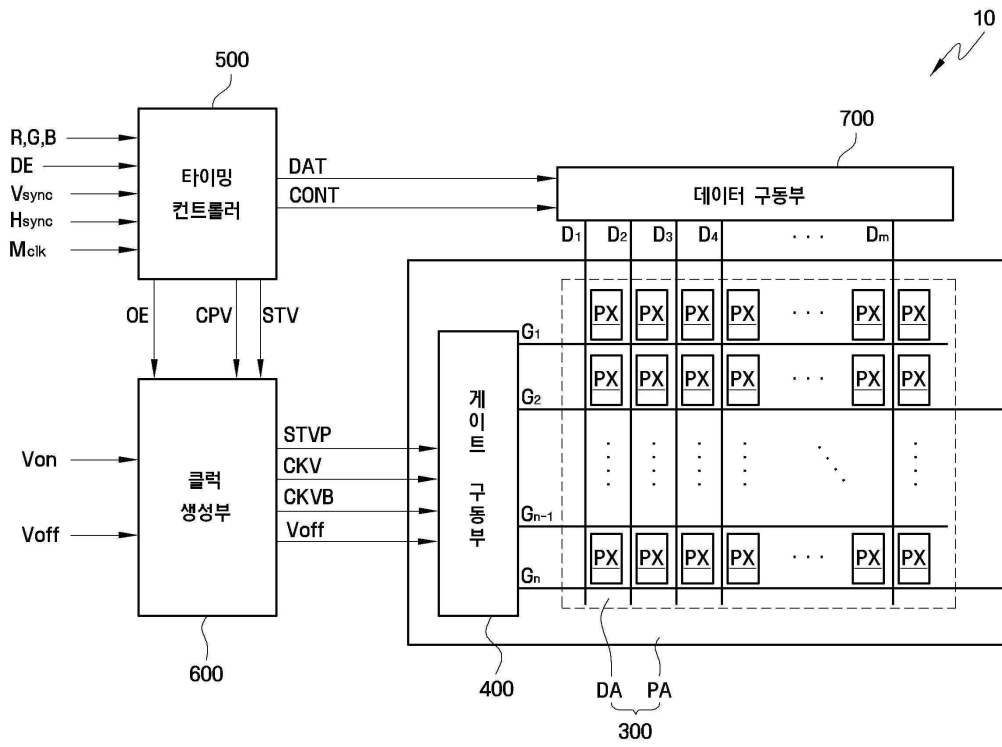
[0075] 도 1은 본 발명의 실시예들에 따른 액정 표시 장치 및 그의 구동 방법을 설명하기 위한 블록도이다.

[0076] 도 2는 도 1의 한 화소의 등가 회로도이다.

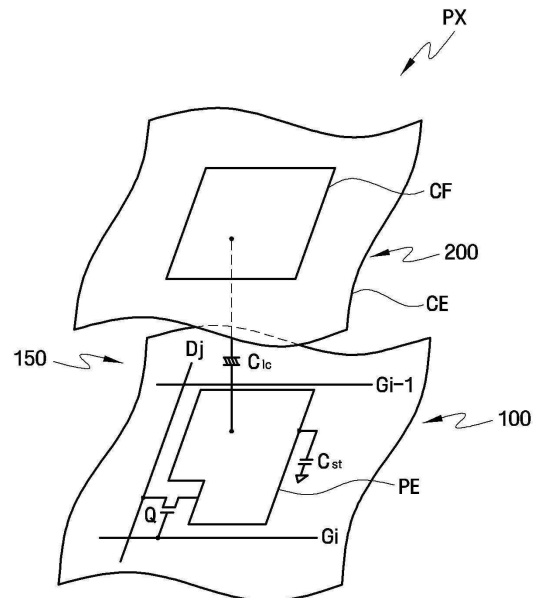
- [0077] 도 3은 도 1의 게이트 구동부를 설명하기 위한 예시적인 블록도이다.
- [0078] 도 4는 도 3의 제j 스테이지의 예시적인 회로도이다.
- [0079] 도 5는 제j 스테이지의 동작을 설명하기 위한 신호도이다.
- [0080] 도 6은 제1 스테이지의 예시적인 회로도이다.
- [0081] 도 7은 제1 스테이지의 동작을 설명하기 위한 신호도이다.
- [0082] 도 8은 본 발명의 일 실시예에 따른 액정 표시 장치 및 그의 구동 방법을 설명하기 위한 신호도이다.
- [0083] 도 9는 본 발명의 일 실시예에 따른 액정 표시 장치의 클럭 생성부를 설명하기 위한 블록도이다.
- [0084] 도 10은 본 발명의 다른 실시예에 따른 액정 표시 장치 및 그의 구동 방법을 설명하기 위한 신호도이다.
- [0085] 도 11은 본 발명의 다른 실시예에 따른 액정 표시 장치의 클럭 생성부를 설명하기 위한 블록도이다.
- [0086] (도면의 주요부분에 대한 부호의 설명)
- [0087] 10: 액정 표시 장치 100: 제1 기관
- [0088] 200: 제2 기관 300: 액정 패널
- [0089] 400: 게이트 구동부 410: 버퍼부
- [0090] 420: 충전부 430: 풀업부
- [0091] 440: 풀다운부 450, 451: 방전부
- [0092] 460: 홀딩부 470: 캐리 신호 발생부
- [0093] 500: 타이밍 컨트롤러 600, 601, 602: 클럭 생성부
- [0094] 610: 디플립플롭 620: 제1 클럭 전압 인가부
- [0095] 630: 제2 클럭 전압 인가부 640: 전하 공유부
- [0096] 700: 데이터 구동부

도면

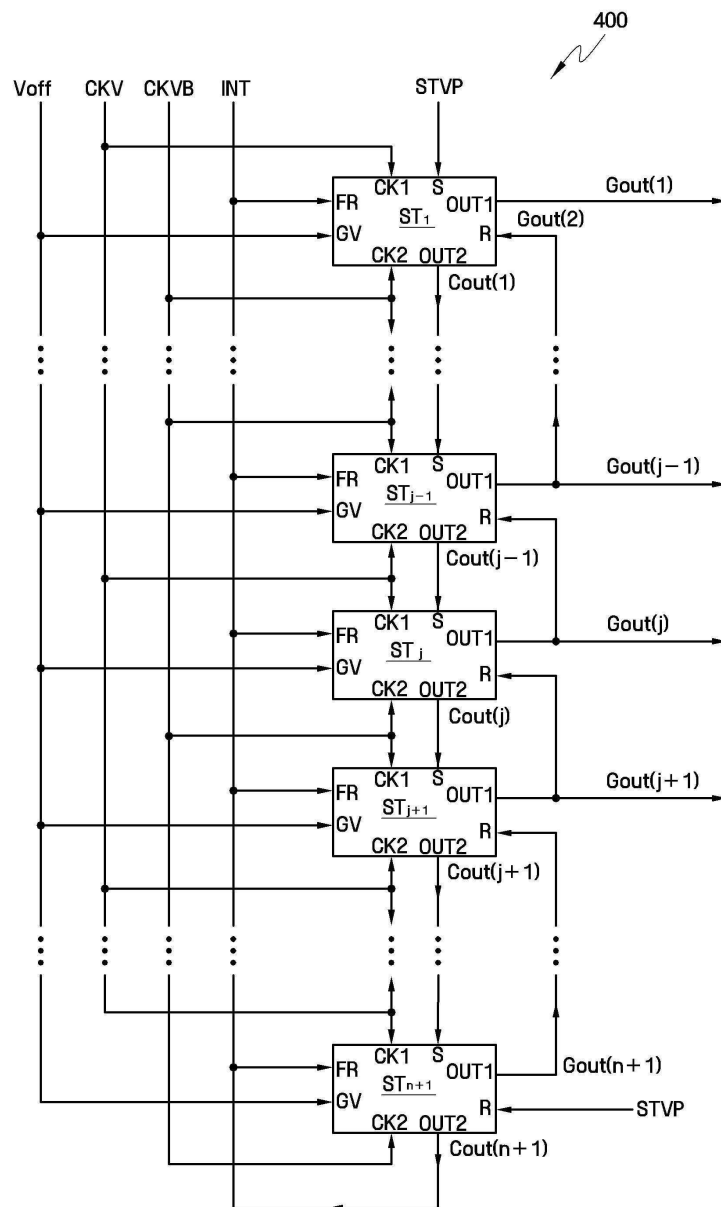
도면1



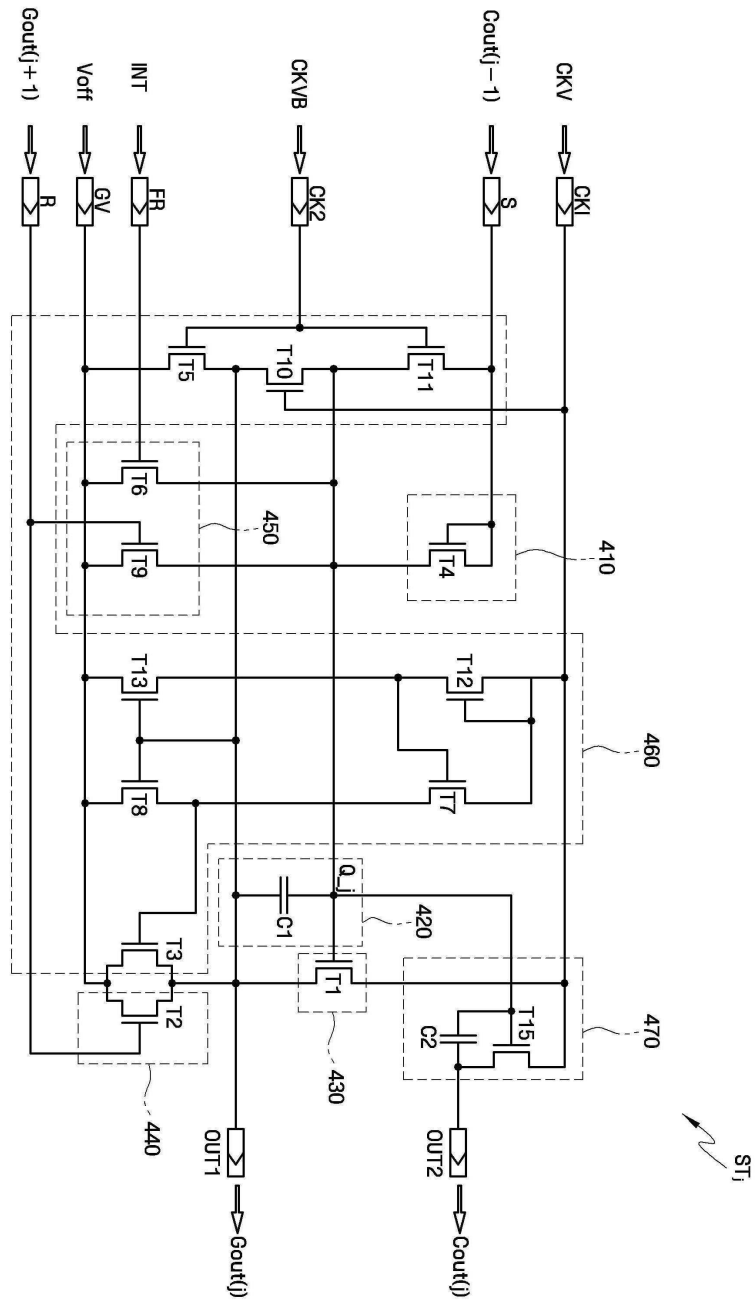
도면2



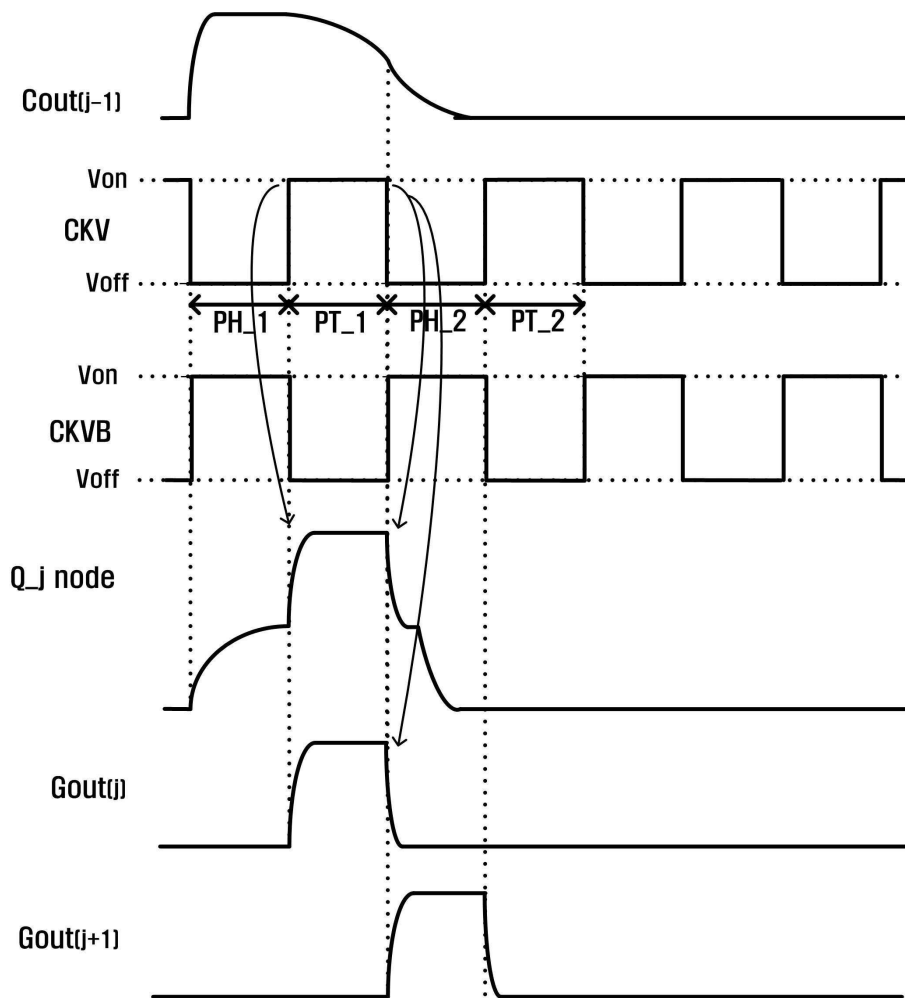
도면3



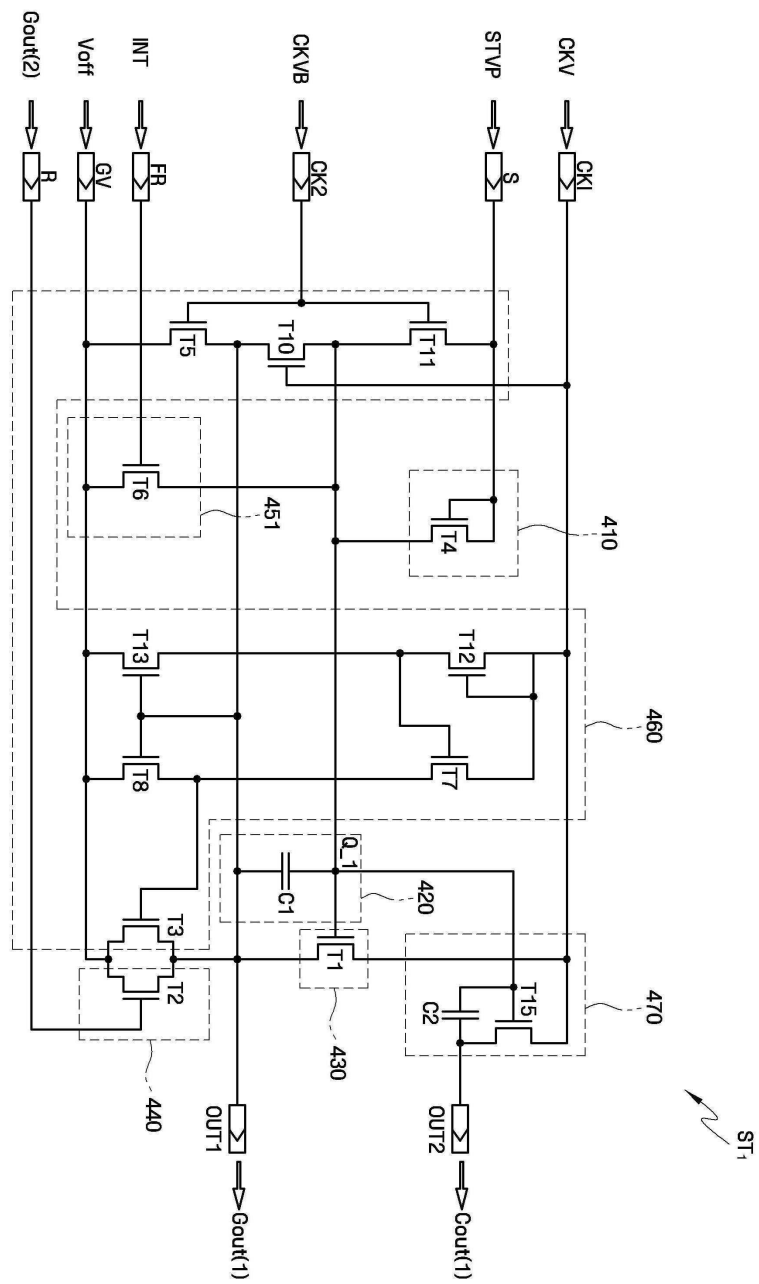
도면4



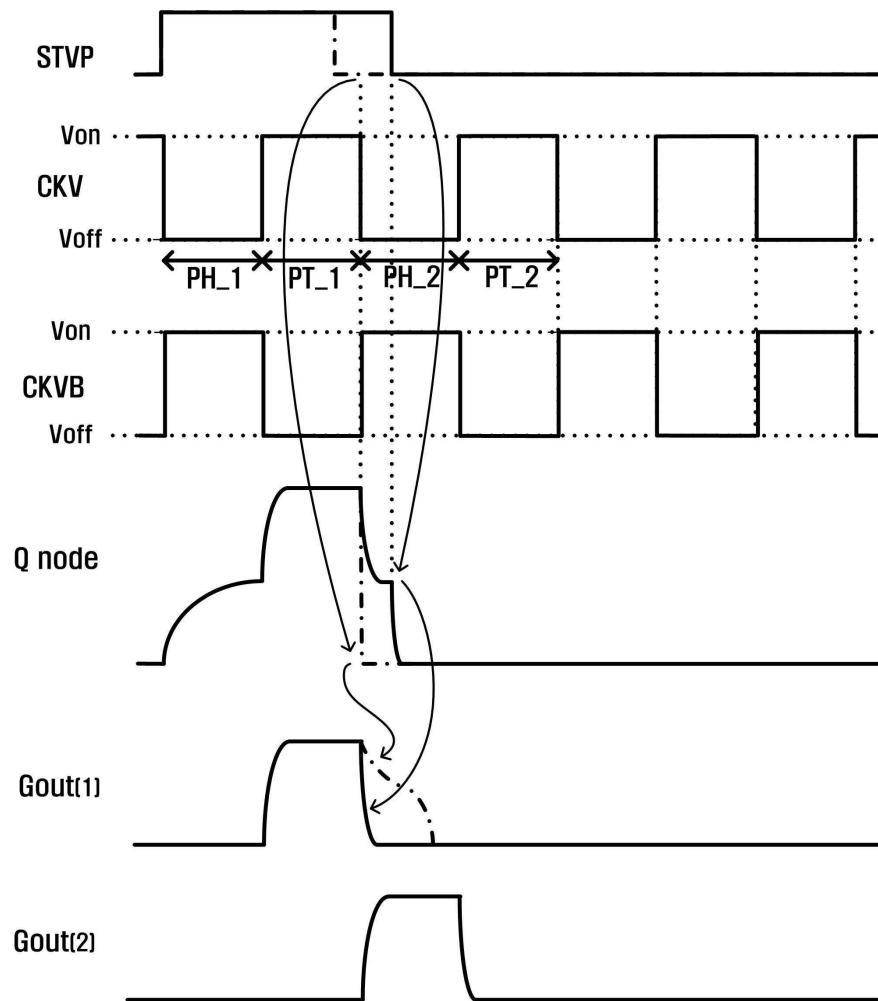
도면5



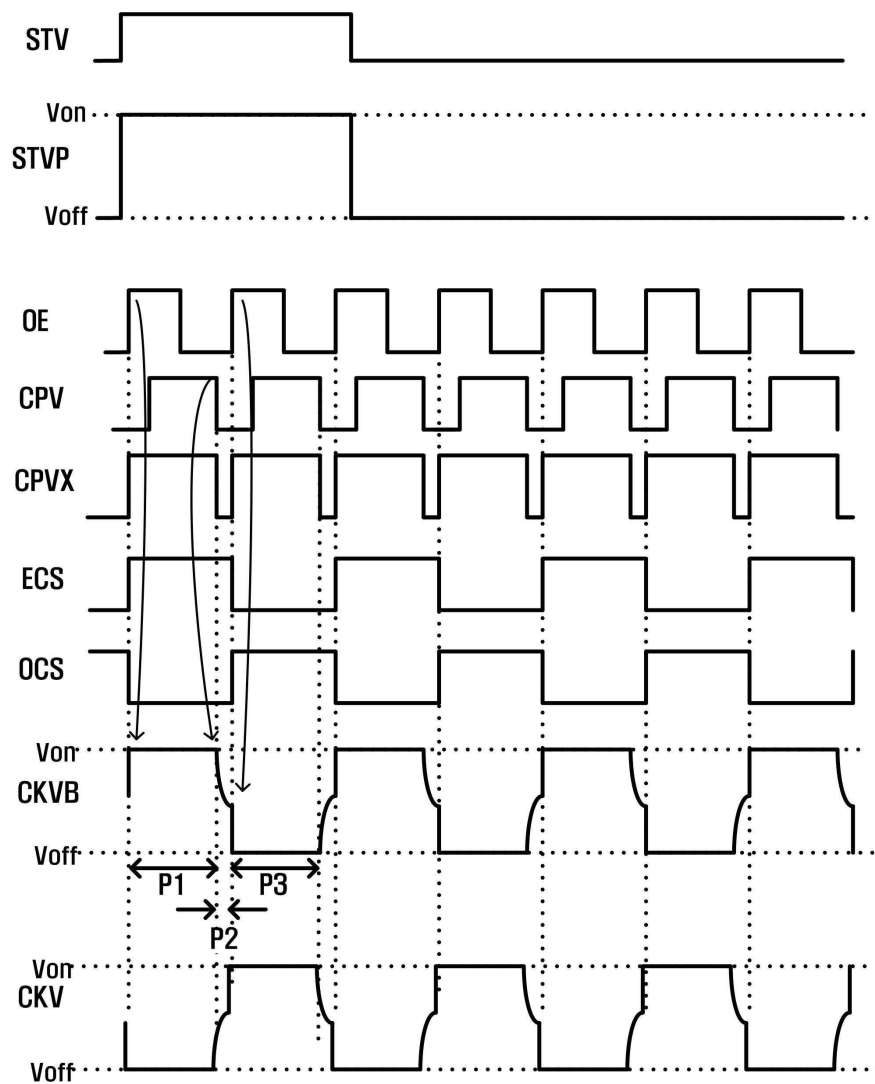
도면6



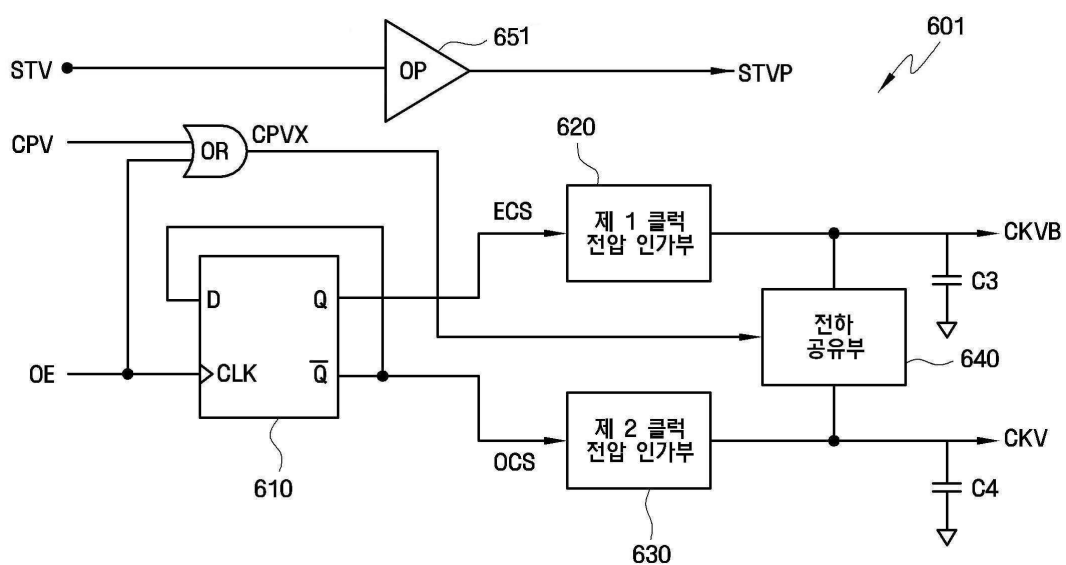
도면7



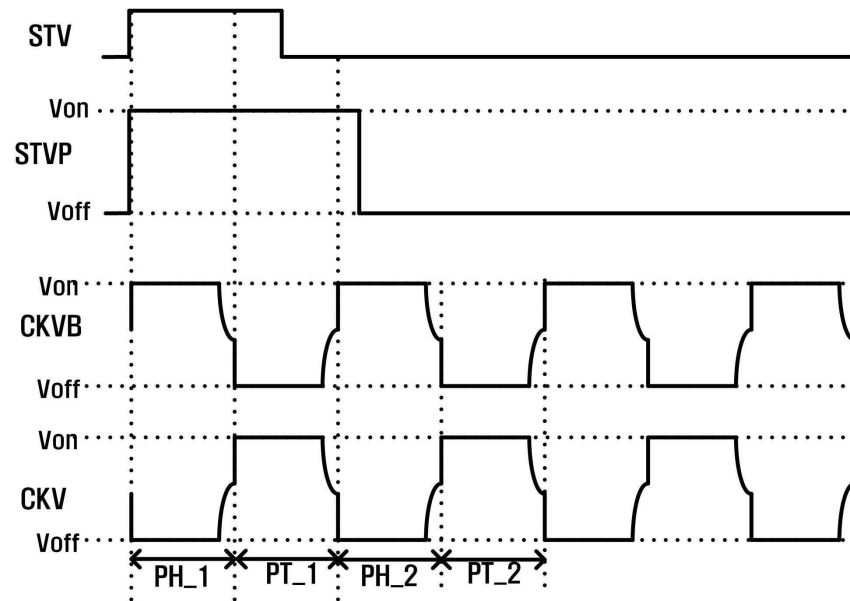
도면8



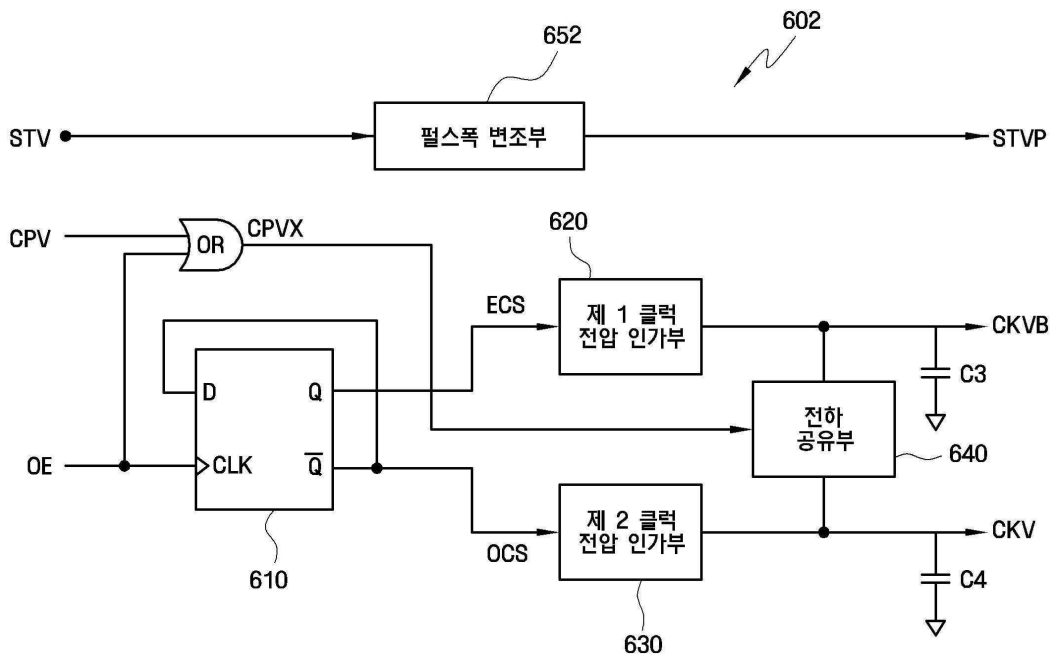
도면9



도면10



도면11



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR101617215B1	公开(公告)日	2016-05-03
申请号	KR1020070068213	申请日	2007-07-06
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE BONG JUN 이봉준 PARK DO HYEON 박도현 LEE KYE HUN 이계현		
发明人	이봉준 박도현 이계현		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G11C19/00		
CPC分类号	G09G3/3674 G09G3/3677 G09G2310/0286 G09G2310/0291 G11C19/28		
其他公开文献	KR1020090004201A		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示器及其驱动方法，通过控制扫描开始信号的脉冲宽度来防止栅极信号之间的重叠。结构：在液晶显示器中，定时控制器（500）输出数据控制信号（CONT）根据水平同步信号（Hsync），主时钟信号（Mclk）和数据使能信号（DE）。数据驱动器（700）根据视频信号（DAT）和数据控制信号（CONT）将图像数据电压提供给数据线（D1-Dm）。栅极驱动单元（400）根据第一扫描开始信号（STVP）通过使用时钟信号（CKV），时钟条信号（CKVB）和栅极截止电压（Voff）来产生多个栅极信号。栅极驱动单元连续地将产生的栅极信号提供给每条栅极线（G1-Gn）。KIPO 2009

