

명세서

청구범위

청구항 1

제1 박막 트랜지스터를 가지는 제1 화소 및 제2 박막 트랜지스터를 가지는 제2 화소를 가지는 화소군;

상기 제1 및 제2 박막 트랜지스터의 게이트에 구동신호를 공급하는 게이트선;

상기 게이트선과 평행하고, 상기 제1 화소의 일측에 인접하여 구비되는 제1 보조용량선;

상기 게이트선과 평행하고, 상기 제1 화소의 일측과 반대하는 반대측에 인접하여 구비되는 제2 보조용량선;

상기 제1 화소에 구비되고, 상기 제1 박막 트랜지스터의 일단과 상기 제1 보조용량선의 사이에 접속된 제1 보조용량; 및

상기 제2 화소에 구비되고, 상기 제2 박막 트랜지스터의 일단과 상기 제2 보조용량선의 사이에 접속된 제2 보조용량을 포함하고,

상기 게이트 선은 상기 제1 보조 용량선과 상기 제2 보조 용량선과의 사이에 배치되며,

상기 제1 보조용량은 상기 게이트 선보다 하부에 배치되어 상기 제1 보조 용량선과 연결되고, 상기 제1 화소의 영역 중 상기 게이트 선보다 하부의 제1 화소의 영역에만 배치되어 상기 제1 화소 및 상기 제1 화소의 좌우측에 인접하는 제2 화소의 경계부에 형성되고,

상기 제2 보조용량은 상기 게이트 선보다 상부에 배치되어 상기 제2 보조 용량선과 연결되고, 상기 제2 화소의 영역 중 상기 게이트 선보다 상부의 제2 화소의 영역에만 배치되어 상기 제2 화소 및 상기 제2 화소의 좌우측에 인접하는 제1 화소의 경계부에 형성되고,

상기 제1 보조 용량 및 상기 제2 보조 용량은 상기 게이트 선을 사이에 두고, 상기 제1 화소 및 상기 제2 화소에 교번적으로 배치되는 것을 특징으로 하는 액정표시장치.

청구항 2

제1 항에 있어서,

상기 제1 화소와 상기 제2 화소는 서로 교대로 배열되는 것을 특징으로 하는 액정표시장치.

청구항 3

삭제

청구항 4

제1 항에 있어서,

상기 제1 보조용량선은 제1 돌기부 및 제2 돌기부를 포함하고, 상기 제1 보조용량은 상기 제1 박막 트랜지스터의 제1 반도체층, 상기 제1 돌기부 및 상기 제1 반도체층과 상기 제1 돌기부와 사이에 개재된 절연체로 이루어진 제1 서브보조용량 및 상기 제1 반도체층, 상기 제2 돌기부 및 상기 제1 반도체층과 상기 제2 돌기부의 사이에 개재된 절연체로 구성되는 제2 서브보조용량을 포함하며,

상기 제2 보조용량선은 제3 돌기부 및 제4 돌기부를 포함하고, 상기 제2 보조용량은 상기 제2 박막 트랜지스터의 제2 반도체층, 상기 제3 돌기부 및 상기 제2 반도체층과 상기 제3 돌기부의 사이에 개재된 절연체로 이루어진 제3 서브보조용량 및 상기 제2 반도체층, 상기 제4 돌기부 및 상기 제2 반도체층과 상기 제4 돌기부의 사이에 개재된 절연체로 이루어진 제4 서브보조용량을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5

제1 항에 있어서,

상기 제1 보조용량선은 제1 돌기부 및 제2 돌기부를 포함하고, 상기 제1 보조용량은 상기 제1 화소의 제1 화소

전극, 상기 제1 돌기부 및 상기 제1 화소 전극과 상기 제1 돌기부와의 사이에 개재된 절연체로 이루어진 제1 서브보조용량 및 상기 제1 화소 전극, 상기 제2 돌기부 및 상기 제1 화소 전극과 상기 제2 돌기부의 사이에 개재된 절연체로 구성되는 제2 서브보조용량을 포함하고,

상기 제2 보조용량선은 제3 돌기부 및 제4 돌기부를 포함하고, 상기 제2 보조용량은 상기 제2 화소의 제2 화소 전극, 상기 제3 돌기부 및 상기 제2 화소 전극과 상기 제3 돌기부의 사이에 개재된 절연체로 이루어진 제3 서브보조용량 및 상기 제2 화소 전극, 상기 제4 돌기부 및 상기 제2 화소 전극과 상기 제4 돌기부의 사이에 개재된 절연체로 이루어진 제4 서브보조용량을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 게이트선에 소정의 주기의 게이트 구동신호를 공급하면서, 상기 제1 보조용량선에 상기 게이트 구동신호와 동기한 제1 신호를 공급하고, 상기 제2 보조용량선에 상기 제1 신호와 역상을 갖는 제2 신호를 공급하는 구동회로를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7

소정 방향에 따라 배열된 복수의 화소;

상기 복수의 화소 상에 배치되고, 각각의 화소에 대응하는 컬러 필터;

상기 컬러 필터에 인접하는 경계부에 대응하여 형성된 복수의 차광부; 및

각각 대응하는 상기 복수의 차광부 하에 형성된 복수의 보조용량을 구비하고,

상기 복수의 화소 각각은,

해당 화소를 구동하는 복수의 박막 트랜지스터;

상기 복수의 박막 트랜지스터의 게이트에 접속되고, 상기 복수의 화소의 중심축을 관통하는 게이트선;

상기 게이트선에 평행하고, 상기 복수의 화소의 일측에 인접하여 구비되는 제1 보조용량선; 및

상기 게이트선에 평행하고, 상기 복수의 화소의 일측과 반대하는 반대측에 인접하여 구비되는 제2 보조용량선을 포함하고,

상기 복수의 보조용량은 각각 상기 복수의 화소 중 대응하는 제1 화소의 상기 박막 트랜지스터의 일단과 상기 제1 보조용량선의 사이에 접속된 복수의 제1 보조용량과, 각각 상기 복수의 화소 중 대응하는 제2 화소의 상기 복수의 트랜지스터의 일단과 상기 제2 보조용량선과의 사이에 접속된 복수의 제2 보조용량으로 이루어지고,

상기 게이트 선은 상기 제1 보조 용량선과 상기 제2 보조 용량선과의 사이에 배치되며,

상기 복수의 제1 보조 용량은 상기 게이트 선보다 하부에 배치되어 상기 제1 보조 용량선과 연결되고, 각각 상기 대응하는 제1 화소의 영역 중 상기 게이트 선보다 하부의 대응하는 제1 화소의 영역에만 배치되어 각각 상기 대응하는 제1 화소 및 상기 대응하는 제1 화소의 좌우측에 인접하는 제2 화소의 경계부에 형성되고,

상기 복수의 제2 보조 용량은 상기 게이트 선보다 상부에 배치되어 상기 제2 보조 용량선과 연결되고, 각각 상기 대응하는 제2 화소의 영역 중 상기 게이트 선보다 상부의 대응하는 제2 화소의 영역에만 배치되어 각각 대응하는 제2 화소 및 상기 대응하는 제2 화소의 좌우측에 인접하는 제1 화소의 경계부에 형성되고,

상기 각각의 제1 보조 용량 및 상기 각각의 제2 보조 용량은 상기 게이트 선을 사이에 두고, 상기 대응하는 제1 화소 및 상기 대응하는 제2 화소에 교번적으로 배치되는 것을 특징으로 하는 액정표시장치.

청구항 8

삭제

청구항 9

제 7 항에 있어서,

상기 복수의 제1 보조용량과 상기 복수의 제2 보조용량은 상기 소정 방향으로 서로 교대로 배치되는 것을 특징

으로 하는 액정표시장치.

청구항 10

제 7 항에 있어서,

상기 게이트선에 소정의 주기의 게이트 구동신호를 공급하면서, 상기 제1 보조용량선에 상기 게이트 구동신호와 동기한 제1 신호를 공급하고, 상기 제2 보조용량선에 상기 제1 신호와 역상을 갖는 제2 신호를 공급하는 구동회로를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 11

제 7 항에 있어서,

상기 복수의 제1 보조용량과 상기 복수의 제2 보조용량은 동일한 캐패시턴스를 갖는 것을 특징으로 하는 액정표시장치.

청구항 12

소정 방향에 따라 배열되고, 각각 박막 트랜지스터를 가지는 복수의 화소;

상기 복수의 화소의 각 박막 트랜지스터의 게이트에 구동신호를 공급하는 게이트선;

상기 게이트선에 평행하고, 상기 복수의 화소의 일측에 인접하여 구비되는 제1 보조용량선;

상기 게이트선에 평행하고, 상기 복수의 화소의 일측과 반대하는 반대측에 인접하여 구비되는 제2 보조 용량선;

상기 복수의 화소 중 대응하는 제1 화소의 상기 박막 트랜지스터의 일단과 상기 제1 보조용량선의 사이에 접속된 복수의 제1 보조용량;

상기 복수의 화소 중 대응하는 제2 화소의 상기 박막 트랜지스터의 일단과 상기 제2 보조용량선과의 사이에 접속된 복수의 제2 보조용량; 및

상기 제1 및 제2 보조용량선에 제1, 제2, 제3 및 제4 전압(단, 제1 전압>제2 전압>제3 전압>제4 전압)을 공급하는 구동회로를 구비하고,

상기 게이트 선은 상기 제1 보조 용량선과 상기 제2 보조 용량선과의 사이에 배치되며,

상기 복수의 제1 보조 용량은 상기 게이트 선보다 하부에 배치되어 상기 제1 보조 용량선과 연결되고, 각각 상기 대응하는 제1 화소의 영역 중 상기 게이트 선보다 하부의 대응하는 제1 화소의 영역에만 배치되어 각각 대응하는 제1 화소 및 상기 대응하는 제1 화소의 좌우측에 인접하는 제2 화소의 경계부에 형성되고,

상기 복수의 제2 보조 용량은 상기 게이트 선보다 상부에 배치되어 상기 제2 보조 용량선과 연결되고, 각각 상기 대응하는 제2 화소의 영역 중 상기 게이트 선보다 상부의 대응하는 제2 화소의 영역에만 배치되어 각각 상기 대응하는 제2 화소 및 상기 대응하는 제2 화소의 좌우측에 인접하는 제1 화소의 경계부에 형성되고,

상기 각각의 제1 보조 용량 및 상기 각각의 제2 보조 용량은 상기 게이트 선을 사이에 두고, 상기 대응하는 제1 화소 및 상기 대응하는 제2 화소에 교번적으로 배치되는 것을 특징으로 하는 액정표시장치.

청구항 13

제 12 항에 있어서,

상기 구동회로는 상기 제3 전압, 상기 제4 전압, 상기 제2 전압, 및 상기 제1 전압의 순서로 반복하여 상기 제1 및 제2 보조용량선에 전압을 공급하는 것을 특징으로 하는 액정표시장치.

청구항 14

제 13 항에 있어서,

상기 구동회로는 상기 제4 전압 또는 상기 제1 전압을 상기 제1 및 제2 보조용량선에 공급하고 있을 때, 상기 게이트선에 구동전압을 인가하여 상기 각 박막 트랜지스터를 도통시키는 것을 특징으로 하는 액정표시장치.

청구항 15

제 12 항에 있어서,

상기 구동회로는 상기 제3 전압, 상기 제1 전압, 상기 제2 전압, 및 상기 제4 전압의 순서로 반복하여 상기 제1 및 제2 보조용량선에 전압을 공급하는 것을 특징으로 하는 액정표시장치.

청구항 16

제 15 항에 있어서,

상기 구동회로는 상기 제3 전압 또는 상기 제2 전압을 상기 제1 및 제2 보조용량선에 공급하고 있을 때, 상기 게이트선에 구동전압을 인가하여 상기 각 박막 트랜지스터를 도통시키는 것을 특징으로 하는 액정표시장치.

청구항 17

제 16 항에 있어서,

상기 구동회로는 상기 게이트선의 상기 구동전압의 인가가 종료한 직후에 상기 제1 전압 또는 상기 제4 전압을 상기 제1 및 제2 보조용량선에 인가하는 것을 특징으로 하는 액정표시장치.

청구항 18

소정 방향에 따라 배열되고, 각각 박막 트랜지스터를 가지는 복수의 화소;

상기 복수의 화소의 각 박막 트랜지스터의 게이트에 구동신호를 공급하는 상기 복수의 화소의 중심부에 배치된 게이트선;

상기 게이트선과 평행하고, 상기 복수의 화소의 일측에 인접하여 구비되는 제1 보조용량선;

상기 게이트선과 평행하고, 상기 복수의 화소의 일측과 반대하는 반대측에 인접하여 구비되는 제2 보조용량선;

상기 복수의 화소 가운데 제1 군의 화소에 구비되고, 해당 화소에 있는 박막 트랜지스터의 일단자와 상기 제1 보조용량선 사이에 접속된 복수의 제1 보조용량;

상기 복수의 화소 중 제2군의 화소에 구비되고, 해당 화소에 있는 박막 트랜지스터의 일단자와 상기 제2 보조용량선 사이에 접속된 복수의 제2 보조용량; 및

상기 제1 보조용량선 및 상기 제2 보조용량선에 제1, 제2, 제3 및 제4 전압(단, 제1 전압>제2 전압>제3 전압>제4 전압)을 공급하는 구동회로를 구비하고,

상기 게이트 선은 상기 제1 보조 용량선과 상기 제2 보조 용량선과의 사이에 배치되며,

상기 복수의 제1 보조 용량은 상기 게이트 선보다 하부에 배치되어 상기 제1 보조 용량선과 연결되고, 각각 상기 제1 군의 화소의 영역 중 상기 게이트 선보다 하부의 제1 군의 화소의 영역에만 배치되어 각각 상기 제1 군의 화소 및 상기 제1 군의 화소의 좌우측에 인접하는 제2 군의 화소의 경계부에 형성되며,

상기 복수의 제2 보조 용량은 상기 게이트 선보다 상부에 배치되어 상기 제2 보조 용량선과 연결되고, 각각 상기 제2 군의 화소의 영역 중 상기 게이트 선보다 상부의 제2 군의 화소의 영역에만 배치되어 각각 상기 제2 군의 화소 및 상기 제2 군의 화소의 좌우측에 인접하는 제1 군의 화소의 경계부에 형성되고,

상기 각각의 제1 보조 용량 및 상기 각각의 제2 보조 용량은 상기 게이트 선을 사이에 두고, 상기 제1 군의 화소 및 상기 제2 군의 화소에 교번적으로 배치되는 것을 특징으로 하는 액정표시장치.

청구항 19

제 18 항에 있어서,

상기 구동회로는,

상기 제1, 제2, 제3 및 제4 전압을 발생하는 전압 발생 회로;

상기 제 1, 제2, 제3 및 제4 전압을 상기 제1 보조용량선에 순서대로 공급하는 제1 스위치군; 및

상기 제 1, 제2, 제3 및 제4 전압을 상기 제2 보조용량선에 순서대로 공급하는 제2 스위치군을 포함하는 것을 특징으로 하는 액정표시장치.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액티브 매트릭스형의 액정표시장치에 관한 것이다.

배경 기술

[0002] 종래에는 각 화소에 설치된 박막 트랜지스터(TFT)를 구동시켜 각 화소의 액정의 배향상태를 제어하는 액정표시장치가 제안되고 있다.

[0003] 종래의 액정표시장치는 복수의 화소를 구비하고, 복수의 화소는 소정 방향에 따라 배열된다. 각 화소는 TFT를 구비하고, TFT는 게이트에 주사선으로부터 전달된 구동신호가 공급되어 구동한다. 주사선은 상기의 소정 방향으로 배열된 복수의 화소에 연결된다. 또한, 각 화소에는 1개 또는 2개의 보조용량선이 주사선과 평행하게 복수의 화소에 연결된다. 보조용량선과 TFT의 일단과의 사이에는 보조용량이 접속된다. 보조용량선에 전압이 인가되면, 보조용량이 충전하고, 이 결과 각 화소의 액정의 배향상태가 유지된다.

[0004] 그러나, 1개 또는 2개의 보조용량선이 화소의 투과부를 횡단하도록 설치되므로, 각 화소의 개구율이 저하한다.

발명의 내용

해결 하고자하는 과제

[0005] 따라서, 본 발명의 목적은 화소의 개구율을 향상시킬 수 있는 액정표시장치를 제공하는 것이다.

과제 해결수단

[0006] 본 발명의 일 특징에 의하면, 액정표시장치는 제1 박막 트랜지스터를 가지는 제1 화소 및 제2 박막 트랜지스터를 가지는 제2 화소를 가지는 화소군과, 상기 제1 및 제2 박막 트랜지스터의 게이트에 구동신호를 공급하는 게이트선과, 상기 게이트선과 평행하고 상기 제1 화소의 일측에 인접하여 배치된 제1 보조용량선과, 상기 게이트선과 평행하고 상기 제1 화소의 일측과 반대하는 반대측에 인접하여 배치된 제2 보조용량선과, 상기 제1 화소에 구비되고, 상기 제1 박막 트랜지스터의 일단과 상기 제1 보조용량선의 사이에 접속된 제1 보조용량과 상기 제2 화소에 구비되어 상기 제2 박막 트랜지스터의 일단과 상기 제2 보조용량선의 사이에 접속된 제2 보조용량을 포함한다.

[0007] 상기 제1 화소와 상기 제2 화소는 서로 교대로 배열된다.

[0008] 상기 제1 보조용량은 상기 제1 화소 및 상기 제1 화소에 우측으로 인접하는 제2 화소의 경계부에 형성되고, 상기 제2 보조용량은 상기 제2 화소 및 상기 제2 화소에 우측으로 인접하는 제1 화소의 경계부에 형성된다.

[0009] 상기 제1 보조용량선은 제1 돌기부 및 제2 돌기부를 포함한다. 상기 제1 보조용량은 상기 제1 박막 트랜지스터의 제1 반도체층, 상기 제1 돌기부 및 상기 제1 반도체층과 상기 제1 돌기부와 사이에 끼워지는 절연체로 구성되는 제1 서브보조용량과, 상기 제1 반도체층, 상기 제2 돌기부 및 상기 제1 반도체층과 상기 제2 돌기부의 사이에 끼워지는 절연체로 구성되는 제2 서브보조용량을 포함한다.

[0010] 한편, 상기 제2 보조용량선은 제3 돌기부 및 제4 돌기부를 포함한다. 상기 제2 보조용량은 상기 제2 박막 트랜지스터의 제2 반도체층, 상기 제3 돌기부 및 상기 제2 반도체층과 상기 제3 돌기부의 사이에 끼워지는 절연체로 구성되는 제3 서브보조용량과, 상기 제2 반도체층, 상기 제4 돌기부 및 상기 제2 반도체층과 상기 제4 돌기부의 사이에 끼워지는 절연체로 구성되는 제4 서브보조용량을 포함한다.

[0011] 상기 제1 보조용량선은 제1 돌기부 및 제2 돌기부를 포함한다. 상기 제1 보조용량은 상기 제1 화소의 제1 화소 전극, 상기 제1 돌기부 및 상기 제1 화소 전극과 상기 제1 돌기부와 사이에 끼워지는 절연체로 구성되는 제1 서브보조용량과, 상기 제1 화소 전극, 상기 제2 돌기부 및 상기 제1 화소 전극과 상기 제2 돌기부의 사이에 끼

워지는 절연체로 구성되는 제2 서브보조용량을 포함한다.

- [0012] 한편, 상기 제2의 보조용량선은 제3 돌기부 및 제4 돌기부를 포함한다. 상기 제2 보조용량은 상기 제2 화소의 제2 화소 전극, 상기 제3 돌기부 및 상기 제2 화소 전극과 상기 제3 돌기부의 사이에 끼워지는 절연체로 구성되는 제3 서브보조용량과, 상기 제2 화소 전극, 상기 제4 돌기부 및 상기 제2 화소 전극과 상기 제4 돌기부의 사이에 끼워지는 절연체로 구성되는 제4 서브보조용량을 포함한다.
- [0013] 상기 액정표시장치는 상기 게이트선에 소정의 주기의 게이트 구동신호를 공급하면서, 상기 제1 보조용량선에 상기 게이트 구동신호와 동기한 제1 신호를 공급하고, 상기 제2 보조용량선에 상기 제1 신호와 역상을 갖는 제2 신호를 공급하는 구동회로를 더 포함한다.
- [0014] 본 발명의 다른 특징에 따른 액정표시장치는 소정 방향에 따라 배열된 복수의 화소, 상기 복수의 화소 상에 배치되고, 각각의 화소에 대응하는 칼라 필터, 상기 칼라 필터에 인접하는 경계부에 대응하여 형성된 복수의 차광부, 및, 각각 대응하는 상기 복수의 차광부 하에 형성된 복수의 보조용량을 포함한다. 상기 복수의 화소는 각각 해당 화소를 구동하는 복수의 박막 트랜지스터, 상기 복수의 박막 트랜지스터의 게이트에 접속되며 상기 복수의 화소의 중심축을 관통하는 게이트선, 상기 게이트선에 평행하고 상기 복수의 화소의 일측에 인접하여 배치된 제1 보조용량선, 상기 게이트선에 평행하고 상기 복수의 화소의 일측과 반대하는 반대측에 인접하여 배치된 제2 보조용량선을 포함한다.
- [0015] 여기서, 상기 복수의 보조용량은 각각 대응하는 화소의 상기 박막 트랜지스터의 일단과 상기 제1 보조용량선의 사이에 접속된 복수의 제1 보조용량 및 각각 대응하는 화소의 상기 복수의 트랜지스터의 일단과 상기 제2 보조용량선의 사이에 접속된 복수의 제2 보조용량으로 이루어진다.
- [0016] 상기 복수의 제1 보조용량과 상기 복수의 제2 보조용량은 각각 상기 소정 방향으로 서로 교대로 배치된다.
- [0017] 상기 액정표시장치는 상기 게이트선에 소정의 주기의 게이트 구동신호를 공급하면서, 상기 제1 보조용량선에 상기 게이트 구동신호와 동기한 제1 신호를 공급하고, 상기 제2 보조용량선에 상기 제1 신호와 역상을 갖는 제2 신호를 공급하는 구동회로를 더 포함한다.
- [0018] 상기 복수의 제1 보조용량과 상기 복수의 제2 보조용량은 거의 동일한 캐패시턴스를 갖는다.
- [0019] 본 발명의 또 다른 특징에 따른 액정표시장치는 소정 방향에 따라 배열되고, 각각 박막 트랜지스터를 가지는 복수의 화소, 상기 복수의 화소의 각 박막 트랜지스터의 게이트에 구동신호를 공급하는 게이트선, 상기 게이트선과 평행하게 배치된 보조용량선, 및, 상기 보조용량선에 제1, 제2, 제3 및 제4 전압(단, 제1 전압>제2 전압>제3 전압>제4 전압)을 공급하는 구동회로를 포함한다.
- [0020] 상기 구동회로는 상기 제3 전압, 상기 제4 전압, 제2 전압, 제1 전압의 순서로 반복하여 상기 보조용량선에 전압을 공급한다.
- [0021] 상기 구동회로는 상기 제4의 전압 또는 상기 제1 전압을 공급하고 있을 때, 상기 게이트선에 구동전압을 인가하여 상기 각 박막 트랜지스터를 도통시킨다.
- [0022] 상기 구동회로는 상기 제3 전압, 상기 제1 전압, 제2 전압, 제4 전압의 순서로 반복하여 상기 보조용량선에 공급하도록 하여도 무방하다.
- [0023] 상기 구동회로는 상기 제3 전압 또는 상기 제2 전압을 공급하고 있을 때, 상기 게이트선에 구동전압을 인가하여 상기 각 박막 트랜지스터를 도통시킨다.
- [0024] 상기 구동회로는 상기 게이트선의 상기 구동전압의 인가가 종료한 직후에 상기 제1 전압 또는 상기 제4 전압을 인가한다.
- [0025] 본 발명의 또 다른 특징에 따른 액정표시장치는 소정 방향에 따라 배열되고, 각각 박막 트랜지스터를 가지는 복수의 화소, 상기 복수의 화소의 각 박막 트랜지스터의 게이트에 구동신호를 공급하는 상기 복수의 화소의 중심부에 배치된 게이트선, 상기 게이트선과 평행하고 상기 복수의 화소의 일측에 인접하여 배치된 제1 보조용량선, 상기 게이트선과 평행하고 상기 복수의 화소의 일측과 반대하는 반대측에 배치된 제2 보조용량선, 상기 복수의 화소 가운데 제1군의 화소에 구비되고, 해당 화소에 있는 박막 트랜지스터의 일단자와 상기 제1 보조용량선 간에 접속된 복수의 제1 보조용량, 상기 복수의 화소 중 제2군의 화소에 구비되고, 해당 화소에 있는 박막 트랜지스터의 일단자와 상기 제2 보조용량선 간에 접속된 복수의 제2 보조용량; 및, 상기 제1 보조용량선 및 상기 제2 보조용량선에 제1, 제2, 제3 및 제4 전압(단, 제1 전압>제2 전압>제3 전압>제4 전압)을 공급하는 구동회

로를 포함한다.

[0026] 상기 구동회로는 상기 제 1, 제2, 제3및 제4 전압을 발생하는 전압 발생 회로, 상기 제 1, 제2, 제3및 제4 전압을 상기 제 1 보조용량선에 순서대로 공급하는 제1 스위치군과, 상기 제 1, 제2, 제3및 제4 전압을 상기 제 2의 보조용량선에 순서대로 공급하는 제2 스위치군을 구비하도록 하여도 무방하다.

효 과

[0027] 본 발명의 액정표시장치에서는 소정 방향에 따라 배열된 복수의 화소는 각각 박막 트랜지스터를 구비하고, 이들 복수의 화소의 중심부에는 게이트선이 배치된다. 게이트선은 복수의 화소의 각 박막 트랜지스터의 게이트에 구동신호를 공급한다.

[0028] 또한, 복수의 화소의 일단에 따라 제1 보조용량선이 배치되고, 제1 보조용량선은 게이트선과 평행하게 연장된다. 복수의 화소 중 제 1군의 화소 중에 설치된 화소에 있는 박막 트랜지스터의 일단자와 제1 보조용량선 간에는 복수의 제1 보조용량이 접속되어 있다. 또한, 복수의 화소의 타단에 따라 제2 보조용량선이 배치되어 있고, 제2 보조용량선은 제1 보조용량선과는 반대측에 게이트선과 평행하게 되어 있다. 복수의 화소 중 제2군의 화소 중에 설치된 화소에 있는 박막 트랜지스터의 일단자와 제2 보조용량선 간에는 복수의 제2 보조용량이 접속되어 있다.

[0029] 또한, 본 발명의 일 실시예에 의하면, 화소의 전위를 유지하는 보조용량을 확보하기 위하여 통상의 게이트선보다 굵은 보조용량선을 화소 간의 차광부에 배치하고, 신호선에 따른 화소 간의 차광부에도 보조용량을 형성하여, 투과부에서 차광하는 보조용량의 배치면적을 줄이게 되고, 화소의 개구율을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0030] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.

[0031] (실시예 1)

[0032] 도 1은 본 발명의 실시예 1에 따른 액정표시장치의 블록도이다. 도 2는 본 발명의 실시예 1에 따른 액정표시장치의 표시패널을 나타낸 확대도이고, 도 3은 본 발명의 실시예 1에 따른 액정표시장치의 구동방법을 나타내는 신호의 파형도이다.

[0033] 도 1 및 도 2 에서, 액정표시장치(10)은 액티브 매트릭스형 표시장치이고, 닷(dot) 반전 구동법을 이용하여 구동된다.

[0034] 도 1 및 도 2를 참조하면, 액정표시장치(10)은 표시패널(11)을 구비한다. 표시패널(11)은 도시하지 않은 기판을 가지고, 표시패널(11)은 상기 기판 상에 복수의 화소 (12, 화소부)를 구비한다. 각 화소(12)는 직선형상으로 형성된다. 이러한 화소(12)의 긴 방향을 열방향으로 정의하면, 화소(12)는 열방향을 따라 배열되고, 직사각형 직교 방향을 행방향으로 정의하면, 행방향을 따라 배열되어, 전체적으로 매트릭스 형태로 배열된다.

[0035] 이러한 복수의 화소(12) 각각은 박막 트랜지스터(14)를 구비한다. 각 박막 트랜지스터(14)의 일단에는 화소전극, 액정 및 대향 전극으로 구성된 액정 용량(15)의 일단이 접속되어 있다. 또한, 각 화소(12)는 도시하지 않은 화소 전극을 구비한다.

[0036] 이상에서 설명한 화소(12)에는 제1군에 속하는 것과 제2군에 속하는 것이 있고, 이하에서는 제1군에 속하는 화소(12A)와 제2군에 속하는 화소(12B)를 구별하는 경우에는, 제1군에 속하는 화소(12A)를 제1군의 화소(12A), 제2군에 속하는 화소(12B)를 제2군의 화소(12B)라고 한다. 상기 제1군의 화소(12A)와 제2군의 화소(12B)는 행방향 및 열방향에 있어서 교대로 배열되고 있다.

[0037] 또한, 복수의 화소(12)의 중심부에는 게이트선(16)이 배치되어 있다. 게이트선(16)은 복수의 화소(12)의 중심축을 관통한다.(화소(12)의 행방향을 따라 연장됨). 게이트선(16)에는 복수의 박막 트랜지스터(14)의 게이트(18)가 접속되어 있다. 따라서, 게이트선(16)은 복수의 화소(12)의 각 박막 트랜지스터(14)의 게이트(18)에 구동신호를 공급하고, 이로써, 각 박막 트랜지스터(14)는 대응하는 화소(12)를 구동한다.

[0038] 또한, 표시패널(11)은 제1 보조용량선(20)을 구비한다. 제1 보조용량선(20)은 게이트선(16)과 평행하게(화소(12)의 행방향을 따라) 연장된다. 여기에서 제1 보조용량선(20)에 대한 「평행」이란 용어는, 제1 보조용량선(20)이 연장되는 도중에 지그재그상으로 꺾여지거나, 돌출부를 갖는 경우를 포함한다.

- [0039] 또한, 표시패널(11)은 제2 보조용량선(22)을 구비한다. 제2 보조용량선(22)는 게이트선(16)과 평행하게(화소(12)의 행방향을 따라) 연장되고, 제1 보조용량선(20)과는 반대측에 배치된다. 여기에서 제2 보조용량선(22)에 대한 「평행」이란 용어는, 제2 보조용량선(22)이 연장되는 도중에 지그재그상으로 꺾여지거나, 돌출부를 갖는 경우도 포함된다.
- [0040] 이와 같이 화소의 전위를 보관 유지하는 보조용량을 확보하기 위해서, 통상 게이트선보다 짧은 보조용량선을 화소들 사이의 차광부에 배치하고, 신호선에 따른 화소간의 차광부에도 보조용량을 형성하여, 광을 차단할 수 있는 보조용량이 투과부에 형성되는 면적을 줄일 수 있게 되고, 그 결과, 화소(12)의 개구율을 향상시킬 수 있다.
- [0041] 이러한 복수의 화소(12) 중의 제1군의 화소(12A)중에는 복수의 보조용량(24)을 구성하는 복수의 제1 보조용량(24A)이 설치되어 있다. 복수의 제1 보조용량(24A)은 제1군의 화소(12A)에 있는 박막 트랜지스터(14)의 일단자와 제1 보조용량선(20) 사이에 접속되어 있다.
- [0042] 한편, 복수의 화소(12) 중의 제2군의 화소(12B)중에는 복수의 제1 보조용량(24A)과 함께 복수의 보조용량(24)을 구성하는 복수의 제2 보조용량(24B)이 설치되어 있다. 이들 복수의 제2 보조용량(24B)은 제2군의 화소(12B)에 있는 박막 트랜지스터(14)의 일단자와 제2 보조용량선(22) 사이에 접속되어 있다.
- [0043] 복수의 제1 보조용량(24A)과 복수의 제2 보조용량(24B)은 각각 화소(12)의 행방향 및 열방향을 따라 교대로 배치되어 있다. 여기서, 복수의 제1 보조용량(24A)과 복수의 제2 보조용량(24B)은 서로 거의 동일한 캐패시턴스를 갖는다.
- [0044] 신호선(28A)은 제1 화소군(12A)의 박막 트랜지스터(14)에 접속되고, 화상신호를 상기 제1 화소군(12A)의 박막 트랜지스터(14)에 공급한다. 또한, 신호선(28B)은 제2 화소군(12B)의 박막 트랜지스터(14)에 접속되고, 화상신호를 상기 제2 화소군(12B)의 박막 트랜지스터(14)에 공급한다.
- [0045] 도 4는 본 발명의 실시예 1에 따른 액정표시장치의 화소부의 레이아웃이다. 도 5는 도 4에 도시된 액정표시장치의 화소부의 확대도이다. 도 6은 도 4에 나타난 절단선 4A-4B에 따라 절단한 단면도이고, 도 7은 도 4에 나타난 절단선 5A-5B에 따라 절단한 단면도이다.
- [0046] 본 실시예 1에서, 제1 보조용량(24A)은 제1군의 화소(12A)와 인접하는 제2군의 화소(12B)와의 경계부(26)에 형성되고, 제2 보조용량(24B)은 제2군의 화소(12B)와 인접하는 제1군의 화소(12A)의 경계부(26)에 형성된다.
- [0047] 도 4 및 도 5에 나타난 바와 같이, 액정표시장치의 제1 화소군(12A)은 박막 트랜지스터(14)의 제1 반도체층(40A)을 구비한다. 제1 반도체층(40A)은 지그재그상으로 형성된다. 제1 반도체층(40A)은 도 4에서 보듯이, 제1 및 제2 돌출부(20a, 20b) 및 제1 보조용량선(20)의 일부의 하부에 형성된다. 신호선(28A)의 일부, 제1 돌출부(20a) 및 반도체층(40A)의 일부가 서로 오버랩되므로, 그 상부에는 차광막이 제공될 필요가 없다. 또한, 제1 반도체층(40A), 제1 돌출부(20a) 및 그 사이에 끼워진 절연층(미도시)에 의하여 제1 서브보조용량(24A1)이 형성되고, 제1 반도체층(40A), 제2 돌출부(20b) 및 그 사이에 끼워진 절연층에 의하여 제2 서브보조용량(24A3)이 형성된다. 한편, 신호선(28B)의 일부와 제2 돌출부(20b) 및 반도체층(40A)의 일부가 서로 오버랩되므로, 그 상부에는 차광막이 제공될 필요가 없다. 여기서, 제1 반도체층(40A), 제1 보조용량선(20)의 일부 및 그 사이에 끼워진 절연층에 의하여 제3 서브보조용량(24A2)이 형성된다. 본 실시예에서, 제1 내지 제3 서브보조용량(24A1, 24A2, 24A3)이 제1 화소군(12A)의 제1 보조용량(24A)을 구성한다.
- [0048] 또한, 도 4에서 도면부호 60은 화소전극을 나타낸다. 본 실시예에서는, 화소전극(60)은 IZO(Indium Zinc Oxide) 또는 ITO(Indium Tin Oxide)로 이루어질 수 있다. 또한, 도 4 및 도 5에 나타난 바와 같이, 액정표시장치의 제2 화소군(12B)은 제1 화소군(12A)과 마찬가지로 박막 트랜지스터(14)의 제2 반도체층(40B)을 구비한다. 본 실시예에서, 제2 반도체층(40B)은 지그재그 상으로 형성된다. 제2 반도체층(40B)은 도 4에서 보듯이, 제3 및 제4 돌출부(22a, 22b) 및 제2 보조용량선(22)의 일부의 하부에 형성되어 있다. 신호선(28A)의 일부와 제3 돌출부(22a) 및 반도체층(40A)의 일부가 서로 오버랩되므로, 그 상부에는 차광막이 제공될 필요가 없다. 여기서, 제2 반도체층(40B), 제3 돌출부(22a) 및 그 사이에 끼워진 절연층에 의하여 제4 서브보조용량(24B1)이 형성된다. 또한, 제2 반도체층(40B), 제4 돌출부(22b) 및 그 사이에 끼워진 절연층에 의하여 제5 서브보조용량(24B3)이 형성된다. 한편, 신호선(28B)의 일부와 제4 돌출부(22b) 및 반도체층(40A)의 일부가 서로 오버랩되므로, 그 상부에는 차광막이 제공될 필요가 없다. 여기서, 제2 반도체층(40B), 제2 보조용량선(22)의 일부 및 그 사이에 끼워진 절연층에 의하여 제6 서브보조용량(24B2)이 형성된다. 본 실시예에서, 제4 내지 제6 서브보조용량(24B1, 24B2, 24B3)은 제2 화소군(12B)의 제2 보조용량(24B)을 구성한다.

- [0049] 이들 제1 및 제2 보조용량(24A, 24B)은 불투명한 금속막을 포함하므로, 화소 내에서 차광부 역할을 수행한다.
- [0050] 도 4 및 도 5에 나타낸 바와 같이, 본 발명의 실시예 1에 따른 액정표시장치에 있어서는, 제1 및 제2 보조용량선(20, 22)에 각각 돌출부가 형성됨으로써, 제1 및 제2 화소군(12A, 12B)에 충분한 크기의 제1 및 제2 보조용량(24A, 24B)을 형성할 수 있다. 본 실시예 1에서는, 제1 및 제2 반도체층(40A, 40B)이 지그재그상으로 형성된 폴리 실리콘으로 이루어지나, 이것에 한정되지는 않는다.
- [0051] 도 6 및 도 7에 나타낸 바와 같이, 액정표시장치의 박막 트랜지스터 기판은 제1 기판(48), 제1 보호막(50), 제1 반도체층(40A), 게이트선(16)(게이트 전극), 게이트 절연막(52), 층간 절연막(54), 신호선(28), 제2 보호막(58), 화소전극(60), 및 제1 배향막(62)을 구비한다. 또한, 본 실시예 1에 따른 액정표시장치의 대향 기판은 제2 기판(70), 칼라 필터(72A, 72B, 72C), 대향 전극(74) 및 제2 배향막(76)을 구비한다. 박막 트랜지스터 기판과 대향 기판은 스페이서(미도시)를 사이에 두고 서로 대향하여 결합하며, 이들 기판 사이에는 액정층(64)이 개재된다. 또한, 칼라필터(72A, 72B, 72C)와 인접하는 경계부에 대응하여 상기 대향기판에 차광막(미도시)을 더 구비하여도 무방하다.
- [0052] 본 실시예 1에서 제1 보호막(50)은 질화 실리콘막으로 이루어지고, 게이트선(16)(게이트 전극)은 몰리브덴-탄탈(MoTa)로 이루어지며, 게이트 절연막(52)은 산화 실리콘막으로 이루어진다. 또한, 층간 절연막(52)은 산화 실리콘막과 질화 실리콘막과의 적층막으로 이루어지고, 신호선(28)은 알루미늄(Al)으로 이루어지며, 제2 보호막(58)은 산화 실리콘막(SiO₂)으로 이루어진다. 화소전극(60)은 ITO(indium tin oxide)으로 이루어지며, 배향막(62)은 폴리이미드로 이루어진다. 그러나, 여기에 한정되지는 않는다.
- [0053] 다시 도 1을 참조하면, 본 발명의 실시예 1에 따른 액정표시장치(10)는 구동회로(82)를 구비한다. 구동회로(82)는 전압 발생 회로(84), 제1 스위치군(86), 제2 스위치군(88), SC 타이밍 제네레이터(90), 게이트 쉬프트 레지스터(92), 게이트 드라이버(94), 및 제어회로(96)로 이루어진다.
- [0054] 전압 발생 회로(84)는 제1, 제2, 제3 및 제4 전압(V₁, V₂, V₃, V₄)를 발생한다. 제1 스위치군(86)은 제1, 제2, 제3 및 제4 전압(V₁, V₂, V₃, V₄)를 선택하여 제1 보조용량선(20)에 순서대로 공급한다. 제2 스위치군(88)은 제1, 제2, 제3 및 제4 전압(V₁, V₂, V₃, V₄)를 선택하여 제2 보조용량선(22)에 순서대로 공급한다. 제1 스위치군(86) 및 제2 스위치군(88)에는 SC타이밍 제네레이터(90)가 접속된다. 이 SC 타이밍 제네레이터(90)에 의하여, 제1 스위치군(86) 및 제2 스위치군(88)의 스위치 동작 타이밍이 제어된다.
- [0055] 이 SC 타이밍 제네레이터(90)에는 게이트 쉬프트 레지스터(82)가 접속되어 있다. 게이트 쉬프트 레지스터(82)는 SC 타이밍 제네레이터(90)에 의하여 선택되는 게이트선(16)에 관한 명령신호를 SC 타이밍 제네레이터(90)에 출력한다.
- [0056] 또한, 게이트선(16)에는 게이트 드라이버(94)가 접속된다. 게이트 드라이버(94)는 구동시키는 행의 화소(12)에 대응한 게이트선(16)에 게이트 구동신호를 공급한다.
- [0057] 이상에서 설명한 바와 같이, 전압 발생 회로(84), 제1 스위치군(86), 제2 스위치군(88), SC 타이밍 제네레이터(90), 게이트 쉬프트 레지스터(92), 및 게이트 드라이버(94)는 제어회로(96)에 접속되고, 이 제어회로(96)은 전압 발생 회로(84), 제1 스위치군(86), 제2 스위치군(88), SC타이밍 제네레이터(80), 게이트 쉬프트 레지스터(82) 및 게이트 드라이버(84)의 각 동작을 제어한다.
- [0058] 이러한 전압 발생 회로(84), 제1 스위치군(86), 제2 스위치군(88), SC타이밍 제네레이터(90), 게이트 쉬프트 레지스터(92), 게이트 드라이버(94), 제어회로(96)의 전부 또는 일부를 표시패널(11)과 일체로 형성하여도 무방하고, IC 형태로 구성하여도 무방하다.
- [0059] 이상에서 설명한 바와 같이, 구동회로(82)는 게이트선(16)에 소정의 주기의 게이트 구동신호를 공급하면서, 제1 보조용량선(20)에 게이트 구동신호와 동기 한 제1 신호(S₁)를 공급하고, 제2 보조용량선(22)에 제1 신호(S₁)와 거의 역상의 제2 신호(S₂)를 공급한다. 보다 상세히 말하면, 제2 신호(S₂)는 제1 신호(S₁)보다 타이밍이 1 수평기간 늦다. 구동회로(82)는 제1 보조용량선(20) 및 제2 보조용량선(22)에 제1, 제2, 제3 및 제4 전압(단, 제1 전압(V₁) > 제2 전압(V₂) > 제3 전압(V₃) > 제4 전압(V₄))을 공급한다.
- [0060] 도 3에 나타낸 바와 같이, 구동회로(82)는 제3 전압(V₃), 제1 전압(V₁), 제2 전압(V₂), 제4 전압(V₄)의 순서대로 반복하고, 제1 보조용량선(20) 및 제2 보조용량선(22)에 공급한다.
- [0061] 여기에서 구동회로(82)는 박막 트랜지스터(14)의 게이트(18)가 온 상태로 전환된 직후(보다 상세히 말하면, 화소(12)의 전압(화소전압)의 쉬프트 타이밍에) 제1 보조용량선(20), 제2 보조용량선(22)에 공급하는 전압을 오퍼

드라이브 시키도록 설정되어 있다.

- [0062] 화소(12)의 전위가 (-)전위로부터 (+)전위로 전환하는 경우, 구동회로(82)는 제3 전압(V3)을 제1 보조용량선(20) 또는 제2 보조용량선(22)에 공급할 때, 게이트선(16)에 구동전압(게이트 구동신호)을 인가하여 대응하는 화소(12)의 박막 트랜지스터(14)의 게이트(18)를 온시킨다. 따라서, 박막 트랜지스터(14)가 도통된 직후에 상기 화소(12)는 오버드라이브 기간으로 이행할 수 있다. 구동회로(82)는 제3 전압(V3)로부터 제2 전압(V2)보다 전압이 높은 제1 전압(V1)을 제1 보조용량선(20) 및 제2 보조용량선(22)에 인가한다. 따라서, 제3 전압(V3)로부터 제2 전압(V2)을 제1 보조용량선(20) 및 제2 보조용량선(22)에 인가하는 구성과 비교하여, 보다 큰 전압(V1-V3)을 제1 보조용량선(20) 및 제2 보조용량선(22)에 인가할 수 있다.
- [0063] 또한, 화소(12)의 전위가 (+)전위로부터 (-)전위로 전환하는 경우, 구동회로(82)는 제2 전압(V2)을 제1 보조용량선(20) 또는 제2 보조용량선(22)에 공급하고 있을 때, 게이트선(16)에 구동전압(게이트 구동신호)을 인가하여 대응하는 화소(12)의 박막 트랜지스터(14)의 게이트(18)를 온시킨다. 따라서, 박막 트랜지스터(14)가 도통된 직후에 화소(12)는 오버드라이브 기간으로 이행할 수 있다. 구동회로(82)는 제2 전압(V2)으로부터 제3 전압(V3)보다 전압이 낮은 제4 전압(V4)을 제1 보조용량선(20) 및 제2 보조용량선(22)에 인가한다. 따라서, 제2 전압(V2)로부터 제3 전압(V3)을 제1 보조용량선(20) 및 제2 보조용량선(22)에 인가하는 구성과 비교하여, 보다 큰 전압(V4-V2)을 제1 보조용량선(20) 및 제2 보조용량선(22)에 인가할 수 있다.
- [0064] 이상에서 설명한 바와 같이, 액정용량(15)에 전압을 인가할 때, 종래보다 큰 전압을 보조용량(24)에 공급할 수 있으므로, 액정의 배향상태를 종래보다 빨리 원하는 상태로 할 수 있을 뿐만 아니라, 화소(12)의 전압(화소전압)을 보다 길게 적정 범위로 유지할 수 있다.
- [0065] (실시예 2)
- [0066] 본 실시예 2에서는, 액정표시장치(10)의 다른 예에 대하여 설명한다. 본 실시예 2에 따른 액정표시장치(10)는 실시예 1과 마찬가지로, 액티브 매트릭스형 표시장치이고, 닷(dot) 반전 구동법을 이용하여 구동된다. 또한, 본 실시예 2에 따른 액정표시장치에 대해서는, 액정표시장치(10)의 화소 구조 이외는 실시예 1과 같다. 따라서, 본 실시예 2에 따른 액정표시장치(10)에 대해서는, 실시예 1에 따른 액정표시장치(10)와 같은 구성에 대해서는 다시 설명하지 않겠다.
- [0067] 도 8은 본 발명의 실시예 2에 따른 액정표시장치의 화소부의 레이아웃이다. 도 9는 도 8에 도시된 액정표시장치의 화소부를 확대한 확대도이다. 도 10은 도 9에 나타난 절단선 4A-4B에 따라 절단한 단면도이고, 도 11은 도 9에 나타난 절단선 5A-5B에 따라 절단한 단면도이다.
- [0068] 본 실시예 2에서, 제1 보조용량(24A)은 제1군의 화소(12A) 및 인접하는 제2군의 화소(12B)와의 경계부(26)에 따라 형성된다. 한편, 제2 보조용량(24B)은 제2군의 화소(12B) 및 인접하는 제1군의 화소(12A)의 경계부(26)에 따라 형성된다.
- [0069] 도 8 및 도 9에 나타난 바와 같이, 본 실시예 2에 따른 액정표시장치(10)는 제1 화소군(12A)에 박막 트랜지스터(14)의 제1 반도체층(40A)을 구비한다. 본 실시예 2에서, 제1 반도체층(40A)은 대략 직각으로 꺾여진 형상으로 형성된다. 그러나, 제1 반도체층(40A)의 형상은 도 8에 나타난 형상으로 한정되는 것은 아니다. 도 8에서 보듯이, 제1 보조용량선(20)은 제1 및 제2 돌출부(20a, 20b)를 구비한다. 여기서, 도면부호 60은 화소 전극이다. 본 실시예 2에서, 화소전극(60)에는 IZO(Indium Zinc Oxide) 또는 ITO(Indium Tin Oxide)로 이루어질 수 있다. 본 실시예 2에 따른 액정표시장치(10)에서, 제1 반도체층(40A) 상에 형성되고, 화소 전극(60)과 전기적으로 연결된 전극(84), 제1 돌출부(20a) 및 그 사이에 끼워진 절연층(미도시)에 의하여 제1 서브보조용량(24A1)이 형성된다. 또한, 화소전극(60), 제2 돌출부(20b) 및 그 사이에 끼워진 절연층에 의하여 제2 서브보조용량(24A3)이 형성된다. 화소전극(60), 제1 보조용량선(20)의 일부 및 그 사이에 끼워진 절연층에 의하여 제3 서브보조용량(24A2)이 형성된다. 본 실시예 2에서는, 제1 내지 제3 서브보조용량(24A1, 24A2, 24A3)이 제1 화소군(12A)의 제1 보조용량(24A)을 구성한다.
- [0070] 또한, 도 8에 나타난 바와 같이, 본 실시예 2에 따른 액정표시장치(10)는 제2 화소군(12B)에 박막 트랜지스터(14)의 제2 반도체층(40B)을 구비한다. 본 실시예 2에서, 제2 반도체층(40B)은 대략 직각으로 꺾여진 형상으로 형성된다. 그러나, 제2 반도체층(40B)의 형상은 도 8에 나타난 형상으로 한정되는 것은 아니다. 도 8에서 보듯이, 제2 보조용량선(22)은 제3 및 제4 돌출부(22a, 22b)를 구비한다. 본 실시예 2에 따른 액정표시장치(10)에서, 제2 반도체층(40B) 상에 형성되고, 화소 전극(60)과 전기적으로 연결되는 전극(84), 상기 제3 돌출부(22a) 및 그 사이에 끼워진 절연층에 의하여 제4 서브보조용량(24B1)이 형성된다. 또한, 화소전극

(60), 돌출부(22b) 및 그 사이에 끼워진 절연층에 의하여 제5 서브보조용량(24B3)이 형성된다. 화소 전극(60), 제2 보조용량선(22)의 일부 및 그 사이에 끼워진 절연층에 의하여 제6 서브보조용량(24B2)이 형성된다. 따라서, 본 실시예 2에서, 제4 내지 제6 서브보조용량(24B1, 24B2, 24B3)은 제2 화소군(12B)의 제2 보조용량(24B)을 구성한다.

[0071] 이들 제1 및 제2 보조용량(24A, 24B)은 불투명한 금속막으로 이루어지므로, 화소 내에서 차광부 역할을 수행한다.

[0072] 도 8에 나타난 바와 같이, 본 실시예 2에 따른 액정표시장치(10)에서 제1 및 제2 보조용량(24A, 24B)이 각각 세 개의 서브보조용량으로 이루어지므로, 충분한 보조용량을 형성할 수가 있다. 본 실시예 2에서 제1 및 제2 반도체층(40A, 40B)은 대략 직각으로 격여진 형상으로 형성되어 있는 아몰퍼스(amorphous) 실리콘으로 이루어지지만, 이에 한정되는 것은 아니다.

[0073] 도 10 및 도 11에 나타난 바와 같이, 본 실시예 2에 따른 액정표시장치의 박막 트랜지스터 기판은 제1 기판(48), 제1 보호막(50), 제1 반도체층(40A), 게이트 절연막(52), 게이트선(16)(게이트 전극), 오믹 콘택트층(80, 82), 소스/드레인 전극(84, 86), 제2 보호막(58), 화소전극(60), 및 제1 배향막(62)을 구비한다. 또한, 본 실시예 2에 따른 액정표시장치의 대향 기판은 제2 기판(70), 칼라 필터(72A, 72B, 72C), 대향 전극(74) 및 제2 배향막(76)을 구비한다. 박막 트랜지스터 기판과 대향 기판은 스페이서를 사이에 두고 서로 대향하여 결합하고, 이들 기판의 사이에는 액정층(64)이 개재된다. 또한, 제2 기판(70)에는 차광부(73)가 더 구비된다.

[0074] 본 실시예 2에서, 제1 보호막(50)은 질화 실리콘막으로 이루어지고, 게이트선(16)(게이트 전극)은 몰리브덴-탄탈(MoTa)로 이루어지며, 게이트 절연막(52)은 산화 실리콘막으로 이루어진다. 또한, 신호선(28)은 알루미늄(Al)으로 이루어지고, 제2 보호막(58)은 질화 실리콘막(SiN)으로 이루어지며, 화소 전극(60)은 ITO(indium tin oxide)로 이루어지고, 제1 배향막(62)은 폴리이미드로 이루어진다. 그러나, 상기한 막들은 여기에 한정되는 것은 아니다.

[0075] (실시예 3)

[0076] 본 실시예 3에서는, 본 발명의 액정표시장치(10)의 다른 예에 대하여 설명한다. 본 실시예 3에 따른 액정표시장치(10)는 실시예 1 및 2와 마찬가지로, 액티브 매트릭스형 표시장치이고, 닷(dot) 반전 구동법을 이용하여 구동된다. 또한, 본 실시예 3에 따른 액정표시장치에 대해서는, 화소 구조 이외는 실시예 1 및 2와 같다. 따라서, 본 실시예 3에 따른 액정표시장치(10)에서, 실시예 1 및 2와 같은 구성에 대해서는 다시 설명하지 않겠다.

[0077] 도 12는 본 발명의 실시예 3에 따른 액정표시장치의 화소부의 레이아웃이다. 도 13은 도 12에 도시된 액정표시장치의 화소부의 확대도이다. 도 14는 도 13에 나타난 절단선 4A-4B에 따라 절단한 단면도이고, 도 15는 도 13에 나타난 절단선 5A-5B에 따라 절단한 단면도이다.

[0078] 본 실시예 3에서, 제1 보조용량(24A)은 제1군의 화소(12A) 및 인접하는 제2군의 화소(12B)와의 경계부(26)를 따라 형성된다. 한편, 제2 보조용량(24B)은 제2군의 화소 12B 및 인접하는 제1군의 화소(12A)의 경계부(26)를 따라 형성된다.

[0079] 도 12 및 도 13에 나타난 바와 같이, 본 실시예 3에 따른 액정표시장치(10)는 제1 화소군(12A)에 박막 트랜지스터(14)의 제1 반도체층(40A)을 구비한다. 실시예 2와 마찬가지로 본 실시예 3에서 제1 반도체층(40A)은 대략 직각으로 격여진 형상으로 형성되고 있다. 그러나, 제1 반도체층(40A)의 형상은 도 10에 나타내는 형상에 한정되는 것은 아니다. 도 10에서 보듯이, 제1 보조용량선(20)은 제1 및 제2 돌출부(20a, 20b)를 구비한다. 여기서, 도면부호 60은 화소전극이다. 본 실시예 3에서, 화소 전극(60)은 IZO(Indium Zinc Oxide) 또는 ITO(Indium Tin Oxide)로 이루어진다. 본 실시예 3에 따른 액정표시장치(10)에서 화소 전극(60), 제1 돌출부(20a) 및 그 사이에 끼워진 절연층(미도시)에 의하여 제1 서브보조용량(24A1)이 형성된다. 또한, 화소전극(60), 제2 돌출부(20b) 및 그 사이에 끼워진 절연층에 의하여 제2 서브보조용량(24A3)이 형성된다. 화소전극(60), 제1 보조용량선(20)의 일부 및 그 사이에 끼워진 절연층에 의하여 제3 서브보조용량(24A2)이 형성된다. 본 실시예 3에서, 제1 내지 제3 서브보조용량(24A1, 24A2, 24A3)은 제1 화소군(12A)의 제1 보조용량(24A)을 구성한다.

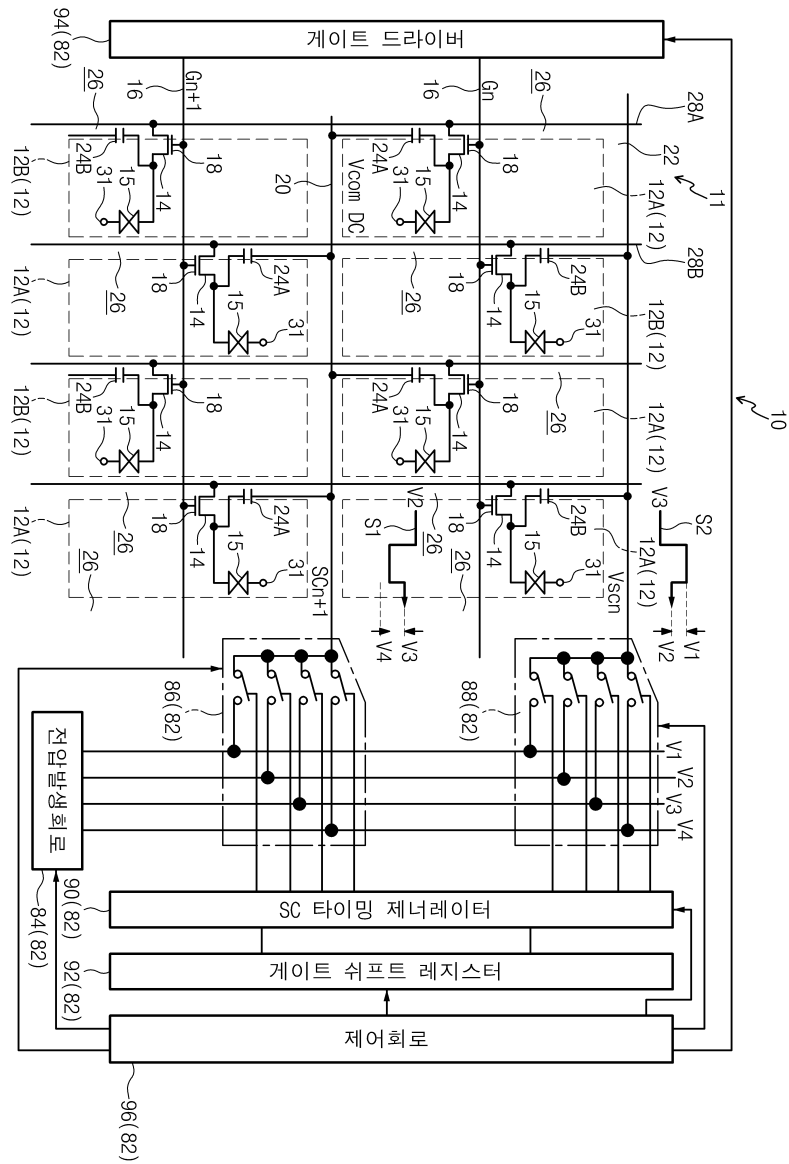
[0080] 또한, 도 12에 나타내 바와 같이, 본 실시예 3에 따른 액정표시장치(10)는 제2 화소군(12B)에 박막 트랜지스터(14)의 제2 반도체층(40B)을 구비한다. 본 실시예 3에서, 제2 반도체층(40B)은 대략 직각으로 격여진 형상으로 형성된다. 그러나, 또한, 제2 반도체층(40B)의 형상은 도 10에 나타난 형상에 한정되는 것은 아니다.

[0081] 도 10에 나타난 바와 같이, 제2 보조용량선(22)은 제3 및 제4 돌출부(22a, 22b)를 구비한다. 본 실시예 3에 따

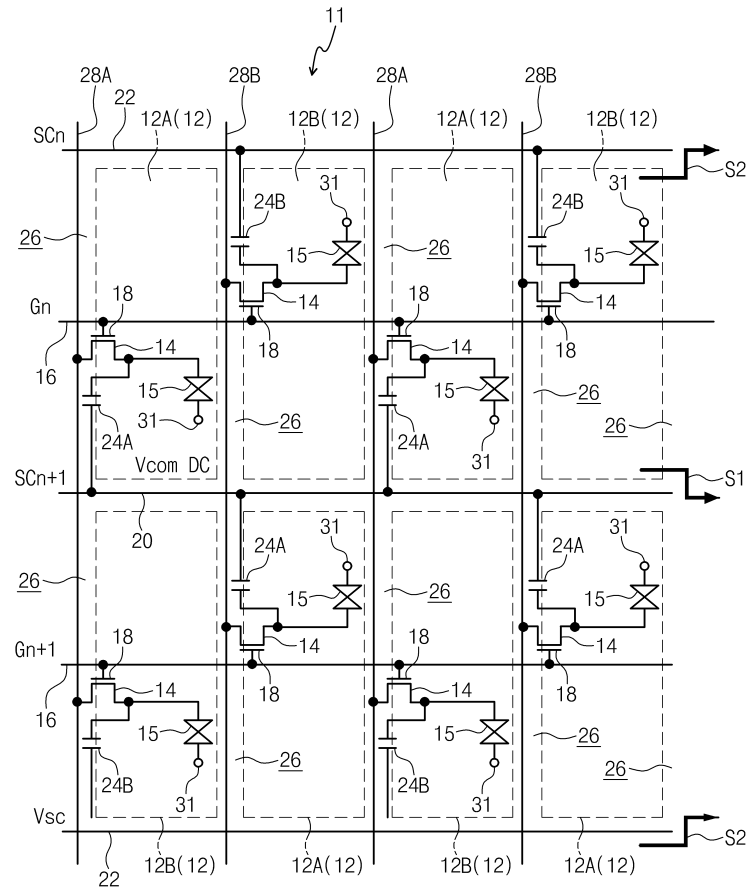
[0103]	12A : 제1군의 화소	12B : 제2군의 화소
[0104]	14 : 박막 트랜지스터	16 : 게이트선
[0105]	18 : 게이트	20 : 제1 보조용량선
[0106]	22 : 제2 보조용량선	24 : 보조용량
[0107]	24A : 제1 보조용량	24B : 제2 보조용량
[0108]	26 : 경계부	28 : 신호선
[0109]	30 : 차광부	32 : 구동회로
[0110]	34 : 전압 발생 회로	36 : 제1 스위치군
[0111]	38 : 제2 스위치군	V1 : 제1 전압
[0112]	V2 : 제2 전압	V3 : 제3 전압
[0113]	V4 : 제4 전압	

도면

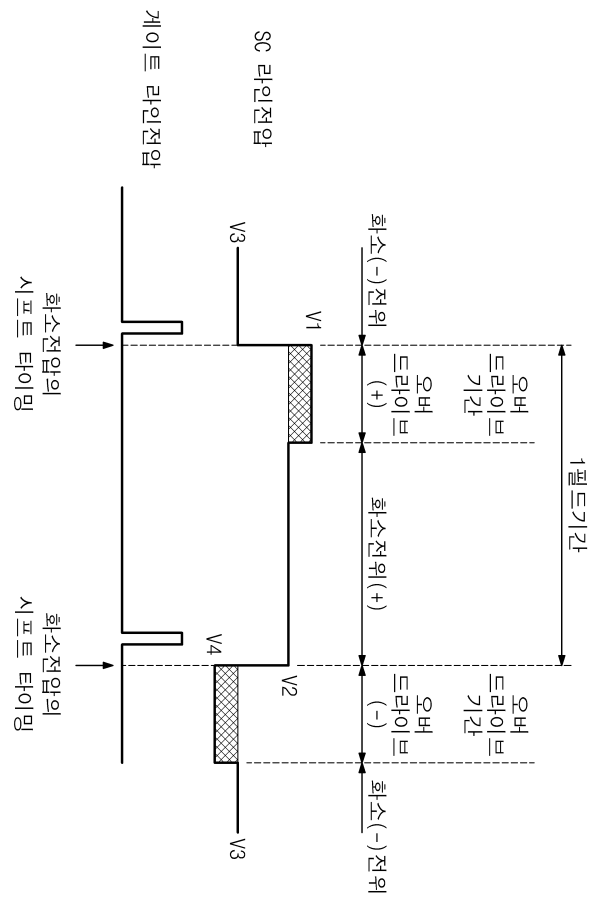
도면1



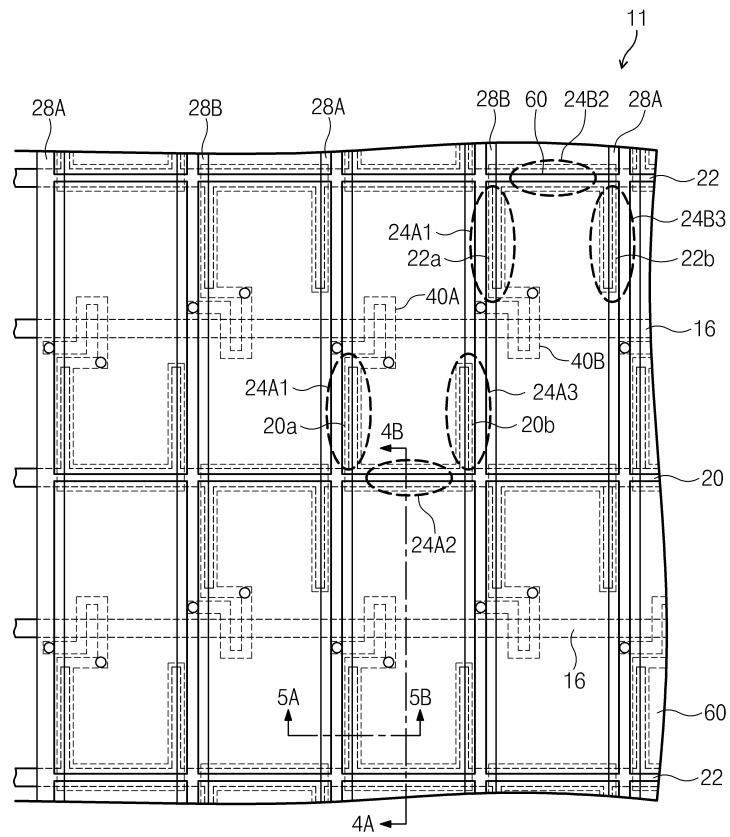
도면2



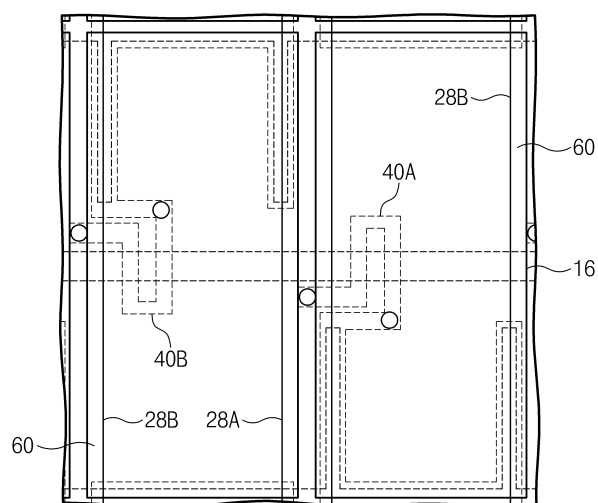
도면3



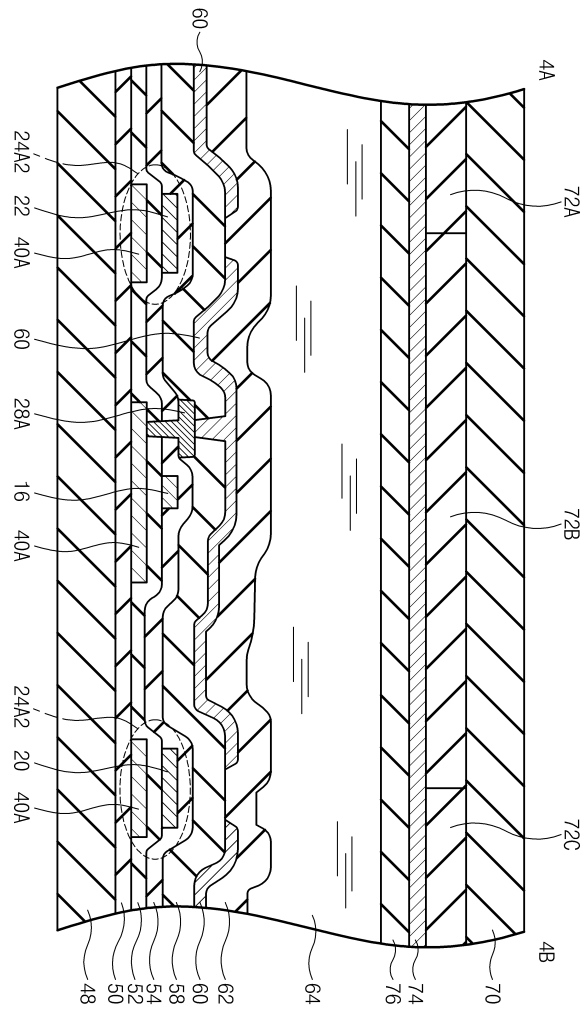
도면4



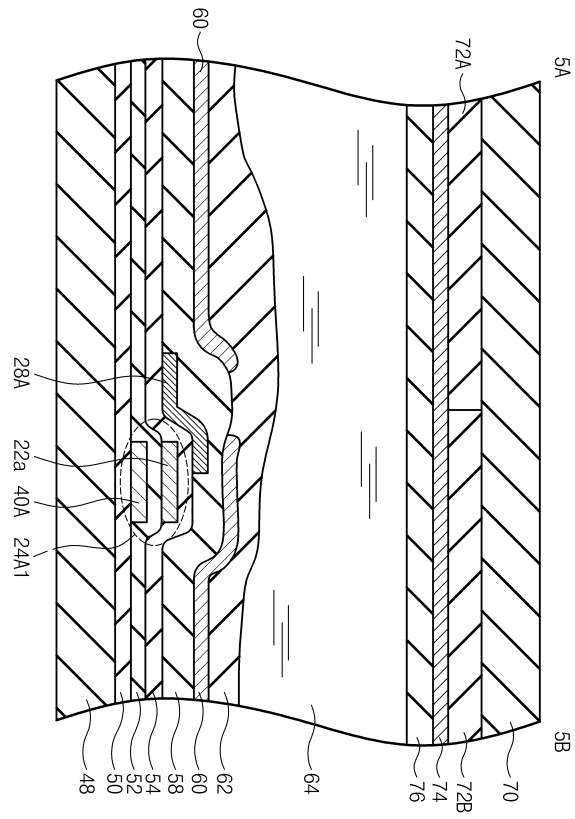
도면5



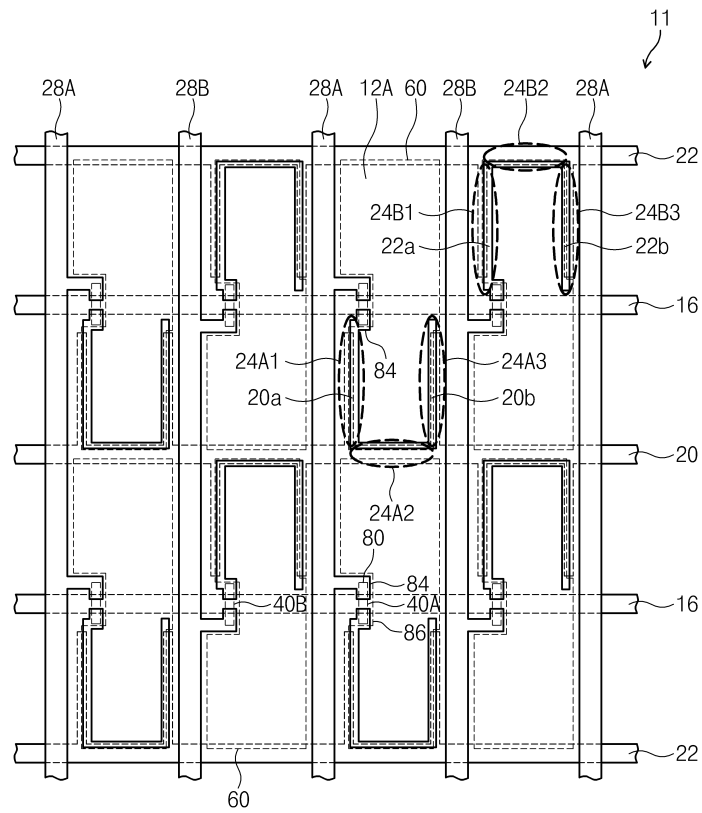
도면6



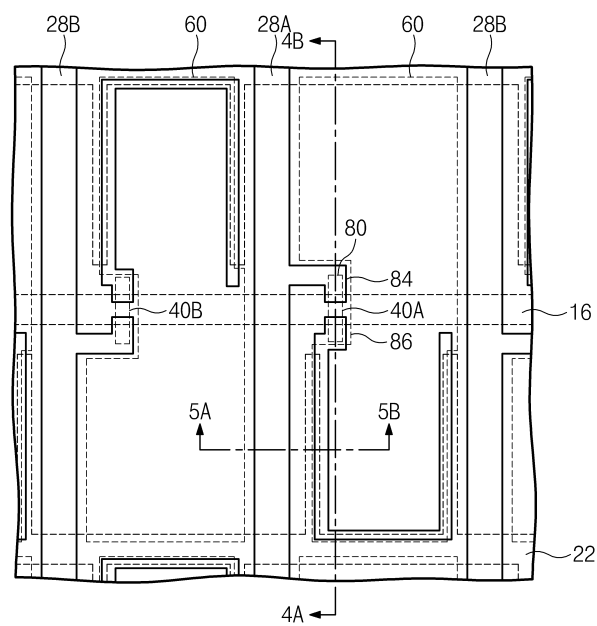
도면7



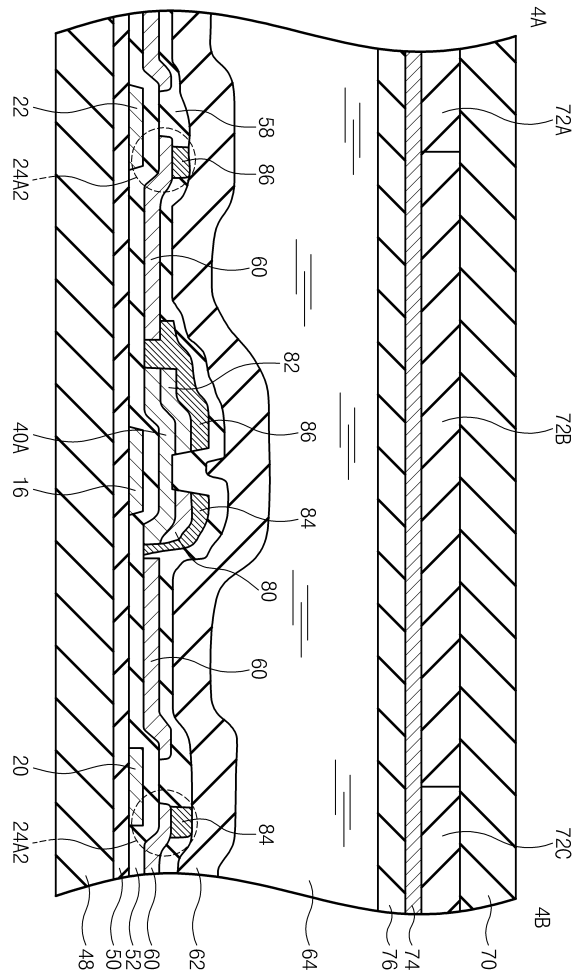
도면8



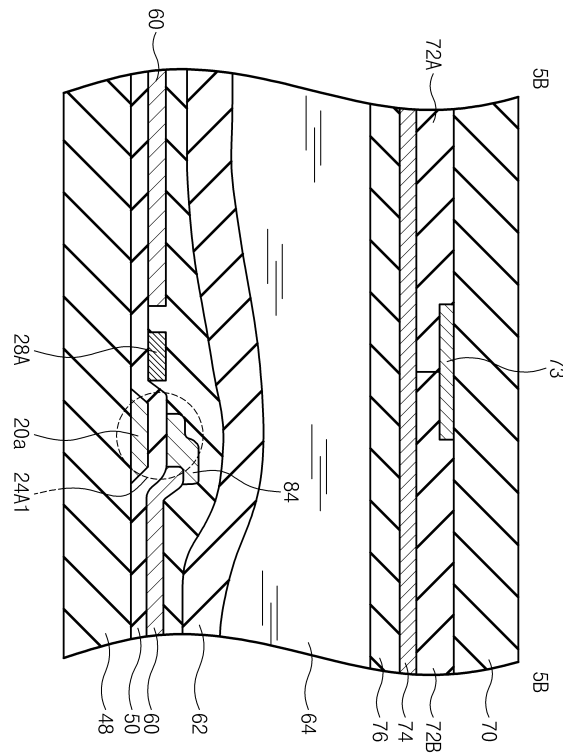
도면9



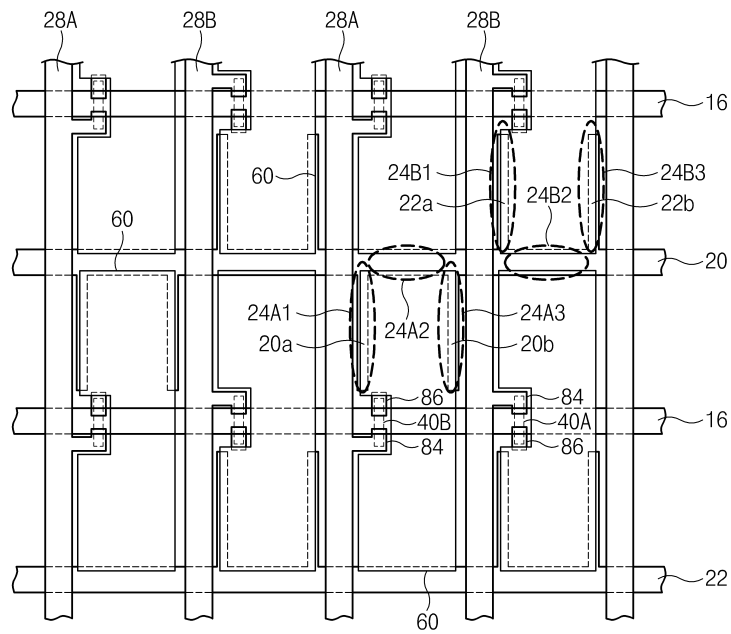
도면10



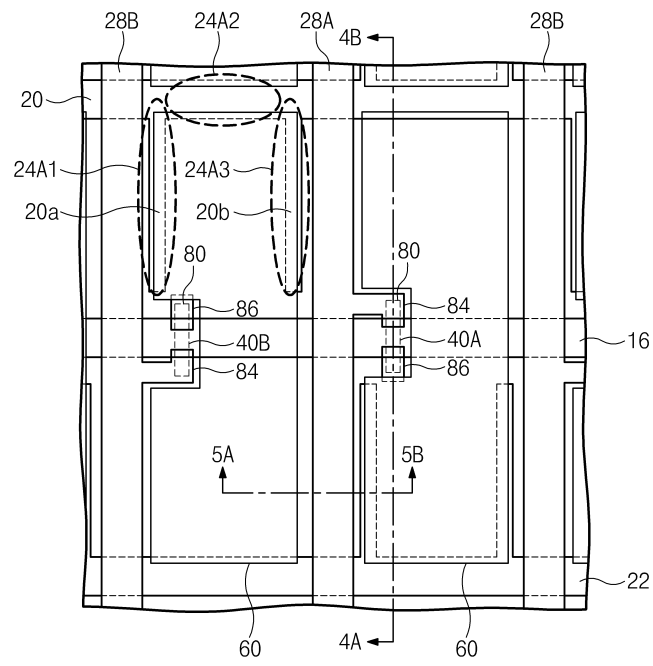
도면11



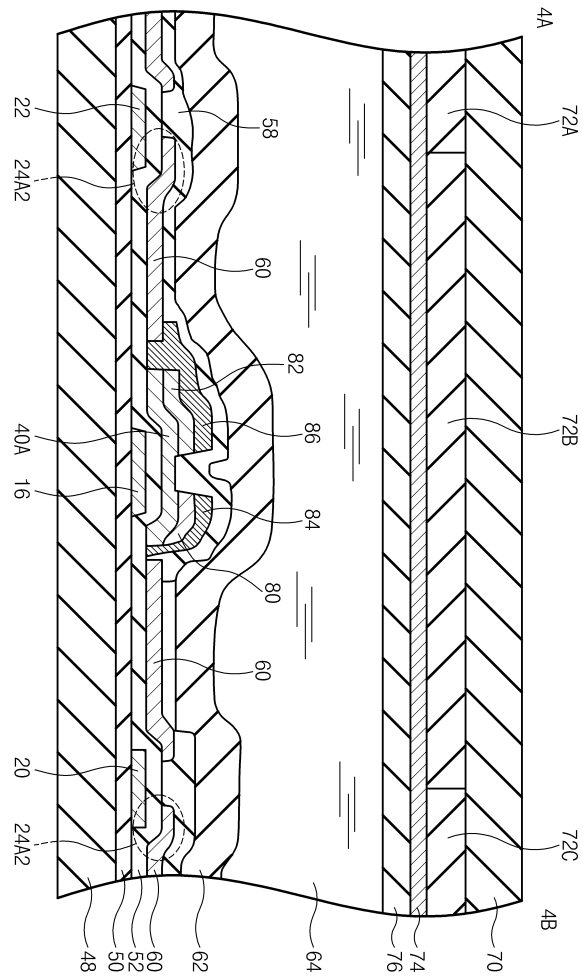
도면12



도면13



도면14



专利名称(译)	液晶显示器		
公开(公告)号	KR101540072B1	公开(公告)日	2015-07-28
申请号	KR1020070104032	申请日	2007-10-16
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YOKOYAMA RYOICHI 요코야마로이치 SENDA MICHIRU 센다미치루		
发明人	요코야마,로이치 센다,미치루		
IPC分类号	G02F1/1343 G02F1/136		
CPC分类号	G02F1/136213 G02F2201/40 G09G3/3655 G09G2300/0426 G09G2300/0439 G09G2300/0876 G09G2320/0252		
其他公开文献	KR1020090038640A		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置，以减少透射部分中被遮光的辅助电容的布置面积。结构：像素组具有第一和第二像素。第一像素具有第一薄膜晶体管。第二像素具有第二薄膜晶体管。栅极线（16）向第一和第二薄膜晶体管提供驱动信号。第一辅助电容线（20）平行于栅极线延伸，并且与第一像素的一侧相邻。第二辅助电容线（22）平行于栅极线延伸，并且与第一辅助电容线相对。第一辅助电容连接在薄膜晶体管的一端和第一辅助电容线之间。第二辅助电容连接在第二薄膜晶体管的一端和第二辅助电容线之间。KIPO 2009

