



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2014년03월12일  
(11) 등록번호 10-1373500  
(24) 등록일자 2014년03월05일

(51) 국제특허분류(Int. Cl.)  
G02F 1/1335 (2006.01) G02F 1/1339 (2006.01)  
G02F 1/1345 (2006.01)  
(21) 출원번호 10-2007-0073314  
(22) 출원일자 2007년07월23일  
심사청구일자 2012년07월11일  
(65) 공개번호 10-2009-0010318  
(43) 공개일자 2009년01월30일  
(56) 선행기술조사문헌  
KR1020070072134 A\*  
KR1020050063587 A  
KR1020000037774 A  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
송인덕  
경상북도 구미시 고아읍 문장로26길 11, 대우APT  
106동 1305호  
(74) 대리인  
서교준

전체 청구항 수 : 총 8 항

심사관 : 김영태

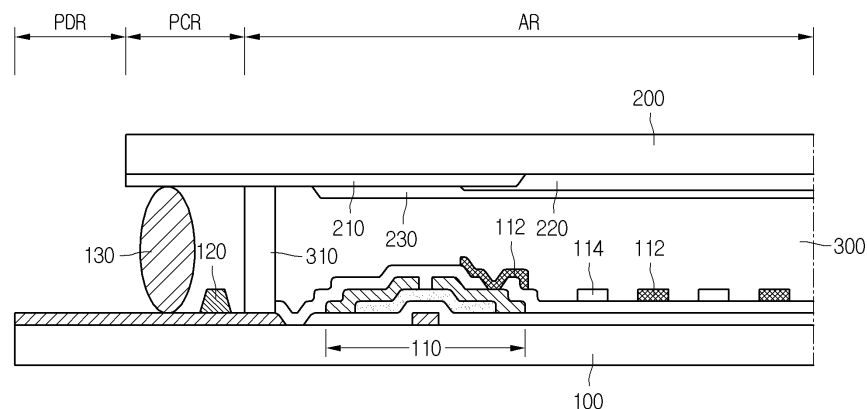
(54) 발명의 명칭 정전기 방지 기능의 액정 패널

(57) 요약

따라서, 본 발명의 목적은 정전기를 효율적으로 제거하기에 적합한 정전기 방지 기능의 액정 패널을 제공함에 있다.

정전기 방지 기능의 액정 패널은: 박막 트랜지스터, 화소 전극 및 공통 전극이 화소 별로 형성된 화소 어레이를 가지는 하부 기판; 상기 하부 기판상에 형성된 적어도 하나의 접지 패드; 상기 화소 어레이와 대응되는 매트릭스부와 이 매트릭스부의 주위의 확장부를 가지는 도전성 블랙 매트릭스가 형성된 상부 기판; 상기 매트릭스부와 상기 화소 어레이 사이에 충전된 액정 물질; 및 상기 적어도 하나의 접지 패드와 상기 블랙 매트릭스의 확장부를 전기적으로 연결시키는 도전성 접촉부를 구비한다.

대표도 - 도2



## 특허청구의 범위

### 청구항 1

박막 트랜지스터, 화소 전극 및 공통 전극이 화소 별로 형성된 화소 어레이를 가지는 하부 기관;

상기 하부 기관상에 형성된 적어도 하나의 접지 패드;

상기 화소 어레이와 대응되는 매트릭스부와 이 매트릭스부의 주위의 확장부를 가지는 도전성 블랙 매트릭스가 형성된 상부 기관;

상기 매트릭스부와 상기 화소 어레이 사이에 충전된 액정 물질;

상기 적어도 하나의 접지 패드와 상기 블랙 매트릭스의 확장부를 전기적으로 연결시키는 도전성 접촉부;

상기 화소 어레이 주위를 감싸고 아울러 상기 접지 패드와 전기적으로 연결되게끔 상기 하부 기관상에 형성된 접지 배선; 및

상기 화소 어레이로부터 연장된 다수의 게이트 라인 및 다수의 데이터 라인 각각에 전기적으로 접속됨과 아울러 상기 접지 배선에 공통적으로 접속된 적어도 하나의 제1 정전기 뮤트 셀들을 구비하는 것을 특징으로 하는 정전기 방지 기능의 액정 패널.

### 청구항 2

제 1 항에 있어서,

상기 도전성 접촉부가 적어도 하나의 은(Ag) 도트 접점을 구비하는 것을 특징으로 하는 정전기 방지 기능의 액정 패널.

### 청구항 3

제 1 항에 있어서,

상기 도전성 접촉부가 상기 화소 어레이의 주위를 감싸게끔 상기 하부 기관에 테 형태로 형성된 것을 특징으로 하는 정전기 방지 기능의 액정 패널.

### 청구항 4

삭제

### 청구항 5

제 1 항에 있어서,

상기 블랙 매트릭스의 상기 매트릭스부에 의하여 구분된 영역들 각각에 형성된 칼라 필터를 추가로 구비하는 것을 특징으로 하는 정전기 방지 기능의 액정 패널.

### 청구항 6

제 5 항에 있어서,

상기 칼라 필터가 도전 물질로 형성된 것을 특징으로 하는 정전기 방지 기능의 액정 패널.

### 청구항 7

제 5 항에 있어서,

상기 칼라 필터들 및 상기 매트릭스부 상에 덮도록 형성된 오버 코트 층을 추가로 구비하는 것을 특징으로 하는 정전기 방지 기능의 액정 패널.

### 청구항 8

제 7 항에 있어서,

상기 오버 코트 층이 광의 투과가 가능한 도전 물질로 형성된 것을 특징으로 하는 정전기 방지 기능의 액정 패널.

## 청구항 9

제 1 항에 있어서,

상기 화소 어레이는 다수의 공통 전압 배선 및 스토리지 배선들을 더 포함하고,

상기 화소 어레이로부터 연장된 상기 공통 전압 배선 및 스토리지 배선 중 적어도 하나와 접속됨과 아울러 상기 접지 배선에 접속된 적어도 하나의 제 2 정전기 뮤트 셀들을 추가로 구비하는 것을 특징으로 하는 정전기 방지 기능의 액정 패널.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

[0001] 본 발명은 화상 표시용 스크린으로 사용되는 액정 패널에 관한 것으로, 특히 정전기 방지 기능을 가지는 액정 패널에 관한 것이다.

#### 배경 기술

[0002] 통상의 액정 패널(Liquid Crystal Panel)은 전계(즉, 화소 구동 신호의 전압)에 따라 액정의 광 투과율을 조절하여 비디오 정보에 해당하는 화상을 표시한다. 액정 패널은 얇은 두께와 가벼운 무게를 가지면서도 화면의 크기를 한계 이상으로 크게 할 수 있다. 이러한 관점에서, 액정 패널은 음극선관(Cathode Ray Tube)을 대신하여 컴퓨터의 표시 장치, 텔레비전 수신기의 표시 장치 및 휴대 단말기의 표시 장치 등으로 사용되고 있다.

[0003] 이러한 액정 패널은 액정에 전계를 인가하는 방식에 따라 종전계 방식 및 횡전계 방식으로 구별된다. 종전계 방식의 액정 패널로는 수직 전계 모드(Vertical Alignment Mode) 및 트위스티드 모드(Twisted Mode) 등의 액정 패널들이 있다. 반면, 횡전계 방식은 인-플레인 스위치 모드(In-plane Switch Mode)의 액정 패널을 포함한다.

[0004] 인-플레인 스위치 모드의 액정 패널은, 도 1에서와 같이, 하부 기판(10) 및 상부 기판(20) 사이에 주입된 액정 물질 층(30)을 구비한다. 액정 물질 층(30)은 하부 및 상부 기판(10, 20) 사이에 형성되는 밀봉재(Sealant)(32)에 의하여 밀봉된다. 이 밀봉재(32)의 내부에 해당하는 하부 기판(10) 표면 및 상부 기판(20)의 하면의 중앙부들은 표시 영역으로 사용되는 반면, 밀봉재(32)의 외측에 해당하는 하부 기판(10) 및 상부 기판(20)의 가장자리부들은 비표시 영역으로 사용된다.

[0005] 하부 기판(10)의 표시 영역은 도시되지 않은 게이트 라인들 및 데이터 라인들에 의하여 화소 영역들로 구분된다. 하부 기판(10)의 화소 영역들 각각에는, 대응하는 데이터 라인으로부터의 화소 구동 신호를 스위칭하기 위한 박막 트랜지스터(12); 및 박막 트랜지스터(12)로부터의 화소 구동 신호의 전압을 액정 물질 층(30)에 인가하기 위한 화소 전극(14) 및 공통 전극(16)이 형성된다. 하부 기판(10)의 비표시 영역에는 정전기 방지를 위한 정전기 뮤트 셀(18)이 형성된다. 이 정전기 뮤트 셀(18)은 전자기 영향을 받아 하부 기판(10) 표면에 입력될 수 있는 정전하들을 바이패스시킨다. 이를 위하여, 정전기 뮤트 셀(18)은 데이터 라인 또는 게이트 라인과 및 접지 라인 사이에 접속된다.

[0006] 상부 기판(20)은 하면의 표시 영역을 매트릭스 형태의 화소 영역들로 구분하는 블랙 매트릭스(22)를 구비한다. 블랙 매트릭스(22)에 의하여 구분된 화소 영역들 각각에는 적색, 녹색 및 청색의 필터들 중 어느 하나를 포함하는 칼라 필터층(24)이 형성될 수 있다. 이에 더하여, 블랙 매트릭스(22) 및 칼라 필터 층(24)의 표면에는 오버 코트 층(26)이 형성될 수도 있다.

[0007] 이와 같이, 하부 기판(10) 및 상부 기판(20) 사이에 존재하는 정전하들을 제거하기 위하여, 횡전계 방식의 액정 패널은 하부 기판(10)상의 정전기 뮤트 셀(18)을 이용한다. 하부 기판(10) 상의 정전기 뮤트 셀(18)은, 하부 기판(10)의 표면에 대전된 정전기들을 효과적으로 제거할 수 있으나, 상부 기판(20)의 표면에 대전된 정전기들은 제거할 수 없었다. 상부 기판(20)의 표면과 대전된 정전기들은 액정 물질 층(30)에 잡음 전계로 작용하여 화소 구동 신호의 전압에 해당하는 양보다 많거나 적은 량의 광이 투과되게 한다. 이로 인하여, 횡전계 방식의 액정 패널에 표시되는 화상의 질이 떨어질 수밖에 없었다. 또한, 상부 기판(20)의 표면과 대전된 정전기들은

하부 기관(10) 상의 박막 트랜지스터(12)들의 일부를 손상시켜 액정 패널의 불량을 야기할 수 있다. 이러한 액정 패널의 불량은 액정 패널의 수율을 떨어뜨리는 요인으로 작용한다.

## 발명의 내용

### 해결 하고자하는 과제

- [0008] 따라서, 본 발명의 목적은 정전기를 효율적으로 제거하기에 적합한 정전기 방지 기능의 액정 패널을 제공함에 있다.
- [0009] 본 발명의 다른 목적은 양질의 화상을 표시하기에 적합한 정전기 방지 기능의 액정 패널을 제공함에 있다.
- [0010] 본 발명의 또 다른 목적은 제조 수율을 향상시키기에 적합한 정전기 방지 기능의 액정 패널을 제공함에 있다.

### 과제 해결수단

- [0011] 상술한 목적을 달성하기 위한 본 발명의 일면의 실시 예에 따른 정전기 방지 기능의 액정 패널은: 박막 트랜지스터, 화소 전극 및 공통 전극이 화소 별로 형성된 화소 어레이를 가지는 하부 기관; 상기 하부 기관상에 형성된 적어도 하나의 접지 패드; 상기 화소 어레이와 대응되는 매트릭스부와 이 매트릭스부의 주위의 확장부를 가지는 도전성 블랙 매트릭스가 형성된 상부 기관; 상기 매트릭스부와 상기 화소 어레이 사이에 충전된 액정 물질; 및 상기 적어도 하나의 접지 패드와 상기 블랙 매트릭스의 확장부를 전기적으로 연결시키는 도전성 접촉부를 구비한다.
- [0012] 상기 도전성 접촉부가 적어도 하나의 은(Ag) 도트 접점을 구비하는 것이 바람직하다.
- [0013] 상기 도전성 접촉부가 상기 화소 어레이의 주위를 감싸게끔 상기 하부 기관에 테 형태로 형성될 수도 있다.
- [0014] 상기 정전기 방지 기능의 액정 패널은, 상기 화소 어레이 주위를 감싸고 아울러 상기 접지 패드와 전기적으로 연결되게끔 상기 하부 기관상에 형성된 접지 배선; 및 상기 화소 어레이로부터 연장된 다수의 게이트 라인 및 다수의 데이터 라인 각각에 전기적으로 접속됨과 아울러 상기 접지 배선에 공통적으로 접속된 정전기 뮤트 셀들을 추가로 구비할 것이다.

### 효과

- [0015] 상술한 바와 구성에 의하여, 본 발명에 따른 정전기 방지 기능의 액정 패널은 하부 기관의 표면에 대전되는 정전기들뿐만 아니라 상부 기관의 표면에 대전된 정전기들까지도 효과적으로 방전시킬 수 있다. 이에 따라, 합착 공정은 물론 그 이후의 제조 공정에서 정전기에 의한 액정 패널의 손상이 방지되고, 나아가 액정 패널의 수율이 높아지게 된다. 아울러, 정전기에 의한 화소 구동 신호의 왜곡이 제거되어 액정 패널에 표시되는 화상의 질이 향상될 수 있다.
- [0016] 상기한 바와 같은 본 발명의 목적 외에, 본 발명의 다른 목적들, 다른 이점들 및 다른 특징들은 첨부한 도면을 참조한 바람직한 실시 예의 상세한 설명을 통하여 명백하게 드러나게 될 것이다.

### 발명의 실시를 위한 구체적인 내용

- [0017] 이하, 본 발명의 바람직한 실시 예들이 첨부한 도면과 결부되어 상세하게 설명될 것이다. 첨부된 도면들에 있어서, 동일한 동작 및 기능을 가지는 구성 요소들은 다른 도면에서도 동일한 명칭 및 동일한 인용 부호로 참조될 것이다.
- [0018] 도 2는 본 발명의 실시 예에 따른 액정 패널의 단면을 설명하는 단면도이다. 도 2를 참조하면, 액정 패널은 하부 기관(100) 및 상부 기관(200)의 사이에 충전된 액정 물질 층(300)을 구비한다. 액정 물질 층(300)은 하부 기관(100) 및 상부 기관(200) 사이의 어레이 영역(AR)을 감싸는 밀봉 물질(Seal Material)(310)에 의하여 밀봉된다. 밀봉 물질(310)의 외측부(즉, 주변 회로 영역)에는, 상부 기관(200) 및 하부 기관을 전기적으로 연결시키는 적어도 하나의 도트 접점(130)이 배치된다. 적어도 하나의 도트 접점(130)은 상부 기관(200) 및 하부 기관(100) 간의 도전 특성을 높이기 위하여 저항률이 낮은 도전 금속 물질로 형성된다. 바람직하게는, 도트 접점(130)은 은(Ag)으로 형성되는 것이 좋다.
- [0019] 하부 기관(100)의 어레이 영역(AR)은 게이트 라인(도시하지 않음) 및 데이터 라인(도시하지 않음)에 의해 화소 영역들로 구분된다. 이들 화소 영역들 각각에는 박막 트랜지스터(Thin Film Transistor)(110), 화소 전극(112)

및 공통 전극(114)이 형성된다. 박막 트랜지스터(110)는 게이트 라인으로부터 돌출된 게이트 전극, 게이트 라인 및 게이트 전극을 포함한 하부 기관(100)의 전면에 형성된 게이트 절연막을 구비한다. 또한, 박막 트랜지스터(110)는 게이트 전극 상측의 게이트 절연막 상에 형성된 액티브 층, 데이터 라인으로부터 돌출되어 액티브 층의 일부와 중첩되는 소스 전극, 및 이 소스 전극과 이격되게 액티브 층의 다른 일부분과 중첩되는 드레인 전극을 구비한다. 나아가, 박막 트랜지스터(110)는 액티브 층, 소스 전극 및 드레인 전극 사이에 형성되는 오믹 콘택 층을 추가로 구비할 수 있다. 화소 전극(112)은 박막 트랜지스터(110)의 드레인 전극과 전기적으로 접촉되게끔 보호층 상에 형성된다. 공통 전극(114)은 인접한 화소 영역 상의 공통 전극들과 전기적으로 연결되게끔 보호층 상에 형성된다. 이들 화소 전극(112) 및 공통 전극(114)은 인듐-틴-옥사이드(Indium-Tin-Oxide; 이하 "ITO"라 함)와 같이 모두 빛의 투과율이 뛰어난 투명한 도전 금속로 형성될 것이다. 화소 전극(112) 및 공통 전극(114)은 서로 교번하게끔 보호층 상에 배열된다. 공통 전극(114)은, 소스 전극, 드레인 전극 및 데이터 라인과 동일한 층에(즉, 게이트 절연막 상에) 형성되거나, 또는 게이트 라인 및 게이트 전극과 동일한 층(즉, 게이트 절연막의 하부)에 형성될 수도 있다. 데이터 라인 또는 게이트 라인과 동일층에 형성되는 경우, 공통 전극(114)은 데이터 라인 또는 게이트 라인과 동일한 도전 물질로 형성된다.

[0020] 하부 기관(100)은 주변 회로 영역(PCR)에 형성된 접지 배선(CML) 및 정전기 뮤트 셀(120)을 구비한다. 정전기 뮤트 셀(120)은 어레이 영역(AR)으로부터 신장된 게이트 라인 또는 데이터 라인과 접지 배선(CML)과 전기적으로 연결되어 게이트 라인 또는 데이터 라인 상의 정전기를 접지 배선(CML) 쪽으로 방전시킨다. 접지 배선(CML)은 하부 기관(100)의 패드 영역(PDR) 상의 접지 패드(PDM)와도 전기적으로 연결되게 형성되어 정전기 뮤트 셀(120)로부터의 정전기가 외부의 접지 소스(도시하지 않음) 쪽으로 방전될 수 있게 한다. 접지 배선(CML)은 어레이 영역(AR)을 감싸게끔 폐루프(Closed Loop)의 형태로 형성된다. 이 접지 배선(CML)의 일부는 게이트 라인 및 게이트 전극과 동시에 형성되고, 접지 배선(CML)의 나머지는 데이터 배선과 소스 및 드레인 전극과 동시에 형성된다. 정전기 뮤트 셀(120)은 박막 트랜지스터와 동시에 형성된다.

[0021] 하부 기관(100)의 패드 영역(PDR) 상의 패드들도, 게이트 라인 및 게이트 전극과 동시에 형성되는 일부 패드들 그리고 데이터 라인, 소스 및 드레인 전극과 동시에 형성되는 나머지 패드들을 포함한다. 일부 패드들에는 접지 패드 및 게이트 패드 등이 포함되고, 나머지 패드들에는 접지 패드 및 데이터 패드 등이 포함된다.

[0022] 하부 기관(100)에는, 접지 배선(CML)의 적어도 하나의 모서리와 전기적으로 접촉하게 적어도 하나의 도전성 도트 접점(130)이 형성된다. 적어도 하나의 도트 접점(130)은 접지 배선(CML)을 경유하여 접지 패드(PDM)와 전기적으로 연결된다. 이러한 적어도 하나의 도전성 도트 접점(130) 대신에 접지 배선(CML)을 따라 테의 형상을 가지는 도전성 접촉부가 하부 기관(100) 상에 형성될 수도 있다. 이 도전성 접촉부도 접지 배선(CML)을 경유하여 접지 패드들(PDM1~PDM4)과 전기적으로 연결된다.

[0023] 상부 기관(200)은 어레이 영역(AR) 및 주변 회로 영역(PCR)을 포함한 모든 영역에 형성된 블랙 매트릭스를 구비한다. 블랙 매트릭스는 어레이 영역(AR) 상에 위치하는 매트릭스부(210A)와 주변 회로 영역(PCR)에 위치한 확장부(210B)를 구비한다. 매트릭스부(210A)는 상부 기관(200)의 어레이 영역(AR)을 단위 영역(즉, 화소 영역)들로 구분한다. 확장부(210B)는 상부 기관(200) 및 하부 기관(100)의 사이에 위치하는 적어도 하나의 도트 접점(130)을 통해 하부 기관(100)의 주변 회로 영역(PCR) 상의 접지 배선(CML)과 전기적으로 연결된다. 이러한 블랙 매트릭스는 상부 기관(200)과 액정 물질 층(300) 사이에 발생될 수 있는 정전기가 자신을 비롯하여 접촉 접점(130), 하부 기관(100) 상의 접지 배선(CML) 및 접지 패드(PDM)를 통하여 외부의 접지 소스 쪽으로 방전되게 한다. 이를 위하여, 블랙 매트릭스(210)는 크롬(Cr)과 같은 금속 물질로 형성된다.

[0024] 또한, 하부 기관(200)은 블랙 매트릭스(210)의 매트릭스부(210A)에 의하여 구분된 단위 영역들(화소 영역들)에 대응하게 형성된 칼라 필터(220)를 추가로 구비할 수 있다. 이러한 칼라 필터는 고유 색의 광만이 투과되게 한다. 이러한 본연의 기능 외에도, 칼라 필터(220)는 상부 기관(200)과 액정 물질 층(300) 사이에서 발생될 수 있는 정전기가 자신 및 블랙 매트릭스(210), 도트 접점(130), 및 하부 기관(100) 상의 접지 배선(CML) 및 접지 패드(PDM)를 경유하여 외부의 접지 소스 쪽으로 효율적으로 방전되게 할 수도 있다. 이를 위하여, 칼라 필터(220)는 광 투과가 가능한 도전 물질로 형성될 것이다. 이에 더하여, 상부 기관(200)은 블랙 매트릭스(210)의 매트릭스부(210A) 및 칼라 필터(220)의 상부에 형성되는 오버 코트 층(230)을 추가로 구비할 수 있다. 이 오버 코트 층(230)은 블랙 매트릭스(210)의 매트릭스부(210A)와 칼라 필터(220) 간의 단차를 제거하여 상부 기관(200)이 평탄한 표면을 가지게 한다. 오버 코트 층(230)은 상부 기관(200)과 액정 물질 층(300) 사이에서 발생될 수 있는 정전기가 자신 및 블랙 매트릭스(210), 도트 접점(130), 및 하부 기관(100) 상의 접지 배선(CML) 및 접지 패드(PDM)를 경유하여 외부의 접지 소스 쪽으로 효율적으로 방전되게 할 수도 있다. 이를 위하여, 오버



코트 층(230)은 광 투과가 가능한 도전 물질로 형성될 수 있다.

- [0025] 밀봉 물질(310)은 어레이 영역(AR)과 주변 회로 영역(PCR)의 경계부를 따라 테 형태로 가지게끔 상부 기관(200) 또는 하부 기관(100) 상에 형성된다. 다시 말하여, 테 형태의 밀봉 물질(310)은 적어도 하나의 도트 접점(130) 보다 안쪽에 위치한다. 상기한 하부 기관(100) 및 상부 기관(200)이 합착된 후 밀봉 물질(310)의 내부 공간에 액정 물질(300)이 주입되게 된다.
- [0026] 도 3은 도 2의 액정 패널의 레이-아웃을 상세하게 설명하는 평면도이고, 도 4는 도 2의 액정 패널의 상부 기관(200)의 레이-아웃을 상세하게 설명하는 평면도이다. 도 3 및 4를 참조하면, 정전기 방지 기능의 액정 패널은 서로 대면된 하부 기관(100) 및 상부 기관(200)을 구비한다. 하부 기관(100) 및 상부 기관(200)의 중앙부는 영상의 표시에 이용되는 어레이 영역(AR)으로 할당되고, 어레이 영역(AR)의 주변부(즉, 상부 기관(200)의 가장자리)는 주변 회로 영역(PCR)으로 할당된다. 이에 더하여, 하부 기관(100)은 상부 기관(200)의 위쪽 및 좌측 바깥쪽으로 신장된 패드 영역(PDR)을 구비한다.
- [0027] 하부 기관(100) 상의 어레이 영역(AR)은 다수의 게이트 라인(GL1~GLn) 및 다수의 데이터 라인(DL1~DLm)에 의하여 다수의 화소 영역들로 구분된다. 하부 기관(100)의 화소 영역들 각각에는 박막 트랜지스터(110), 화소 전극들(1112) 및 공통 전극들(114)이 형성된다. 화소 전극들(112)은 모두 박막 트랜지스터(110)의 드레인 전극에 전기적으로 연결된다. 박막 트랜지스터(110)의 소스 전극은 대응하는 데이터 라인(DL)에 그리고 박막 트랜지스터(110)의 게이트 전극은 대응하는 게이트 라인(GL)에 접속된다.
- [0028] 하부 기관(100)의 주변 회로 영역(PCR)에는 접지 배선(CML) 및 정전기 뮤트 셀들(120)이 형성된다. 정전기 뮤트 셀들(120) 중, 대응하는 게이트 라인(GL)과 접지 배선(CML) 사이에 접속된 일부의 정전기 뮤트 셀들(120)은 대응하는 게이트 라인(GL1~GLn) 상의 정전기를 접지 배선(CML) 쪽으로 방전시키고, 대응하는 데이터 라인(DL) 및 접지 배선(CML) 사이에 접속된 나머지 정전기 뮤트 셀들(120)은 대응하는 데이터 라인(DL) 상의 정전기를 접지 배선(CML) 쪽으로 방전시킨다. 이를 위하여, 정전기 뮤트 셀들(120)의 일측 단자들은 게이트 라인들(GL1~GLn) 각각의 양단 및 데이터 라인들(DL1~DLm) 각각의 양단 중 어느 하나에 접속되고, 정전기 뮤트 셀들(120)의 타측 단자들은 모두가 접지 배선(CML)에 공통적으로 접속된다. 접지 배선(CML)은 하부 기관(100)의 어레이 영역(AR)을 감싸는 페루우프의 형태로 형성된다. 접지 배선(CML) 중 일부(데이터 라인과 교차하는 접지 배선 부분)는 게이트 배선(GL)과 동일한 물질로 형성되고, 접지 배선(CML)의 나머지 부분(게이트 라인들과 교차하는 접지 배선 부분)은 데이터 라인(DL)과 동일한 물질로 형성된다. 이에 따라, 게이트 라인들(GL)과 교차하는 접지 배선(CML)의 일부는 데이터 라인들(DL)과 동시에 형성되는 반면에 데이터 라인들(DL)과 교차하는 접지 배선(CML)의 나머지 부분은 게이트 라인들(GL)과 동시에 형성된다. 또한, 하부 기관(100)의 주변 회로 영역(PCR) 상의 접지 배선은 인접한 패드 영역(PAR) 상의 적어도 2 이상의 접지 패드(PDM1~PDM4)와 전기적으로 연결된다. 나아가, 하부 기관(100)의 주변 회로 영역(PCR) 상의 접지 배선(CML)은 도트 접점(130)을 통하여 상부 기관(200) 상의 블랙 매트릭스(210), 상세하게는 블랙 매트릭스(210)의 확장부(210A)와도 전기적으로 연결된다.
- [0029] 하부 기관(100)의 패드 영역(PDR)에는, 게이트 패드들(PDG1~PDGn), 데이터 패드들(PDD1~PDDm) 및 적어도 1 이상의 접지 패드들(PDM1~PDM4)이 배열된다. 게이트 패드들(PDG1~PDGn)은 어레이 영역(AR) 상의 게이트 라인들(GL1~GLn)과 대응되게 전기적으로 연결되고, 데이터 패드들(PDD1~PDDm)도 어레이 영역(AR) 상의 데이터 라인들(DL1~DLm)과 대응되게 전기적으로 연결된다. 적어도 1 이상의 접지 패드(PDM1~PDM4)는 주변 회로 영역(PCR) 상의 접지 배선(CML)에 전기적으로 공통-접속된다. 게이트 패드들(PDG1~PDGn), 데이터 패드들(PDD1~PDDm) 및 적어도 1 이상의 접지 패드(PDM1~PDM4) 외에도 하부 기관(100)의 패드 영역(PDR) 상에는 공급 전압, 기준 전압 및 타이밍 신호의 전달을 위한 패드들(도시하지 않음)이 마련된다. 적어도 1 이상의 접지 패드(PDM1~PDM4)는 액정 패널의 외부에 설치되는 접지 전압 소스에 연결되어 주변 회로 영역(PCR) 상의 접지 배선(CML)으로부터 외부의 접지 전압 소스에 이르는 정전기의 방전 통로를 형성시킨다.
- [0030] 상부 기관(200)에는 블랙 매트릭스(210)가 형성된다. 블랙 매트릭스(210)는 어레이 영역(AR) 상에 위치하는 매트릭스부(210A) 및 주변 회로 영역(PCR) 상에 형성된 확장부(210B)를 구비한다. 블랙 매트릭스(210)의 매트릭스부(210A)는 상부 기관(200)의 어레이 영역(AR)을 화소 영역들로 구분한다. 블랙 매트릭스(210)의 확장부(210B)는 주변 회로 영역(PCR)의 전면에 형성된다. 이러한 블랙 매트릭스(210)는 화소들 사이의 광 간섭을 방지한다. 이 외에도, 블랙 매트릭스(210)는 상부 기관(200) 및 액정 물질 층(300)과 사이에 발생될 수 있는 정전기를 방전시키는 기능을 가진다. 이를 위하여, 매트릭스부(210A) 및 확장부(210B)를 포함하는 블랙 매트릭스(210)는 크롬(Cr)과 같은 도전성 물질로 형성되고 아울러 적어도 1 이상의 도트 접점(130)에 의하여 하부 기관(100)의 주변 회로 영역(PCR) 상의 접지 배선(CML)과도 전기적으로 연결된다. 적어도 1 이상의 도트 접점(130)

0)은 블랙 매트릭스(210)의 확장부(210A)가 하부 기판(100)의 주변 회로 영역(PCR) 상의 접지 배선(CML)과 전기적으로 연결되게 한다.

[0031] 적어도 하나의 도트 접점(130)은 접지 배선(CML)의 적어도 하나의 모서리와 일측(즉, 하단)이 전기적으로 접촉하게 형성된다. 적어도 하나의 도트 접점(130)의 타측(상단)은 하부 기판(100)과 상부 기판(200)의 합착 시에 블랙 매트릭스(210)의 확장부(210B)의 적어도 하나의 모서리와 전기적으로 접촉한다. 다시 말하여, 적어도 하나의 도트 접점(130)은 블랙 매트릭스(210)의 확장부(210B)를 접지 패드(PDM)에 전기적으로 연결시킨다. 이 적어도 하나의 도트 접점(130)에 의하여, 상부 기판(200)의 표면에 대전된 정전기들이 블랙 매트릭스(210)의 매트릭스부(210A) 및 확장부(210B), 도트 접점(130), 접지 배선(CML) 및 접지 패드(PDM1~PDM4)를 경유하여 접지 소스 쪽으로 방전되게 된다. 다시 말하여, 정전기 방지 기능의 액정 패널은 하부 기판(100)의 표면에 대전되는 정전기들뿐만 아니라 상부 기판(200)의 표면에 대전된 정전기들까지도 방전시킬 수 있다. 이에 따라, 합착 공정은 물론 그 이후의 제조 공정에서 정전기에 의한 액정 패널의 손상이 방지되고, 나아가 액정 패널의 수율이 높아지게 된다. 아울러, 정전기에 의한 화소 구동 신호의 왜곡이 제거되어 액정 패널에 표시되는 화상의 질이 향상될 수 있다.

[0032] 도 5는 본 발명의 다른 실시 예의 정전기 방지 기능의 액정 패널의 레이-아웃을 설명하는 평면도이다. 도 5의 액정 패널은, 적어도 하나의 도트 접점(130)이 도전성 접촉부(130A)로 대체된 것을 제외하고는, 도 3의 액정 패널과 동일한 구성을 가진다. 도 3에 도시된 것들과 동일한 기능, 동작 및 명칭을 가지는 도 5의 구성 요소들은 도 3에서와 동일한 부호로 인용될 것이다. 또한, 도 3의 것들과 동일한 도 5의 구성요소들에 대한 상세한 설명은, 이미 도 3을 통하여 명백하게 드러나 있기 때문에, 생략될 것이다.

[0033] 도전성 접촉부(130A)는 접지 배선(CML)을 따라 테의 형태를 가지게끔 하부 기판(100) 상에 형성된다. 이러한 테의 형상의 도전성 접촉부(130A)는 접지 배선(CML)과 직접 접촉하여 접지 배선(CML)을 경유하여 적어도 하나의 접지 패드(PDM1~PDM4)와 전기적으로 연결된다. 또한, 하부 기판(100)과 상부 기판(200)과의 합착 시, 도전성 접촉부(130A)는 상부 기판(200) 상의 블랙 매트릭스(210)의 확장부(210A)와 직접 접촉하여 블랙 매트릭스(210)를 접지 패드(PDM)에 전기적으로 연결시킨다. 이러한 도전성 접촉부(130A)에 의하여, 상부 기판(200)의 표면에 대전된 정전기들이 블랙 매트릭스(210)의 매트릭스부(210A) 및 확장부(210B), 도전성 접촉부(130A), 접지 배선(CML) 및 접지 패드(PDM1~PDM4)를 경유하여 접지 소스 쪽으로 방전되게 된다. 다시 말하여, 정전기 방지 기능의 액정 패널은 하부 기판(100)의 표면에 대전되는 정전기들뿐만 아니라 상부 기판(200)의 표면에 대전된 정전기들까지도 방전시킬 수 있다. 이에 따라, 합착 공정은 물론 그 이후의 제조 공정에서 정전기에 의한 액정 패널의 손상이 방지되고, 나아가 액정 패널의 수율이 높아지게 된다. 아울러, 정전기에 의한 화소 구동 신호의 왜곡이 제거되어 액정 패널에 표시되는 화상의 질이 향상될 수 있다.

[0034] 이상과 같이, 본 발명이 첨부된 도면들에 도시된 실시 예들로 국한되게 설명되었으나, 이는 예시적인 것들에 불과하며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진 자라면 본 발명의 기술적 사상 및 범위를 벗어나지 않으면서도 다양한 변형, 변경 및 균등한 타 실시 예들이 가능하다는 것을 명백하게 알 수 있을 것이다.

[0035] 예를 들면, 도 3 및 도 5의 액정 패널이, 게이트 라인(GL) 또는 데이터 라인(DL)과 접지 배선(CML) 사이에 접속된 정전기 뮤트 셀(120) 외에도, 공통 전극(114)에 공통 전압(Vcom)을 공급하기 위하여 어레이 영역(AR)으로부터 신장되는 공통 전압 배선과 접지 배선(CML) 사이에 접속되는 적어도 하나의 정전기 방지 셀을 추가로 구비할 수 있다. 공통 전압 배선에 접속된 정전기 뮤트 셀은 공통 전압 배선 상에 대전되는 정전기를 접지 배선(CML) 및 접지 패드(PDM)을 경유하여 외부의 접지 소스로 방전시킨다.

[0036] 이에 더하여, 도 3 및 도 5의 액정 패널은 화소 전극(112)과 함께 박막 트랜지스터(110)에 접속된 일측 단자를 가지는 스토리지 캐패시터(도시하지 않음)를 구비할 수 있다. 이 경우, 도 3 및 도 5의 액정 패널은, 스토리지 캐패시터의 타측 단자를 일정한 전위의 전원에 연결하기 위하여 어레이 영역(AR)으로부터 신장되어진 스토리지 배선(도시하지 않음)과 접지 배선(CML) 사이에 접속되는 적어도 하나의 정전기 뮤트 셀도 구비할 것이다. 적어도 하나의 정전기 뮤트 셀은 스토리지 배선 상에 대전되는 정전기를 접지 배선(CML) 및 접지 패드(PDM)를 경유하여 외부의 접지 소스로 방전시킬 수 있다.

[0037] 따라서, 보호되어야 할 본 발명의 기술적 사상 및 범위는 첨부된 특허청구의 범위에 의하여 정해져야만 할 것이다.

## 도면의 간단한 설명

[0038] 본 발명의 상세한 설명에서 사용되는 도면에 대한 보다 충분한 이해를 돕기 위하여, 각 도면의 간단한 설명이

제공된다.

도 1 은 통상의 황전계 방식 액정 패널의 구조를 설명하는 단면도이다.

도 2 는 본 발명의 실시 예에 따른 정전기 방지 기능의 액정 패널의 구조를 설명하는 단면도이다.

도 3 은 도 2에 도시된 액정 패널의 레이-아웃을 설명하는 평면도이다.

도 4 는 도 3의 액정 패널의 상부 기관의 레이-아웃을 설명하는 평면도이다.

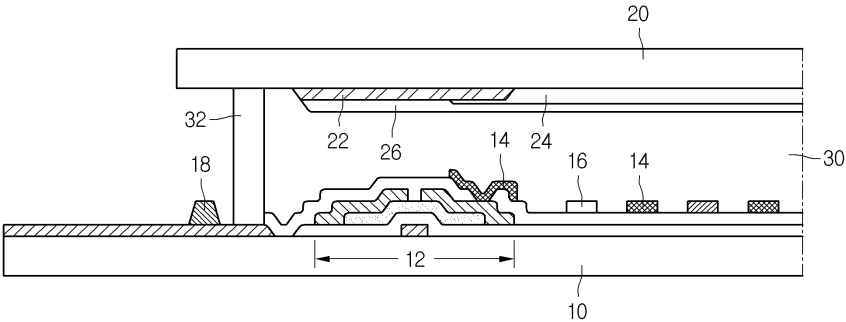
도 5 는 본 발명의 다른 실시 예에 따른 정전기 방지 기능의 액정 패널의 레이-아웃을 설명하는 평면도이다.

《도면의 주요부분에 대한 부호의 설명》

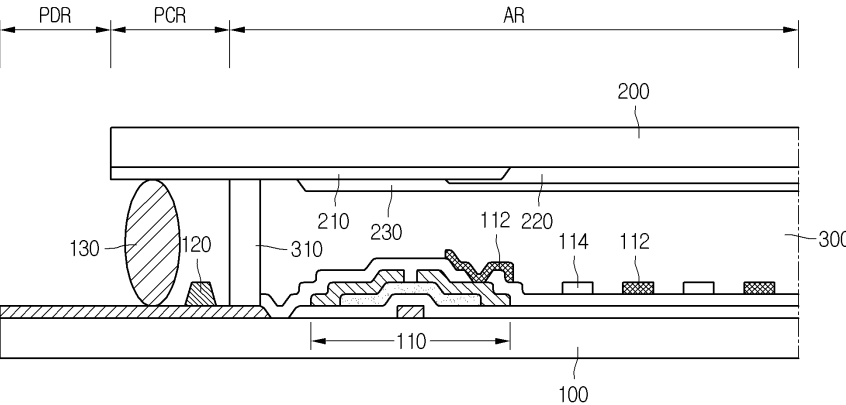
- |                   |                   |
|-------------------|-------------------|
| 10,100 : 하부 기관    | 12,110 : 박막 트랜지스터 |
| 14,112 : 화소 전극    | 16,114 : 공통 전극    |
| 18,120 : 정전기 뮤트 셀 | 20,200 : 상부 기관    |
| 22,210 : 블랙 매트릭스  | 24,220 : 칼라 필터    |
| 26,240 : 오버 코트 층  | 30,300 : 액정 물질 층  |
| 32,310 : 밀봉 물질    | 130 : 도트 접점       |
| 130A : 도전성 접촉부    | 210A : 매트릭스부      |
| 210B : 확장부        |                   |

도면

도면1

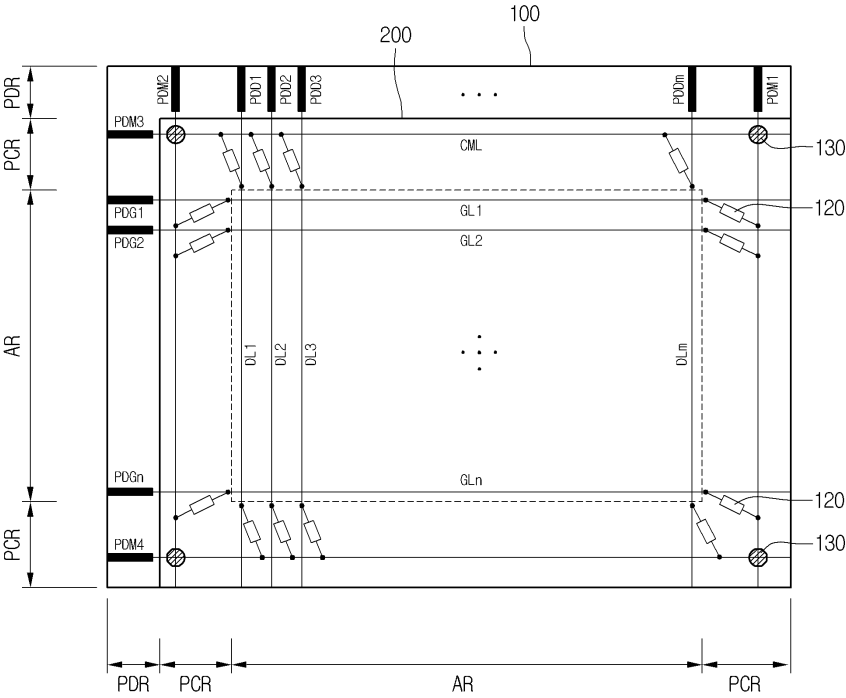


도면2

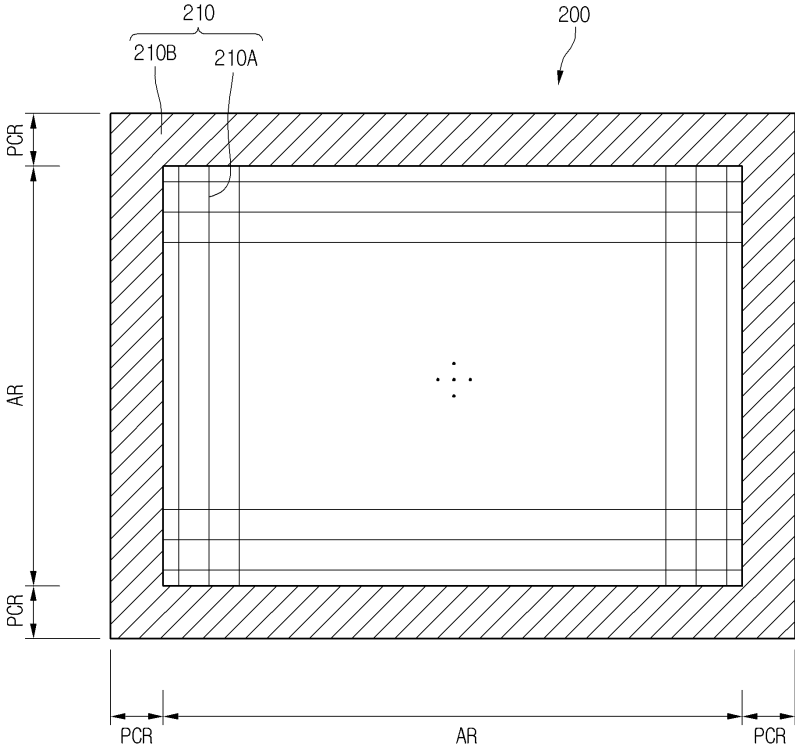




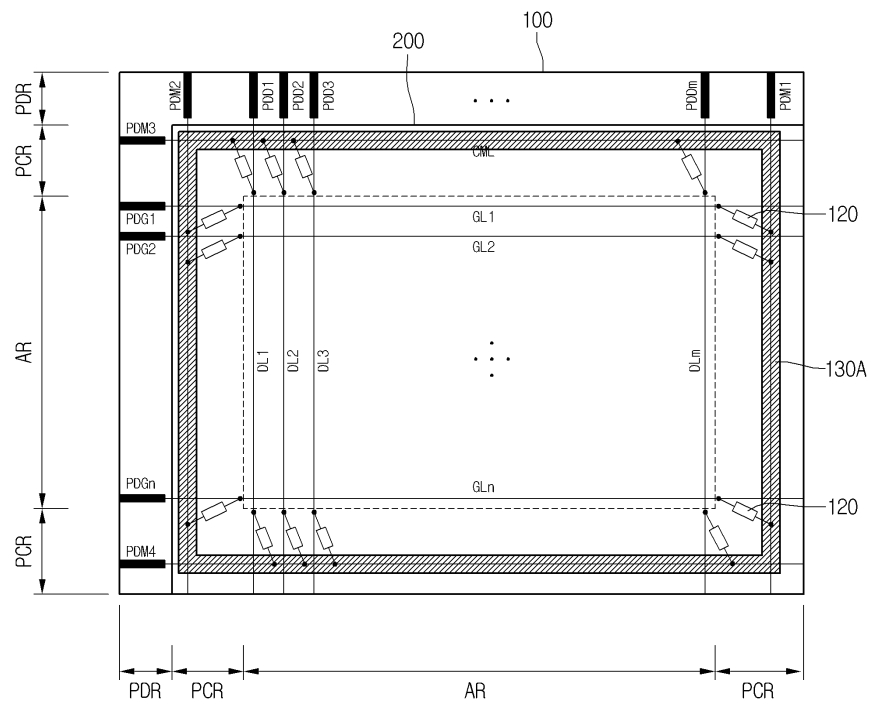
도면3



도면4



도면5



|                |                                                             |         |            |
|----------------|-------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 发明内容抗静电功能液晶面板                                               |         |            |
| 公开(公告)号        | <a href="#">KR101373500B1</a>                               | 公开(公告)日 | 2014-03-12 |
| 申请号            | KR1020070073314                                             | 申请日     | 2007-07-23 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                    |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                                   |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                                   |         |            |
| [标]发明人         | SONG IN DUK                                                 |         |            |
| 发明人            | SONG, IN DUK                                                |         |            |
| IPC分类号         | G02F1/1335 G02F1/1339 G02F1/1345                            |         |            |
| CPC分类号         | G02F1/133512 G02F1/1343 G02F1/136204 G09G2320/02 H01L29/786 |         |            |
| 其他公开文献         | KR1020090010318A                                            |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                   |         |            |

#### 摘要(译)

提供一种具有防静电功能的液晶面板，以防止由于静电而损坏液晶面板。下板（100）具有像素阵列，其中薄膜晶体管（110），像素电极（112）和公共电极（114）由像素元件形成。在下板上形成一个或多个接地垫。导电黑矩阵（210）形成在上板（200）中。导电黑矩阵包括矩阵部分及其延伸部分。液晶材料（300）填充在矩阵部分和像素阵列之间。

