



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2014년02월14일  
 (11) 등록번호 10-1363714  
 (24) 등록일자 2014년02월10일

(51) 국제특허분류(Int. Cl.)  
 H01L 29/786 (2006.01) G02F 1/136 (2006.01)  
 G02F 1/361 (2006.01)  
 (21) 출원번호 10-2006-0125351  
 (22) 출원일자 2006년12월11일  
 심사청구일자 2011년12월08일  
 (65) 공개번호 10-2008-0053610  
 (43) 공개일자 2008년06월16일  
 (56) 선행기술조사문헌  
 KR1020060033481 A  
 KR100626082 B1  
 JP2005079549 A  
 KR100647694 B1

(73) 특허권자  
 엘지디스플레이 주식회사  
 서울특별시 영등포구 여의대로 128(여의도동)  
 (72) 발명자  
 추교섭  
 경기도 수원시 팔달구 권광로 373, 105동 603호  
 (우만동, 월드메르디앙아파트)  
 김민주  
 서울특별시 영등포구 선유로43가길 24, 거성파스  
 텔APT 106동 1402호 (양평동3가)  
 강호철  
 경기도 군포시 광정로 119, 솔거대림아파트 732동  
 2303호 (산본동)  
 (74) 대리인  
 서교준

전체 청구항 수 : 총 20 항

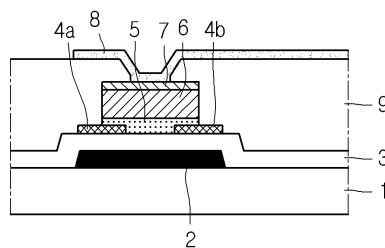
심사관 : 설관식

(54) 발명의 명칭 유기 박막트랜지스터, 그 제조 방법, 이를 이용한 정전기방지 소자, 액정표시장치 및 그 제조 방법

**(57) 요약**

유기 박막트랜지스터, 그 제조 방법, 이를 이용한 정전기 방지 소자, 액정표시장치 및 그 제조 방법이 개시된다. 본 발명의 유기 박막트랜지스터는, 기판 상에 설정된 간격으로 이격되어 배치된 소오스/드레인전극; 상기 소오스/드레인전극 상에 배치된 유기 반도체층; 상기 유기 반도체층 상에 배치된 유기 게이트절연막; 상기 유기 게이트절연막 상에 배치된 보조전극; 상기 기판 상에 배치되고 상기 보조전극을 노출하기 위해 형성된 콘택홀을 갖는 보호층; 및 상기 유기 게이트절연막 상에 배치되고 상기 보조전극과 전기적으로 연결된 게이트전극을 포함한다.

**대표도** - 도1



**특허청구의 범위**

**청구항 1**

기판 상에 설정된 간격으로 이격되어 배치된 소오스/드레인전극;  
 상기 소오스/드레인전극 상에 배치된 유기 반도체층;  
 상기 유기 반도체층 상에 배치된 유기 게이트절연막;  
 상기 유기 게이트절연막 상에 배치된 보조전극;  
 상기 기판 상에 배치되고 상기 보조전극을 노출하기 위해 형성된 콘택홀을 갖는 보호층; 및  
 상기 유기 게이트절연막 상에 배치되고 상기 보조전극과 전기적으로 연결된 게이트전극을 포함하는 유기 박막트랜지스터.

**청구항 2**

제1항에 있어서, 광을 차단하기 위해 상기 소오스/드레인전극의 하부에 배치된 광 차단막을 더 포함하는 유기 박막트랜지스터.

**청구항 3**

제2항에 있어서, 상기 광 차단막은 상기 유기 반도체층의 폭보다 적어도 큰 것을 특징으로 하는 유기 박막트랜지스터.

**청구항 4**

제1항에 있어서, 상기 유기 반도체층은 상기 소오스전극 및 상기 드레인전극의 일부 영역을 포함하여 상기 소오스전극과 상기 드레인전극 사이의 상기 기판 상에 형성되는 것을 특징으로 하는 유기 박막트랜지스터.

**청구항 5**

기판 상에 제1 금속 물질을 증착하고 패터닝하여 설정된 간격으로 이격되도록 소오스/드레인전극을 형성하는 단계;  
 상기 소오스/드레인전극을 포함하는 상기 기판 상에 유기 물질, 유기 절연 물질 및 제2 금속 물질을 순차적으로 증착하고 패터닝하여 유기 반도체층, 유기 게이트절연막 및 보조전극을 형성하는 단계;  
 상기 보조전극을 포함하는 상기 기판 상에 보호층 형성 물질을 증착하고 상기 보조전극이 노출되도록 패터닝하여 콘택홀을 갖는 보호층을 형성하는 단계; 및  
 상기 보호층 상에 제3 금속 물질을 증착하고 패터닝하여 게이트전극을 형성하는 단계를 포함하는 유기 박막트랜지스터의 제조 방법.

**청구항 6**

제5항에 있어서, 상기 유기 반도체층은 상기 소오스전극 및 상기 드레인전극의 일부 영역을 포함하여 상기 소오스전극과 상기 드레인전극 사이의 상기 기판 상에 형성되는 것을 특징으로 하는 유기 박막트랜지스터의 제조 방법.

**청구항 7**

제5항에 있어서, 상기 유기 물질은 펜타센(pentacene), 구리 프탈로시아닌(copper phthalocyanine), 폴리티오펜(polythiophene), 폴리아닐린(polyaniline), 폴리아세틸렌(polyacetylene), 폴리피롤(polypyrrole), 폴리페닐렌비닐렌(polyphenylene vinylene) 및 이들의 유도체 중 하나인 것을 특징으로 하는 유기 박막트랜지스터의 제조 방법.

**청구항 8**

제5항에 있어서, 상기 제1 내지 제3 금속 물질은 금(Au), 은(Ag), 알루미늄(Al), 니켈(Ni), 크롬(Cr), 몰리브덴

(Mo) 중 하나 이상인 것을 특징으로 하는 유기 박막트랜지스터의 제조 방법.

**청구항 9**

제5항에 있어서, 상기 보호층 형성 물질은 유기 물질 또는 무기 물질인 것을 특징으로 하는 유기 박막트랜지스터의 제조 방법.

**청구항 10**

제1항 내지 제4항 중 어느 한 항에 따른 제1 내지 제3 유기 박막트랜지스터를 포함하고,

상기 제1 유기 박막트랜지스터의 게이트전극은 상기 제1 유기 박막트랜지스터의 소오스전극과 상기 제3 유기 박막트랜지스터의 소오스전극에 전기적으로 연결되고,

상기 제2 유기 박막트랜지스터의 게이트전극은 상기 제2 유기 박막트랜지스터의 드레인전극과 상기 제3 유기 박막트랜지스터의 드레인전극에 전기적으로 연결되며,

상기 제3 유기 박막트랜지스터의 게이트전극은 상기 제1 유기 박막트랜지스터의 드레인전극과 상기 제2 유기 박막트랜지스터의 소오스전극에 전기적으로 연결되는 것을 특징으로 하는 정전기 방지 소자.

**청구항 11**

다수의 게이트라인;

상기 게이트라인과 교차 배열된 다수의 데이터라인;

상기 게이트라인과 상기 데이터라인의 교차에 의해 정의되어 블랙매트릭스 형태로 배열된 다수의 화소;

상기 다수의 화소에 의해 표시 영역이 정의되고 상기 표시 영역의 외곽에 위치한 비표시 영역에 배치된 공통전압 라인; 및

상기 공통전압 라인과 상기 게이트라인 사이와 상기 공통전압 라인과 상기 데이터라인 사이에 배치된 다수의 정전기 방지 소자를 포함하고,

상기 화소 각각은,

상기 게이트라인과 상기 데이터라인에 연결되고 제1항 내지 제4항 중 어느 한 항에 따른 유기 박막트랜지스터; 및

상기 유기 박막트랜지스터와 연결된 화소전극을 포함하는 액정표시장치.

**청구항 12**

제11항에 있어서, 상기 정전기 방지 소자 각각은,

제1 내지 제3 유기 박막트랜지스터를 포함하고,

상기 제1 유기 박막트랜지스터의 게이트전극은 상기 제1 유기 박막트랜지스터의 소오스전극과 상기 제3 유기 박막트랜지스터의 소오스전극에 전기적으로 연결되고,

상기 제2 유기 박막트랜지스터의 게이트전극은 상기 제2 유기 박막트랜지스터의 드레인전극과 상기 제3 유기 박막트랜지스터의 드레인전극에 전기적으로 연결되며,

상기 제3 유기 박막트랜지스터의 게이트전극은 상기 제1 유기 박막트랜지스터의 드레인전극과 상기 제2 유기 박막트랜지스터의 소오스전극에 전기적으로 연결되는 것을 특징으로 하는 액정표시장치.

**청구항 13**

기판 상에 제1 금속 물질을 증착하고 패터닝하여 설정된 간격으로 이격되도록 소오스/드레인전극, 데이터라인을 형성하는 단계;

상기 소오스/드레인전극을 포함하는 상기 기판 상에 투명한 도전 물질을 증착하고 패터닝하여 화소전극을 형성하는 단계;

상기 화소전극을 형성하는 상기 기판 상에 유기 물질, 유기 절연 물질 및 제2 금속 물질을 순차적으로 증착하고 패터닝하여 유기 반도체층, 유기 게이트절연막 및 보조전극을 형성하는 단계;

상기 보조전극을 포함하는 상기 기판 상에 보호층 형성 물질을 증착하고 패터닝하여 다수의 컨택홀을 갖는 보호층을 형성하는 단계; 및

상기 보호층 상에 제3 금속 물질을 증착하고 패터닝하여 게이트전극, 게이트라인 및 공통전압 라인을 형성하는 단계를 포함하는 액정표시장치의 제조 방법.

**청구항 14**

제13항에 있어서, 상기 유기 반도체층은 상기 소오스전극 및 상기 드레인전극의 일부 영역을 포함하여 상기 소오스전극과 상기 드레인전극 사이의 상기 기판 상에 형성되는 것을 특징으로 하는 액정표시장치의 제조 방법.

**청구항 15**

제13항에 있어서, 상기 유기 물질은 펜타센(pentacene), 구리 프탈로시아닌(copper phthalocyanine), 폴리티오펜(polythiophene), 폴리아닐린(polyaniline), 폴리아세틸렌(polyacetylene), 폴리피롤(polypyrrole), 폴리페닐렌비닐렌(polyphenylene vinylene) 및 이들의 유도체 중 하나인 것을 특징으로 하는 액정표시장치의 제조 방법.

**청구항 16**

제13항에 있어서, 상기 제1 내지 제3 금속 물질은 금(Au), 은(Ag), 알루미늄(Al), 니켈(Ni), 크롬(Cr), 몰리브덴(Mo) 중 하나 이상인 것을 특징으로 하는 액정표시장치의 제조 방법.

**청구항 17**

제13항에 있어서, 상기 도전 물질은 인듐 틴 옥사이드(ITO) 또는 인듐 징크 옥사이드(IZO)인 것을 특징으로 하는 액정표시장치의 제조 방법.

**청구항 18**

제13항에 있어서, 상기 게이트전극은 상기 다수의 컨택홀 중에 하나를 통해 상기 보조전극에 연결되는 것을 특징으로 하는 액정표시장치의 제조 방법.

**청구항 19**

제13항에 있어서, 상기 게이트전극은 상기 다수의 컨택홀 중 다른 하나를 통해 상기 소오스전극에 연결되는 것을 특징으로 하는 액정표시장치의 제조 방법.

**청구항 20**

제13항에 있어서, 상기 게이트전극은 상기 다수의 컨택홀 중 또 다른 하나를 통해 상기 드레인전극에 연결되는 것을 특징으로 하는 액정표시장치의 제조 방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- [0019] 본 발명은 유기 박막트랜지스터, 그 제조 방법, 이를 이용한 정전기 방지 소자, 액정표시장치 및 그 제조 방법에 관한 것이다.
- [0020] 대부분의 표시장치는 박막트랜지스터가 구비된다. 박막트랜지스터(thin film transistor)는 대부분 비정질 실리콘 반도체 또는 다결정 실리콘 반도체, 산화 실리콘 절연막 및 금속 전극으로 이루어진다.
- [0021] 최근 다양한 전도성 유기재료의 개발에 따라, 유기 반도체를 이용한 유기 TFT를 개발하고자 하는 연구가 전 세

계적으로 활발히 진행되고 있다.

- [0022] 이와 같이 새로운 전자재료인 유기 반도체는 고분자의 합성방법이 다양하고, 섬유나 필름 형태의 성형이 용이하며, 유연하고, 생산비가 저렴하기 때문에 여러 가지 디스플레이 장치로 그 응용이 확대되고 있다.
- [0023] 한편, 액정표시장치는 박막트랜지스터를 구비한 화소가 매트릭스 형태로 배열되어, 박막트랜지스터의 스위칭에 의해 각 화소를 제어하여 화상을 표시한다.
- [0024] 상기 액정표시장치는 정전기에 취약하므로, 이러한 정전기를 방지하기 위해 정전지 방지 소자가 구비된다. 상기 정전기 방지 소자는 하나 또는 다수의 박막트랜지스터로 구성될 수 있다.
- [0025] 현재, 액정표시장치에 유기 박막트랜지스터를 적용하기 위한 연구가 활발히 진행되고 있다.
- [0026] 하지만, 유기 박막트랜지스터의 제조가 어려워 큰 성과를 거두지 못하고 있다.
- [0027] 게다가, 정전기 방지 소자에 유기 박막트랜지스터를 적용하기 위한 연구는 거의 전무한 실정이다.
- [0028] 따라서, 액정표시장치의 화소에 구비된 박막트랜지스터만 유기 박막트랜지스터를 적용하고 있고, 정전기 방지 소자는 기존의 박막트랜지스터가 적용됨에 따라, 제조 공정이 복잡하고 제조비용이 증가하는 문제가 있다.

**발명이 이루고자 하는 기술적 과제**

- [0029] 본 발명은 구조를 개선하고 제조가 용이한 유기 박막트랜지스터 및 그 제조 방법을 제공함에 그 목적이 있다.
- [0030] 본 발명의 다른 목적은 상기 유기 박막트랜지스터에 의해 용이하게 제조될 수 있는 정전기 방지 소자를 제공함에 있다.
- [0031] 본 발명의 또 다른 목적은 정전기 방지 소자뿐만 아니라 화소에 구비된 유기 박막트랜지스터를 동일한 제조 공정에 의해 형성함으로써, 제조 공정을 단순화하고 제조비용을 절감할 수 있는 정전기 방지 소자, 액정표시장치 및 그 제조 방법을 제공함에 있다.

**발명의 구성 및 작용**

- [0032] 상기 목적을 달성하기 위한 본 발명의 제1 실시예에 따르면, 유기 박막트랜지스터는, 기판 상에 설정된 간격으로 이격되어 배치된 소오스/드레인전극; 상기 소오스/드레인전극 상에 배치된 유기 반도체층; 상기 유기 반도체층 상에 배치된 유기 게이트절연막; 상기 유기 게이트절연막 상에 배치된 보조전극; 상기 기판 상에 배치되고 상기 보조전극을 노출하기 위해 형성된 컨택홀을 갖는 보호층; 및 상기 유기 게이트절연막 상에 배치되고 상기 보조전극과 전기적으로 연결된 게이트전극을 포함한다.
- [0033] 본 발명의 제2 실시예에 따르면, 유기 박막트랜지스터의 제조 방법은, 기판 상에 제1 금속 물질을 증착하고 패터닝하여 설정된 간격으로 이격되도록 소오스/드레인전극을 형성하는 단계; 상기 소오스/드레인전극을 포함하는 상기 기판 상에 유기 물질, 유기 절연 물질 및 제2 금속 물질을 순차적으로 증착하고 패터닝하여 유기 반도체층, 유기 게이트절연막 및 보조전극을 형성하는 단계; 상기 보조전극을 포함하는 상기 기판 상에 보호층 형성 물질을 증착하고 상기 보조전극이 노출되도록 패터닝하여 컨택홀을 갖는 보호층을 형성하는 단계; 및 상기 보호층 상에 제3 금속 물질을 증착하고 패터닝하여 게이트전극을 형성하는 단계를 포함한다.
- [0034] 본 발명의 제3 실시예에 따르면, 정전기 방지 소자는, 상기 제2 실시예에 의해 제조된 제1 내지 제3 유기 박막트랜지스터를 포함하고, 상기 제1 유기 박막트랜지스터의 게이트전극은 상기 제1 유기 박막트랜지스터의 소오스전극과 상기 제3 유기 박막트랜지스터의 소오스전극에 전기적으로 연결되고, 상기 제2 유기 박막트랜지스터의 게이트전극은 상기 제2 유기 박막트랜지스터의 드레인전극과 상기 제3 유기 박막트랜지스터의 드레인전극에 전기적으로 연결되며, 상기 제3 유기 박막트랜지스터의 게이트전극은 상기 제1 유기 박막트랜지스터의 드레인전극과 상기 제2 유기 박막트랜지스터의 소오스전극에 전기적으로 연결된다.
- [0035] 본 발명의 제4 실시예에 따르면, 액정표시장치는, 다수의 게이트라인; 상기 게이트라인과 교차 배열된 다수의 데이터라인; 상기 게이트라인과 상기 데이터라인의 교차에 의해 정의되어 블랙매트릭스 형태로 배열된 다수의 화소; 상기 다수의 화소에 의해 표시 영역이 정의되고 상기 표시 영역의 외곽에 위치한 비표시 영역에 배치된

공통전압 라인; 및 상기 공통전압 라인과 상기 게이트라인 사이와 상기 공통전압 라인과 상기 데이터라인 사이에 배치된 다수의 정전기 방지 소자를 포함하고, 상기 화소 각각은, 상기 게이트라인과 상기 데이터라인에 연결되고 상기 제2 실시예에 의해 제조된 유기 박막트랜지스터; 및 상기 유기 박막트랜지스터와 연결된 화소전극을 포함한다.

- [0036] 본 발명의 제5 실시예에 따르면, 액정표시장치의 제조 방법은, 기판 상에 제1 금속 물질을 증착하고 패터닝하여 설정된 간격으로 이격되도록 소오스/드레인전극, 데이터라인을 형성하는 단계; 상기 소오스/드레인전극을 포함하는 상기 기판 상에 투명한 도전 물질을 증착하고 패터닝하여 화소전극을 형성하는 단계; 상기 화소전극을 형성하는 상기 기판 상에 유기 물질, 유기 절연 물질 및 제2 금속 물질을 순차적으로 증착하고 패터닝하여 유기 반도체층, 유기 게이트절연막 및 보조전극을 형성하는 단계; 상기 보조전극을 포함하는 상기 기판 상에 보호층 형성 물질을 증착하고 패터닝하여 다수의 컨택홀을 갖는 보호층을 형성하는 단계; 및 상기 보호층 상에 제3 금속 물질을 증착하고 패터닝하여 게이트전극, 게이트라인 및 공통전압 라인을 형성하는 단계를 포함한다.
- [0037] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.
- [0038] 도 1은 본 발명에 따른 유기 박막트랜지스터를 도시한 단면도이다.
- [0039] 본 발명의 유기 박막트랜지스터는 게이트전극(8)이 최상위층에 형성되는 탑 게이트형이다.
- [0040] 도 1을 참조하면, 기판(1) 상의 설정된 영역에 광을 차단할 수 있는 광 차단막(2)이 형성된다. 상기 설정된 영역은 상기 유기 박막트랜지스터가 형성될 영역을 의미한다. 상기 광 차단막(2)은 나중에 설명한 유기 물질로 이루어진 반도체층이 광에 의해 변형되어 채널 특성에 영향을 주는 것을 방지하기 위해 광을 차단 또는 흡수할 수 있다. 상기 광 차단막(2)은 광밀도(optical density) 3.5 이상의 크롬산화물(CrOx) 또는 크롬(Cr) 등의 금속이나 카본(carbon) 계열 물질로 이루어질 수 있다.
- [0041] 상기 광 차단막(2)을 포함하는 기판(1) 상에 실리콘 옥사이드(SiO2)와 같은 산화 물질로 이루어진 버퍼층(3)이 형성된다. 상기 버퍼층(3)은 이후에 형성될 층이 용이하게 형성되도록 도와주는 역할을 한다. 상기 버퍼층(3)은 반드시 형성하지 않아도 무방하다.
- [0042] 상기 버퍼층(3) 상에 설정된 거리만큼 이격되어 소오스/드레인전극(4a,4b)이 형성된다.
- [0043] 상기 소오스/드레인전극(4a,4b) 상에 유기 물질로 이루어진 유기 반도체층(5)이 형성된다. 상기 유기 반도체층(5)은 상기 소오스전극(4a) 및 드레인전극(4b)의 소정 영역을 포함하여 상기 소오스전극(4a)과 상기 드레인전극(4b) 사이의 상기 버퍼층(3) 상에 형성된다. 상기 유기 물질로는 펜타센(pentacene), 구리 프탈로시아닌(copper phthalocyanine), 폴리티오펜(polythiophene), 폴리아닐린(polyaniline), 폴리아세틸렌(polyacetylene), 폴리피롤(polypyrrole), 폴리페닐렌비닐렌(polyphenylene vinylene) 또는 이들의 유도체를 사용할 수 있으나 이에 한정되지 않는다.
- [0044] 상기 유기 반도체층(5) 상에 유기 절연 물질로 이루어진 유기 게이트절연막(6)이 형성된다. 상기 유기 절연 물질로는 폴리이미드(polyimide)가 사용될 수 있으나 이에 한정되지 않는다.
- [0045] 상기 유기 게이트절연막 (6)상에는 나중에 형성된 게이트전극(8)에 연결되기 위한 보조전극(7)이 형성된다. 상기 보조전극(7)은 공정 상에서 식각 정지층(etch stop layer)로서의 역할을 할 수 있는데, 이에 대해서는 추후 설명한다.
- [0046] 상기 유기 반도체층(5), 상기 유기 게이트절연막 (6) 및 상기 보조전극(7)은 동일한 폭을 가지며, 공정 상에서 일괄 패터닝되어 형성될 수 있다.
- [0047] 상기 보조전극(7)을 포함하는 기판(1) 상에 보호층(9)이 형성된다. 보호층(9)은 상기 보조전극(7)에 노출되도록 컨택홀(35)이 상기 보조전극(7) 상에 형성된다. 상기 보호층(9)은 소오스/드레인전극(4a,4b) 및 유기 반도체층(5)을 보호하기 위해 형성된다.
- [0048] 상기 컨택홀(35)을 통해 상기 게이트전극(8)이 상기 보조전극(7)에 연결된다.
- [0049] 상기 광 차단막(2)은 절대로 상기 유기 반도체층(5)으로 광이 들어가지 못하게 해야 하므로, 적어도 상기 유기 반도체층(5)의 폭보다 크도록 형성될 수 있다.
- [0050] 따라서, 본 발명의 유기 박막트랜지스터는 먼저 소오스/드레인전극(4a,4b)이 형성되고, 그 위에 유기 반도체층(5)과 유기 게이트절연막이 형성되며, 그 위에 게이트전극(8)이 형성된 탑 게이트 방식으로 구성될 수 있다.

- [0051] 도 2a 내지 도 2e는 본 발명에 따른 유기 박막트랜지스터의 제조 공정을 도시한 도면이다.
- [0052] 도 2a에 도시된 바와 같이, 기판(1) 상에 광 차단 물질을 증착하고 패터닝하여 설정된 영역에 광 차단막(2)을 형성한다. 상기 광 차단 물질로는 광밀도(optical density) 3.5 이상의 크롬산화물(CrOx) 또는 크롬(Cr) 등의 금속이나 탄소(carbon) 계열 물질을 사용할 수 있으나 이에 한정하지 않는다.
- [0053] 상기 광 차단막(2)을 포함하는 기판(1) 상에 실리콘 옥사이드와 같은 산화 물질을 증착하여 버퍼층(3)을 형성한다. 상기 버퍼층(3)은 반드시 형성하지 않아도 무방하다.
- [0054] 도 2b에 도시된 바와 같이, 상기 버퍼층(3) 상에 제1 금속 물질을 증착하고 패터닝하여 소오스/드레인전극(4a,4b)을 형성한다. 상기 제1 금속 물질로는 금(Au), 은(Ag), 알루미늄(Al), 니켈(Ni), 크롬(Cr), 몰리브덴(Mo)이 사용될 수 있으나 이에 한정하지 않는다.
- [0055] 도 2c에 도시된 바와 같이, 상기 소오스/드레인전극(4a,4b)을 포함하는 기판(1) 상에 유기 물질, 유기 절연 물질 및 제2 금속 물질을 순차적으로 증착하고 패터닝하여 유기 반도체층(5), 유기 게이트절연막(6) 및 보조전극(7)을 형성한다. 상기 유기 반도체층(5), 상기 유기 게이트절연막(6) 및 상기 보조전극(7)은 상기 소오스전극(4a) 및 드레인전극(4b)의 소정 영역을 포함하여 상기 소오스전극(4a)과 상기 드레인전극(4b) 사이의 상기 버퍼층(3) 상에 형성된다. 상기 패터닝에 의해 소오스/드레인전극(4a,4b)의 일부 영역이 노출될 수 있다.
- [0056] 상기 유기 물질로는 펜타센(pentacene), 구리 프탈로시아닌(copper phthalocyanine), 폴리티오펜(polythiophene), 폴리아닐린(polyaniline), 폴리아세틸렌(polyacetylene), 폴리피롤(polypyrrole), 폴리페닐렌비닐렌(polyphenylene vinylene) 또는 이들의 유도체를 사용할 수 있으나 이에 한정되지 않는다.
- [0057] 상기 유기 절연 물질로는 폴리이미드가 사용될 수 있으나 이에 한정하지 않는다.
- [0058] 상기 제2 금속 물질은 금(Au), 은(Ag), 알루미늄(Al), 니켈(Ni), 크롬(Cr), 몰리브덴(Mo)이 사용될 수 있으나 이에 한정하지 않는다.
- [0059] 상기 노출된 드레인전극(4b)은 상기 유기 박막트랜지스터에 적용될 때 화소전극과 연결될 수 있다.
- [0060] 도 2d에 도시된 바와 같이, 상기 보조전극(7)을 포함하는 기판(1) 상에 유기 물질 또는 무기 물질을 증착하고 상기 보조전극(7)이 노출되도록 패터닝하여 컨택홀(35)을 갖는 보호층(9)을 형성한다.
- [0061] 도 2e에 도시된 바와 같이, 상기 보호층(9) 상에 제3 금속 물질을 증착하고 패터닝하여 게이트전극(8)을 형성한다. 상기 게이트전극(8)은 상기 컨택홀(35)을 통해 상기 보조전극(7)에 연결된다.
- [0062] 상기 제3 금속 물질로는 금(Au), 은(Ag), 알루미늄(Al), 니켈(Ni), 크롬(Cr), 몰리브덴(Mo)이 사용될 수 있으나 이에 한정하지 않는다.
- [0063] 도 3은 본 발명에 따른 유기 박막트랜지스터를 구비한 액정표시장치를 도시한 도면이고, 도 4는 도 3의 액정표시장치에서 단위 화소를 도시한 평면도이고, 도 5는 도 2의 액정표시장치에서 정전기 방지 소자를 도시한 평면도이며, 도 6은 도 5의 정전기 방지 소자를 등가 회로로 도시한 도면이다.
- [0064] 도 3 및 도 4에 도시한 바와 같이, 다수의 게이트라인(15)이 배치되고, 상기 게이트라인(15)에 교차하여 다수의 데이터라인(17)이 배치된다. 상기 게이트라인(15)과 데이터라인(17)의 교차에 의해 단위 화소(11)가 정의된다.
- [0065] 따라서, 상기 액정표시장치는 화소(11)가 매트릭스 형태로 배열된다. 화소(11)가 매트릭스 형태로 배치된 영역을 표시 영역이라 하고, 그 이외의 영역을 비표시 영역으로 정의한다.
- [0066] 상기 게이트라인(15)과 데이터라인(17)에 연결되어 유기 박막트랜지스터가 배치된다. 상기 유기 박막트랜지스터에 연결되어 화소전극(21)이 배치된다. 상기 유기 박막트랜지스터는 게이트전극(67)이 게이트라인(15)에 연결되고 소오스전극(57a)이 데이터라인(17)에 연결되며 드레인전극(4b)이 화소전극(21)에 연결된다.
- [0067] 상기 화소전극(21)은 그 일부 영역이 상기 게이트라인(15)과 중첩되도록 배치된다. 따라서, 상기 화소전극(21)과 상기 게이트라인(15)에 의해 스토리지 캐패시터(23)가 형성된다. 스토리지 캐패시터(23)는 데이터 전압을 1 프레임 동안 유지시켜 주는 역할을 한다.
- [0068] 상기 액정표시장치는 테두리 영역을 따라 공통전압 라인(25)이 배치된다. 공통전압 라인(25)은 공통전압을 공급하기 위해 배치된 것으로서, 화소(11)에 배치된 공통전극(미도시)과 연결된다.
- [0069] 상기 비표시 영역에는 정전기를 방지하기 위한 다수의 정전기 방지 소자(13a 내지 13d)가 배치된다. 예컨대, 상

기 정전기 방지 소자(13a 내지 13d)는 게이트라인(15)과 공통전압 라인(25) 사이에 배치된 제1 정전기 방지 소자(13a), 데이터라인(17)과 공통전압 라인(25) 사이에 배치된 제2 정전기 방지 소자(13b), 게이트라인(15)과 공통전압 라인(25) 사이에 배치된 제3 정전기 방지 소자(13c) 그리고 데이터라인(17)과 공통전압 라인(25) 사이에 배치된 제4 정전기 방지 소자(13d)로 구분될 수 있다.

- [0070] 각 정전기 방지 소자(13a 내지 13d)는 도 5 및 도 6에 도시된 바와 같이, 제1 내지 제3 유기 박막트랜지스터로 구성될 수 있다.
- [0071] 제1 유기 박막트랜지스터는 게이트전극(67)과 소오스전극(57a)이 공통 연결된다.
- [0072] 제2 유기 박막트랜지스터는 게이트전극(67)과 드레인전극(4b)이 공통 연결되고 소오스전극(57a)이 제1 유기 박막트랜지스터의 드레인전극(4b)과 연결된다.
- [0073] 제3 유기 박막트랜지스터는 게이트가 상기 제1 유기 박막트랜지스터의 드레인전극(4b)과 상기 제2 유기 박막트랜지스터의 소오스전극(57a)에 연결되고 소오스전극(57a)이 상기 제1 유기 박막트랜지스터의 소오스전극(57a)에 연결되고 드레인전극(4b)이 상기 제2 유기 박막트랜지스터의 드레인전극(4b)에 연결된다.
- [0074] 따라서, 상기 제1 및 제2 유기 박막트랜지스터는 다이오드형 트랜지스터로서, 순방향으로는 전류가 흐르고 역방향으로는 전류가 흐르지 않게 된다.
- [0075] 데이터라인(17)과 공통전압 라인(25) 사이에 배치된 제2 정전기 방지 소자(13b)를 예로 들어 설명한다.
- [0076] 정전기와 같은 고접압이 데이터라인(17)으로 흐를 경우, 고전압에 의해 에 의해 상기 제1 또는 제2 유기 박막트랜지스터 중 어느 하나의 트랜지스터가 턴온되는 경우, 고전압이 상기 제1 또는 제2 유기 박막트랜지스터를 경유하여 상기 제3 유기 박막트랜지스터를 턴온시킨다. 이에 따라 데이터라인(17)과 공통전압라인 사이의 제3 유기 박막트랜지스터가 턴온되므로, 데이터라인(17)으로 흐르는 정전기가 상기 제3 유기 박막트랜지스터를 경유하여 공통전압 라인(25)으로 흐르게 된다. 이에 따라, 데이터라인(17)에 연결된 표시영역의 박막트랜지스터나 화소전극(21)이 손상되지 않게 된다.
- [0077] 도 7a 내지 도 7f는 본 발명에 따른 액정표시장치의 제조 공정을 도시한 도면으로서, 도 4의 단위 화소에서 A-A' 라인을 따라 절단하고 도 5의 정전기 방지 소자에서 B-B 라인을 따라 절단한 모습을 도시한다.
- [0078] 도 3 내지 도 5 및 도 7a 내지 도 7f를 참조하여 액정표시장치의 제조 공정을 설명한다.
- [0079] 도 7a에 도시된 바와 같이, 기판(51) 상에 광 차단 물질을 증착하고 패터닝하여 설정된 영역에 광 차단막(53)을 형성한다. 상기 설정된 영역은 유기 박막트랜지스터가 형성되는 영역을 의미하는 것으로서, 표시 영역의 각 화소(11)와 정전기 방지 소자(13a 내지 13d)에 설정될 수 있다.
- [0080] 상기 광 차단 물질로는 광밀도(optical density) 3.5 이상의 크롬산화물(CrOx) 또는 크롬(Cr) 등의 금속이나 카본(carbon) 계열 물질을 사용할 수 있으나 이에 한정하지 않는다.
- [0081] 상기 광 차단막(53)은 유기 박막트랜지스터로 외부의 광이 들어오는 것을 차단하기 위해 형성된다.
- [0082] 상기 광 차단막(53)을 포함하는 기판(51) 상에 실리콘 옥사이드와 같은 산화 물질을 증착하여 버퍼층(55)을 형성한다. 상기 버퍼층(55)은 이후에 형성되는 층이 용이하게 형성되도록 하기 위해 형성된다. 상기 버퍼층(55)은 가능한 얇게 형성되는 것이 바람직하다. 상기 버퍼층(55)은 반드시 형성하지 않아도 무방하다.
- [0083] 도 7b에 도시된 바와 같이, 상기 버퍼층(55) 상에 제1 금속 물질을 증착하고 패터닝하여 소오스/드레인전극(57a, 57b)과 데이터라인(17)을 형성한다. 상기 소오스전극(57a)은 상기 데이터라인(17)과 일체로 형성된다. 상기 드레인전극(57b)은 상기 소오스전극(57a)과 설정된 간격으로 이격되어 형성될 수 있다. 상기 제1 금속 물질로는 금(Au), 은(Ag), 알루미늄(Al), 니켈(Ni), 크롬(Cr), 몰리브덴(Mo)이 사용될 수 있으나 이에 한정하지 않는다.
- [0084] 도 7c에 도시된 바와 같이, 소오스/드레인전극(57a, 57b)을 포함하는 기판(51) 상에 투명한 도전 물질을 증착하고 패터닝하여 화소전극(21)을 형성한다. 상기 화소전극(21)은 표시 영역의 화소에 형성되고, 정전기 방지 소자(13a 내지 13d)에는 형성되지 않는다. 상기 도전 물질은 인듐 틴 옥사이드(ITO)나 인듐 징크 옥사이드(IZO)가 사용될 수 있으나 이에 한정되지 않는다.
- [0085] 상기 화소전극(21)은 유기 박막트랜지스터와 연결되어야 하므로, 상기 드레인전극(57b)과 일부 중첩되도록 형성될 수 있다. 따라서, 상기 드레인전극(57b)과 상기 화소전극(21)은 전기적으로 연결되게 된다.

- [0086] 도 7d에 도시된 바와 같이, 상기 화소전극(21)을 포함하는 기판(51) 상에 유기 물질, 유기 절연 물질 및 제2 금속 물질을 순차적으로 증착하고 패터닝하여 유기 반도체층(59), 유기 게이트절연막 (61) 및 보조전극(63)을 형성한다. 상기 유기 반도체층(59), 상기 유기 게이트절연막 (61) 및 상기 보조전극(63)은 상기 소오스전극(57a) 및 드레인전극(57b)의 소정 영역을 포함하여 상기 소오스전극(57a)과 상기 드레인전극(57b) 사이의 상기 버퍼층(55) 상에 형성된다. 상기 버퍼층(55)은 반드시 형성하지 않아도 무방하다.
- [0087] 상기 유기 물질로는 펜타센(pentacene), 구리 프탈로시아닌(copper phthalocyanine), 폴리티오펜(polythiophene), 폴리아닐린(polyaniline), 폴리아세틸렌(polyacetylene), 폴리피롤(polypyrrole), 폴리페닐렌비닐렌(polyphenylene vinylene) 또는 이들의 유도체를 사용할 수 있으나 이에 한정되지 않는다.
- [0088] 상기 유기 절연 물질로는 폴리이미드가 사용될 수 있으나 이에 한정하지 않는다.
- [0089] 상기 제2 금속 물질은 금(Au), 은(Ag), 알루미늄(Al), 니켈(Ni), 크롬(Cr), 몰리브덴(Mo)이 사용될 수 있으나 이에 한정하지 않는다.
- [0090] 도 7e에 도시된 바와 같이, 상기 보조전극(63)을 포함하는 기판(51) 상에 유기 물질 또는 무기 물질을 증착하고 상기 보조전극(63)이 노출되도록 패터닝하여 컨택홀(65)을 갖는 보호층(66)을 형성한다.
- [0091] 상기 컨택홀(65)은 도 7에 도시되지 않았지만 정전기 방지 소자(13a 내지 13d)의 제1 내지 제3 유기 박막트랜지스터 간을 서로 연결하기 위해 소오스전극(57a) 또는 드레인전극(57b)을 노출되도록 형성될 수 있다.
- [0092] 도 7f에 도시된 바와 같이, 상기 보호층(66) 상에 제3 금속 물질을 증착하고 패터닝하여 게이트전극(67), 게이트라인(15) 및 공통전압 라인(25)을 형성한다. 상기 게이트전극(67)은 상기 컨택홀(65)을 통해 상기 보조전극(63)에 연결되는 한편 상기 게이트라인(15)과 일체로 형성될 수 있다.
- [0093] 아울러, 정전기 방지 소자(13a 내지 13d)의 제1 내지 제3 유기 박막트랜지스터 간을 서로 연결하기 위해 게이트전극(67)이 컨택홀(65)을 통해 소오스전극(57a) 또는 드레인전극(57b)에 연결된다. 이에 따라, 제1 유기 박막트랜지스터의 게이트전극(67)은 상기 제1 유기 박막트랜지스터의 소오스전극(57a)과 상기 제3 유기 박막트랜지스터의 소오스전극(57a)에 전기적으로 연결될 수 있다. 상기 제2 유기 박막트랜지스터의 게이트전극(67)은 상기 제2 유기 박막트랜지스터의 드레인전극(57b)과 상기 제3 유기 박막트랜지스터의 드레인전극(57b)에 전기적으로 연결될 수 있다. 상기 제3 유기 박막트랜지스터의 게이트전극(67)은 상기 제1 유기 박막트랜지스터의 드레인전극(57b)과 상기 제2 유기 박막트랜지스터의 소오스전극(57a)에 전기적으로 연결될 수 있다.
- [0094] 상기 제3 금속 물질로는 금(Au), 은(Ag), 알루미늄(Al), 니켈(Ni), 크롬(Cr), 몰리브덴(Mo)이 사용될 수 있으나 이에 한정하지 않는다.
- [0095] 이상과 같은 제조 공정에 의해 정전기 방지 소자(13a 내지 13d)와 매트릭스 형태로 배열된 화소(11)를 포함하는 액정표시장치가 제조될 수 있다.
- [0096] 본 발명은 유기 박막트랜지스터의 제조를 용이하게 하여 액정표시장치에서 화소의 유기 박막트랜지스터나 정전기 방지 소자의 유기 박막트랜지스터로의 적용 가능성을 높일 수 있다.

**발명의 효과**

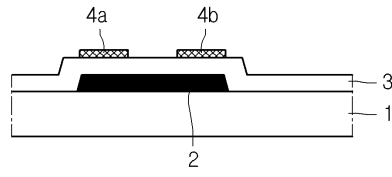
- [0097] 이상에서 살펴본 바와 같이, 본 발명에 의하면, 구조를 개선하고 제조 공정을 용이하게 한 유기 박막트랜지스터를 제조함으로써, 다른 분야로의 적용 가능성을 확대시킬 수 있다.
- [0098] 본 발명에 의하면, 동일한 공정 과정을 통해 표시 영역의 화소뿐만 정전기 방지 소자에 구비된 유기 박막트랜지스터를 제조함으로써, 제조 공정을 단순화하고 제조비용을 현저히 절감할 수 있다.
- [0099] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**도면의 간단한 설명**

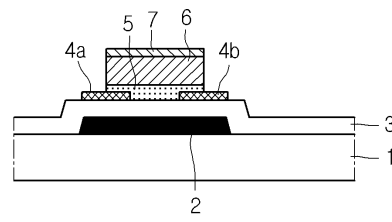
- [0001] 도 1은 본 발명에 따른 유기 박막트랜지스터를 도시한 단면도.



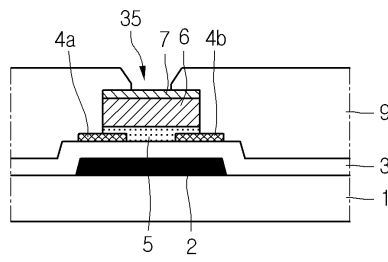
도면2b



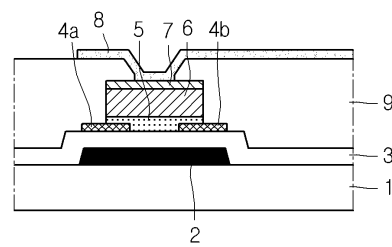
도면2c



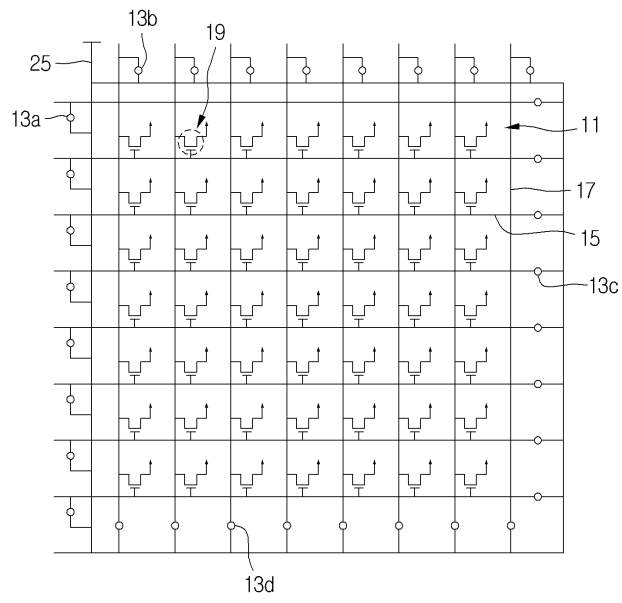
도면2d



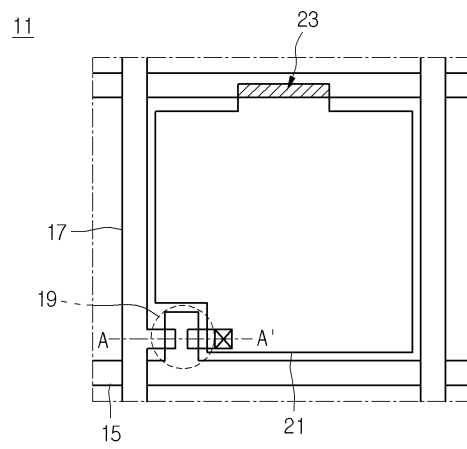
도면2e



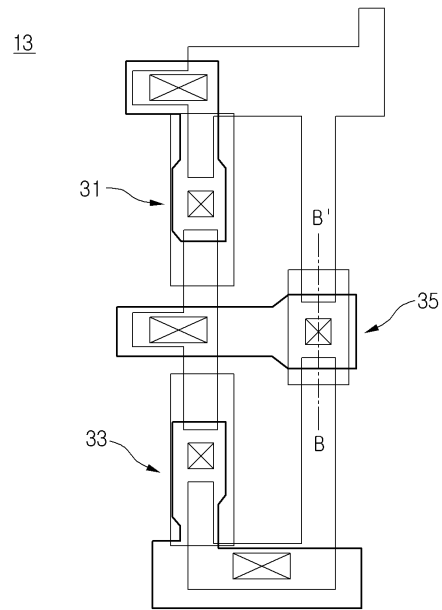
도면3



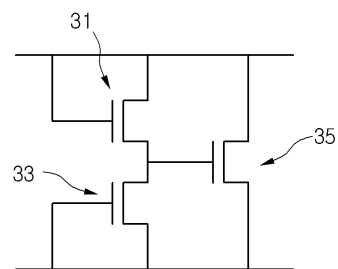
도면4



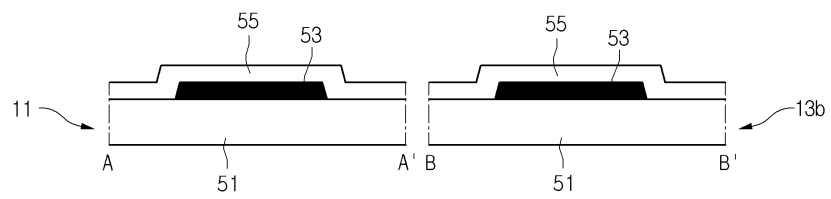
도면5



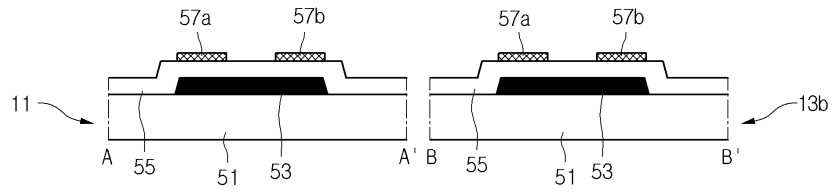
도면6



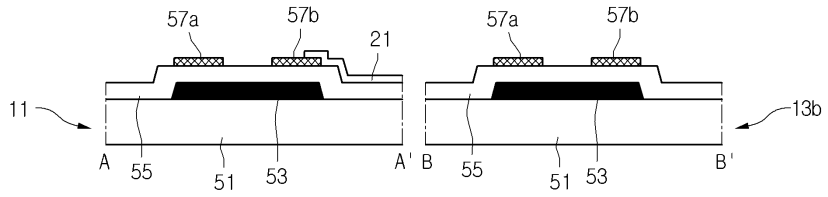
도면7a



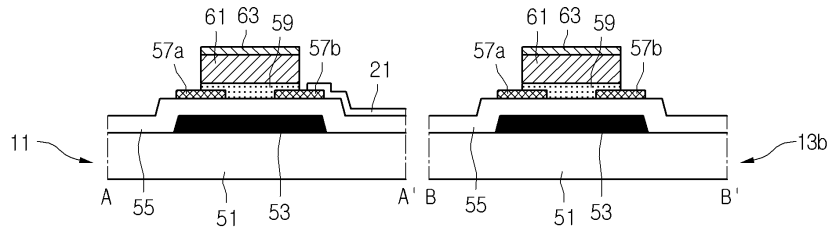
도면7b



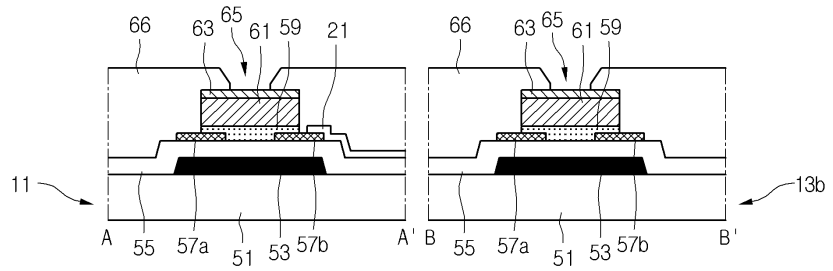
도면7c



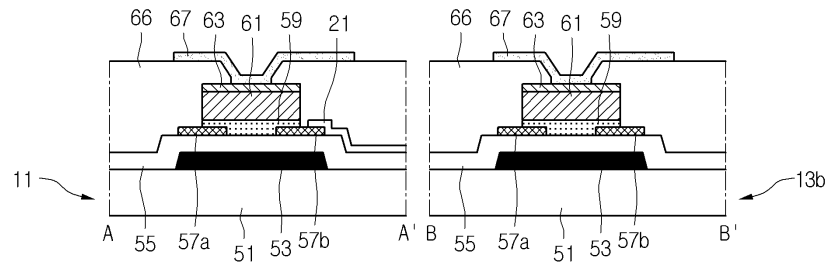
도면7d



도면7e



도면7f



专利名称(译)	标题：有机薄膜晶体管，其制造方法，使用其的抗静电元件，液晶显示装置及其制造		
公开(公告)号	<a href="#">KR101363714B1</a>	公开(公告)日	2014-02-14
申请号	KR1020060125351	申请日	2006-12-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOO KYO SEOP 추교섭 KIM MIN JOO 김민주 KANG HO CHEOL 강호철		
发明人	추교섭 김민주 강호철		
IPC分类号	G02F1/136 G02F H01L29/786 G02F1/361 H01L		
CPC分类号	H01L27/0248 G02F1/136204 G02F2202/02 G02F2001/13685		
其他公开文献	KR1020080053610A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

公开了一种有机薄膜晶体管，其制造方法，使用该有机薄膜晶体管的抗静电装置，液晶显示装置及其制造方法。本发明的有机薄膜晶体管包括：源/漏电极，以预定间隔与衬底隔开；有机半导体层设置在源/漏电极上；有机栅极绝缘膜设置在有机半导体层上；辅助电极设置在有机栅极绝缘膜上；保护层设置在基板上并具有形成暴露辅助电极的接触孔；栅电极设置在有机栅极绝缘膜上并与辅助电极电连接。

