



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년01월15일
(11) 등록번호 10-1352343
(24) 등록일자 2014년01월06일

(51) 국제특허분류(Int. Cl.)

G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0125722

(22) 출원일자 2006년12월11일

심사청구일자 2011년12월12일

(65) 공개번호 10-2008-0053775

(43) 공개일자 2008년06월16일

(56) 선행기술조사문헌

KR1020010092374 A

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

센다, 미치루

일본, 도쿄, 미나토구, 록본기 3-1-1 록본기
T-cube 일본 삼성주식회사 내

요코야마, 로이치

일본, 도쿄, 미나토구, 록본기 3-1-1 록본기
T-cube 일본 삼성주식회사 내

(74) 대리인

오세준, 권혁수, 송윤호

전체 청구항 수 : 총 15 항

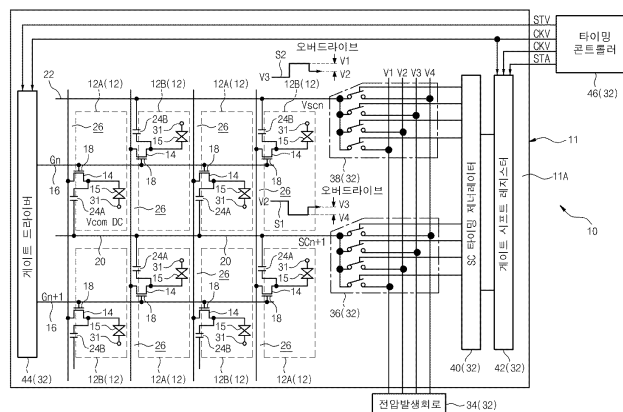
심사관 : 이옥우

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은, 소정 방향에 따라 배열되고, 각각이 박막 트랜지스터를 가지는 복수의 화소와, 상기 복수의 화소의 각 박막 트랜지스터의 게이트에 구동 신호를 공급하는 게이트 선과, 상기 복수의 화소 각각에 설치되고, 해당 화소에 있는 박막 트랜지스터의 일 단자에 접속된 액정 용량과, 상기 게이트 선과 나란히 배치된 보조 용량선과, 상기 복수의 화소 각각에 설치되고, 해당 화소에 있는 박막 트랜지스터의 일 단자와 상기 보조 용량선 사이에 접속된 보조 용량과, 적어도 4개의 전압이 설정되고, 상기 적어도 4개의 전압 중에서 1개의 전압을 선택해 상기 선택된 전압을 상기 보조 용량선에 공급하여 상기 액정 용량과 상기 보조 용량을 용량 결합시킨 상태로 구동하는 구동 회로를 구비하는 것을 특징으로 한다.

대표도



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

소정 방향에 따라 배열되고, 각각이 박막 트랜지스터를 가지며 제 1 군과 제 2 군으로 구분되는 복수의 화소와,
 상기 복수의 화소의 각 박막 트랜지스터의 게이트에 구동 신호를 공급하는 게이트 선과,
 상기 복수의 화소 각각에 설치되고, 해당 화소에 있는 박막 트랜지스터의 일단자에 접속된 액정 용량과,
 상기 게이트선을 사이에 두고 배치된 제1 및 제2 보조 용량선을 포함하는 보조 용량선과,
 상기 제 1 군에 속하는 화소에 설치되고, 해당 화소에 있는 박막 트랜지스터의 일 단자와 상기 제 1 보조 용량선 사이에 접속된 제1 보조 용량과,
 상기 복수의 화소 중 제 2 군 화소 중에 설치되고, 해당 화소에 있는 박막 트랜지스터의 일 단자와 상기 제 2 보조 용량선 사이에 접속된 제 2 보조 용량과,
 적어도 4개의 전압이 설정되고, 상기 적어도 4개의 전압 중에서 1개를 선택해 상기 선택된 전압을 상기 제 1 보조 용량선 및 상기 제 2 보조 용량선에 공급하여, 상기 제 1군 화소의 액정 용량과 제 1 보조 용량을 용량 결합시킨 상태로 구동 함과 동시에 상기 제 2 군 화소의 액정 용량과 제 2 보조 용량을 용량 결합시킨 상태로 구동하는 구동 회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 10

청구항 9에 있어,

상기 구동 회로는,

상기 적어도 4개의 전압을 발생하는 전압 발생 회로와,

상기 적어도 4개의 전압을 상기 제 1 보조 용량선에 차례로 공급하는 제 1 스위치 군과,

상기 적어도 4의 전압을 상기 제 2 보조 용량선에 차례로 공급하는 제 2 스위치 군을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 11

청구항 10에 있어,

상기 구동 회로는,

서로 다른 주기의 복수의 입력 신호를 소정 시간 보관해 출력하는 게이트 시프트 레지스터와,

상기 게이트 시프트 레지스터로부터 출력된 신호에 근거해, 상기 제 1 스위치 군 및 제 2 스위치 군의 각 스위치를 변환하는 스위치 변환 타이밍 제너레이터를 가지는 것을 특징으로 하는 액정표시장치.

청구항 12

청구항 11에 있어,

상기 게이트 시프트 레지스터는, 상기 서로 다른 주기의 복수의 입력 신호를 소정 시간 보관해 출력하는 플립플롭 회로를 가지는 것을 특징으로 하는 액정표시장치.

청구항 13

청구항 12에 있어,

상기 플립플롭 회로는, 상기 보조 용량선에 대응되는 복수로 설치되어 있는 것을 특징으로 하는 액정표시장치.

청구항 14

청구항 13에 있어,

상기 보조 용량선에 대응되게 설치된 상기 복수의 플립플롭 회로는, 서로 직렬 접속되어 상호간에 한 방향으로 데이터가 전송 되는 것을 특징으로 하는 액정표시장치.

청구항 15

청구항 12에 있어,

상기 스위치 변환 타이밍 제너레이터는, 상기 플립플롭 회로로부터 출력된 신호에 응답하여 상기 제 1 스위치군 및 제2 스위치군의 스위치 변환을 실행하는 것을 특징으로 하는 액정표시장치.

청구항 16

청구항 15에 있어,

상기 플립플롭 회로는, 상기 보조 용량선에 대응되는 복수로 설치되고, 상기 보조 용량선에 대응되게 설치된 상기 복수의 플립플롭 회로로부터의 출력 신호에 의해, 상기 스위치 변환 타이밍 제너레이터가 상기 제 1 스위치군 및 제2 스위치군의 스위치 변환을 실행하는 것을 특징으로 하는 액정표시장치.

청구항 17

청구항 16에 있어,

상기 보조 용량선에 대응되는 복수로 설치된 플립플롭 회로는, 각각이 적어도 2개 이상의 플립플롭 동작을 수행하는 회로들을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 18

청구항 11에 있어,

상기 게이트 시프트 레지스터에 입력되는 신호의 주기는, 수직 동기 개시 신호의 주기의 N배(단, N은 자연수)인 것을 특징으로 하는 액정표시장치.

청구항 19

청구항 11에 있어,

상기 게이트 시프트 레지스터로부터 출력되는 신호의 주기는, 수직 동기 개시 신호의 주기의 N배(단, N은 자연수)인 것을 특징으로 하는 액정표시장치.

청구항 20

청구항 10에 있어,

상기 스위치 변환 타이밍 제너레이터는, 수직 동기 개시 신호에 동기하여 동작하는 것을 특징으로 하는 액정표시장치.

청구항 21

청구항 11에 있어,

상기 스위치 변환 타이밍 제너레이터는, 상기 게이트 시프트 레지스터로부터 출력되는 신호가 바뀔 때까지, 상기 제1 스위치군 및 제2 스위치군의 각 스위치에게 주는 스위치 선택 정보를 계속 출력하는 것을 특징으로 하는 액정표시장치.

청구항 22

청구항 11에 있어,

상기 제 1 스위치군 및 제2 스위치군의 각 스위치는, 상기 스위치 변환 타이밍 제너레이터에 의해 선택되고 있는 경우에 도통하는 것을 특징으로 하는 액정표시장치.

청구항 23

청구항 9에 있어,

상기 보조 용량선은 상기 인접하는 화소 사이에 배치된 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0040] 본 발명은, 액티브 매트릭스형의 액정표시장치에 관한 것이다.
- [0041] 각 화소에 설치된 박막 트랜지스터(TFT)를 구동시켜 각 화소 중 액정의 기립 상태(배향 상태)를 제어하는 액정표시장치가 제안되고 있어, 그 일 예가 아래와 같이 특허 문헌 1에 개시되고 있다.
- [0042] 이러한 액정표시장치는 소정 방향에 따라 배열된 복수의 화소를 가지고 있다. 각 화소는 박막 트랜지스터를 가지고 있고, 박막 트랜지스터는, 게이트 전극에 게이트 선(게이트 전극에 신호를 전달하는 신호 라인)으로부터 전달된 구동 신호가 공급되어 구동한다. 게이트 선은, 상기의 소정 방향으로 배열된 복수의 화소에 걸쳐있다. 또, 각 화소 중에는, 액정 용량이 설치되어 있고, 액정 용량의 일 단자는, 박막 트랜지스터의 일 단자에 접속되어 있다. 또, 각 화소에는, 보조 용량선(보조 용량 소자에 신호를 전달하는 신호 라인)이 게이트선과 평행하게 복수의 화소에 걸쳐있다. 보조 용량선과 각 박막 트랜지스터의 일 단자의 사이에는 보조 용량 소자가 각각 접속되어 있다. 보조 용량선에는 구동 회로가 접속되고 있고, 이 구동 회로는, 보조 용량 선에 전압을 인가한다. 구동 회로에 의해 보조 용량선에 전압이 인가되면, 보조 용량 소자가 충전되어 상기 보조 용량 소자와 액정 용량이 용량 결합하고, 그 결과, 각 화소 중 액정의 기립 상태(배향 상태)가 제어(유지)된다.
- [0043] 이러한 액정표시장치에서는, 일반적으로, 보조 용량선에 인가되는 전압으로, 액정이 원하는 기립 위치(배향 위치)에서 정지 상태가 되기 위한 2값의 전압이 설정되어 있다. 그러나, 이러한 2값의 전압을 이용해 액정의 기립 상태(배향 상태)가 원하는 상태가 되도록 제어하기가 용이하지 않으며 액정의 기립 상태(배향 상태)가 변경되는

데 소요되는 속도가 느리다(액정의 응답 속도를 향상시키는 것이 어렵다).

[0044] [특허 문헌 1]일본 특개평 7-20494호 공보

발명이 이루고자 하는 기술적 과제

[0045] 본 발명의 목적은 액정의 기립 상태를 원하는 상태로 보다 빠르게 이행 시킬 수 있는 액정표시장치를 제공하는 데 있다.

발명의 구성 및 작용

[0046] 본 발명의 일 실시예에 따른 액정표시장치는, 복수의 화소, 게이트선, 액정 용량, 보조 용량선, 보조 용량 및 구동 회로를 포함한다. 상기 복수의 화소는 소정 방향에 따라 배열되고, 각각이 박막 트랜지스터를 가진다. 상기 게이트선은 상기 복수의 화소의 각 박막 트랜지스터의 게이트에 구동 신호를 공급한다. 상기 액정 용량은 상기 복수의 화소 각각에 설치되고, 해당 화소에 있는 박막 트랜지스터의 일 단자에 접속된다. 상기 보조 용량선은 상기 게이트선과 나란히 배치된다. 상기 보조 용량은 상기 복수의 화소 각각에 설치되고, 해당 화소에 있는 박막 트랜지스터의 일 단자와 상기 보조 용량선간에 접속된다. 상기 구동 회로는 적어도 4개의 전압이 설정되고, 상기 적어도 4개의 전압 중에서 1개를 선택해 상기 선택된 전압을 상기 보조 용량선에 공급하여 상기 액정 용량과 상기 보조 용량을 용량 결합시킨 상태로 구동한다.

[0047] 상기한 액정표시장치에 있어서, 상기 구동 회로에서는, 제1, 제2, 제3 및 제4 전압(단, 제1 전압>제2 전압>제3 전압>제4 전압)이 설정되고, 상기 구동 회로는, 상기 제 3 전압, 상기 제 4 전압, 상기 제2 전압, 상기 제1 전압의 순서로 반복하여 상기 보조 용량선에 공급한다.

[0048] 본 발명의 다른 실시예에 따른 액정표시장치는 복수의 화소, 게이트선, 액정 용량, 보조 용량선, 제1 보조 용량, 제2 보조 용량 및 구동 회로를 포함한다. 상기 복수의 화소는 소정 방향에 따라 배열되고, 각각이 박막 트랜지스터를 가지며 제 1 군과 제 2 군으로 구분된다. 상기 게이트선은 상기 복수의 화소의 각 박막 트랜지스터의 게이트에 구동 신호를 공급한다. 상기 액정 용량은 상기 복수의 화소 각각에 설치되고, 해당 화소에 있는 박막 트랜지스터의 일 단자에 접속된다. 상기 보조 용량선은 상기 게이트선을 사이에 두고 배치된 제1 및 제2 보조 용량선을 포함한다. 상기 제1 보조 용량은 상기 제 1 군에 속하는 화소에 설치되고, 해당 화소에 있는 박막 트랜지스터의 일 단자와 상기 제 1 보조 용량선 사이에 접속된다. 상기 제2 보조 용량은 상기 복수의 화소 중 제 2 군 화소 중에 설치되고, 해당 화소에 있는 박막 트랜지스터의 일 단자와 상기 제 2 보조 용량선 사이에 접속된다. 상기 구동 회로는 적어도 4개의 전압이 설정되고, 상기 적어도 4개의 전압 중에서 1개를 선택해 상기 선택된 전압을 상기 제 1 보조 용량선 및 상기 제 2 보조 용량선에 공급하여, 상기 제 1군 화소의 액정 용량과 제 1 보조 용량을 용량 결합시킨 상태로 구동 함과 동시에 상기 제 2 군 화소의 액정 용량과 제 2 보조 용량을 용량 결합시킨 상태로 구동한다.

[0049] 도 1에는, 본 발명의 실시 형태에 관한 액정표시장치(10)의 주요부가 블록도에 나타나 있다.

[0050] 본 실시 형태의 액정표시장치(10)는, 액티브 매트릭스형 표시장치이고, 도트 반전 구동법을 이용해 구동되는 것이다. 본 실시 형태의 액정표시장치(10)는 도트 반전 구동법을 이용해 구동되는 것이지만, 액정표시장치(10)는, 예를 들면, 라인 반전 구동법을 이용해 구동되는 것도 좋고, 도트 반전 구동법이나 라인 반전 구동법과는 다른, 다른 구동법을 이용해 구동되는 것도 좋다.

[0051] 이 액정표시장치(10)는, 표시 패널(11)을 구비하고 있다. 이 표시 패널(11)은, 기관 (11A)을 가지고 있고, 표시 패널(11)은, 이 기관(11A)상에 복수의 화소(12)를 가지고 있다. 각 화소(12)는, 열 방향의 길이가 행 방향의 길이보다 긴 직사각형 모양으로 형성되어 있다. 이러한 화소(12)는, 열 및 행 방향을 따라 배열되어 전체적으로 매트릭스 형상을 갖는다.

[0052] 이러한 복수 화소(12)는, 각각이 박막 트랜지스터(14)를 가지고 있다. 또, 각각의 화소(12) 중에는, 액정 용량(15)이 설치되어 있고, 각 박막 트랜지스터(14)의 일 단자에는, 액정 용량(15)의 일 단자가 접속되어 있다. 또, 각 화소(12)는, 도시하지 않은 화소 전극을 가지고 있다.

[0053] 이상 설명한 것 같은 화소(12)에는, 제1군에 속하는 것과, 제2군에 속하는 것으로 구분되며, 이하, 제1군에 속하는 화소(12)와 제2군에 속하는 화소(12)를 구별하는 경우에는, 제1군에 속하는 화소(12)를 제1군 화소(12A), 제2군에 속하는 화소(12)를 제2군 화소(12B)라 한다. 이러한 제1군 화소(12A)와, 제2군 화소(12B)는, 행 방향 및 열 방향으로, 교대로 배열되어 있다.

- [0054] 또, 복수의 화소(12)의 중심부에는, 게이트선(16)이 배치되어 있다. 게이트선(16)은, 복수의 화소(12)의 중심축을 관통하고 있다(화소(12)의 행 방향에 따라 형성되어 있다). 게이트 선(16)에는, 복수의 박막 트랜지스터(14)의 게이트(18)가 접속되고 있고, 게이트 선(16)은, 복수의 화소(12)의 각 박막 트랜지스터(14)의 게이트(18)에 구동 신호를 공급한다. 이것에 의해, 각 박막 트랜지스터(14)는, 대응하는 화소(12)를 구동한다.
- [0055] 또, 표시 패널(11)은, 제1 보조 용량선(20)을 가지고 있다. 제1 보조 용량선(20)은, 게이트선(16)과 평행으로 나란한(화소(12)의 행 방향에 따라) 복수로 구성되며, 상기 복수의 제1 보조 용량선(20) 각각은 복수의 화소(12)의 열 방향 일단(복수의 화소(12)의 일단)에 따라 배치(형성)되어 있다. 여기서, 제1 보조 용량선(20)에 있어서 「평행」이라 함은, 제1 보조 용량선(20)의 중심선이 화소(12)의 중심 축에 따른 상태로 제1 보조 용량선(20)이 형성되어 있는 것을 말한다. 예를 들면, 제1 보조 용량선(20)이 그 도중에 지그재그 형상으로 구부러진 경우도 포함된다.
- [0056] 또, 표시 패널(11)은, 제2 보조 용량선(22)을 가지고 있다. 제2 보조 용량선(22)은, 게이트선(16)과 평행으로 나란한(화소(12)의 행 방향에 따라) 복수로 구성된다. 제1 및 제2 보조 용량선(20,22)은 게이트선(16)을 사이에 두고 배치된다. 즉, 제1 보조 용량선(20)은 게이트선(16)의 일측에 배치되고 제2 보조 용량선(22)은 게이트선(16)의 반대 측에 배치된다. 상기 복수의 제2 보조 용량선(22) 각각은 복수의 화소(12)의 열 방향 타단(복수의 화소(12)의 타단)에 따라 배치(형성)되어 있다. 여기서, 제2 보조 용량선(22)에 있어서 「평행」이라 함은, 제2 보조 용량선(22)의 중심선이 화소(12)의 중심 축에 따른 상태로 제2 보조 용량선(22)이 형성되어 있는 것을 말한다. 예를 들면, 제2 보조 용량선(22)이 그 도중에 지그재그 형상으로 구부러진 경우도 포함된다.
- [0057] 이와 같이, 제1 및 제2 보조 용량선(20,22)이 화소(12)의 투과부에 오버랩되지 않기 때문에 화소(12)의 개구율을 향상할 수 있다.
- [0058] 이러한 복수의 화소(12) 중 제1군 화소(12A) 중에는, 복수의 보조 용량(24)을 구성하는 복수의 제1 보조 용량(24A)이 설치되어 있다. 이들 복수의 제1 보조 용량(24A)은, 제1군 화소(12A)에 있는 박막 트랜지스터(14)의 일 단자와 제1 보조 용량선(20)사이에 접속되어 있다.
- [0059] 한편, 복수의 화소(12)중 제2군 화소(12B)중에는, 복수의 제1 보조 용량(24A)과 함께 복수의 보조 용량(24)을 구성하는 복수의 제2 보조 용량(24B)이 설치되어 있다. 이들 복수의 제2 보조 용량(24B)은, 제2군 화소(12B)에 있는 박막 트랜지스터(14)의 일 단자와 제2의 보조 용량선(22) 사이에 접속되고 있다.
- [0060] 복수의 제1 보조 용량(24A)과 복수의 제2 보조 용량(24B)은, 각각, 화소(12)의 행 방향 및 열 방향(소정 방향)에 따라 교대로 배치되어 있다. 이러한 복수의 제1 보조 용량(24A)과, 복수의 제2 보조 용량(24B)은, 거의 동일한 정전 용량값을 가지고 있다.
- [0061] 제1 보조 용량(24A)은, 제1군 화소(12A)와 인접하는 제2군 화소(12B)의 경계부(26)에 따라 형성되어 있다. 한편, 제2 보조 용량(24B)은, 제2군 화소(12B)와 인접하는 제1군 화소(12A)의 경계부(26)에 따라 형성되어 있다.
- [0062] 복수의 화소(12)상에는, 도 5에 도시된 바와 같은 칼라 필터(28)가 배치되어 있고, 칼라 필터(28)는, 각각의 화소(12)에 대응하고 있다. 이 칼라 필터(28)의 인접하는 경계부(26)에 대응해, 복수의 차광부(30)이 형성되어 있다.
- [0063] 도 5에 도시된 바와 같이, 최하층은 유리(48)로 이루어져 있고, 그 위에는, 게이트 절연막(50)이 형성되어 있다. 게이트 절연막(50)의 하부에서는, 도 5의 좌우 방향 중심선(적색의 칼라 필터(28)와 청색의 칼라 필터(28)의 좌우 방향 경계 위치)으로부터 우측으로 이간해 반도체 층(56)이 형성되어 있다.
- [0064] 이 게이트 절연막(50) 상에는, 층간 절연막(52)이 형성되어 있다. 층간 절연막(52)의 하부에서는, 도 5의 좌우 방향 중심선으로부터 서로 이간한 한 쌍의 게이트선 층(58)이 형성되어 있다.
- [0065] 이 게이트선 층(58)과 상기의 반도체 층(56)의 사이에는, 상기 보조 용량(24)(제1군 화소(12A)에서 제1 보조 용량(24A), 제2군 화소(12B)에서는 제2 보조 용량(24B))이 형성되어 있다.
- [0066] 또, 층간 절연막(52)상에는, 보호막(54)이 형성되어 있다. 보호막(54)의 하부에서는, 도 5의 좌우 방향 중심선의 위치에 신호선층(60)이 형성되어 있다. 이 신호선 층(60)의 좌우 방향 양단부는, 한 쌍의 게이트선 층(58)이 서로 대향하고 있는 측 단부의 윗쪽에 위치하고 있다.
- [0067] 이 보호막(54)의 윗쪽에는, 도 5의 좌우 방향 중심선으로부터 서로 이간된 한 쌍의 표시 전극층(62)이 형성되어 있다. 이 한 쌍의 표시 전극층(62)이 서로 대향하고 있는 측의 단부는, 신호선 층(60)의 좌우 방향 양단부의 윗

쪽에 위치하고 있다.

- [0068] 도 4에 도시된 바와 같이, 복수의 제1 보조 용량(24A) 및 복수의 제2 보조 용량(24B)은, 각각이, 대응하는 상기 복수의 차광부(30) 아래에 형성되어 있다. 이와 같이, 화소(12)의 투과부가 아닌 차광부(30)에 복수의 제1 보조 용량(24A) 및 복수의 제2 보조 용량(24B)이 오버랩되게 형성되어 있기 때문에, 화소(12)의 개구율을 보다 한층 더 향상시킬 수 있다.
- [0069] 여기서, 제1 보조 용량(24A) 및 제2 보조 용량(24B)은, 제1군 화소(12A)와 제2군 화소(12B)의 열 방향 경계 위치에 설치되어 있는 차광부(30) (도 4에서는, 부호를30A로 나타내고 있다)에 형성해도 좋다. 또, 제1군 화소(12A)와 제2군 화소(12B)의 행 방향 경계 위치에 설치되어 있는 차광부(30) (도 4에서는, 부호를30B, 30C, 30D, 30E로 나타내고 있다)에 형성해도 좋다. 또 게다가, 제1군 화소(12A)와 제2군 화소(12B)의 행 방향 경계 위치에 설치되어 있는 차광부(30) (도 4에서 차광부(30A)) 만이 아닌, 제1군 화소(12A)와 제2군 화소(12B)의 열 방향 경계 위치에 설치되어 있는 차광부(30) (도 4에서 차광부 30B, 30C, 30D, 30E)의 적어도 1개로 조합한 영역에서 일체로 형성해도 좋다.
- [0070] 표시 패널(11)은, 상기의 기관(11A)과 대향하는 대향 기관(미도시)을 더 포함한다. 이 상기 대향 기관에는, 상기의 액정 용량(15)의 타 단자에 접속된 공통 전극(31)이 설치되어 있다.
- [0071] 이러한 액정표시장치(10)는, 구동 회로(32)를 가지고 있다. 구동 회로(32)는, 전압 발생 회로(34)와 제1 스위치군(36)과 제2 스위치군(38)을 가지고 있다.
- [0072] 이 구동 회로(32)는, 적어도 4값의 전압이 설정되어 있고, 전압 발생 회로(34)는, 적어도 4값의 전압을 발생한다. 본 실시 형태에서는, 전압 발생 회로(34)는, 제1, 제2, 제3및 제4 전압(V1, V2, V3, V4)(4값의 전압)이 설정되어 있고, 전압 발생 회로(34)는, 이러한 제1, 제2, 제3및 제4 전압(V1, V2, V3, V4)을 발생한다.
- [0073] 제 1 스위치군(36)은, 제 1 보조 용량선(20)에, 적어도 4값의 전압(본 실시 형태에서는, 4값의 전압 V1, V2, V3, V4)중에서 1개의 전압 값을 선택해 이 선택된 전압 값에 해당하는 전압을 공급한다. 본 실시 형태에서는, 제 1 스위치군(36)은, 제1, 제2, 제3및 제4 전압(V1, V2, V3, V4)을 선택해 제 1 보조 용량선(20)에 차례로 공급한다. 제 1 스위치군(36)이 제1, 제2, 제3및 제4 전압(V1, V2, V3, V4)을 선택해 제1 보조 용량선(20)에 공급하는 것으로, 구동 회로(32)는, 제1군 화소(12A)중의 액정 용량 (15)와 제1 보조 용량(24A)을 용량 결합시킨 상태로 구동한다. 이 때문에, 액정의 원하는 기립 상태에 맞춘 전압 값의 전압을 제1 보조 용량선(20)에 공급시키는 것으로, 액정의 기립 상태를 원하는 상태로 보다 한층 빨리 이행 시킬 수가 있다.
- [0074] 제 2 스위치군(38)은, 제2 보조 용량선(22)에, 적어도 4값의 전압(본 실시형태 에서는, 4값의 전압V1, V2, V3, V4)중에서 1개의 전압 값을 선택해 이 선택된 전압 값에 해당하는 전압을 공급한다. 본 실시 형태에서는, 제2 스위치군(38)은, 제1, 제2, 제3및 제4 전압(V1, V2, V3, V4)을 선택해 제2 보조 용량선(22)에 차례로 공급한다. 제2 스위치군 (38)이 제1, 제2, 제3및 제4 전압(V1, V2, V3, V4)을 선택해 제2 보조 용량선(22)에 공급하는 것으로, 구동 회로(32)는, 제2군 화소(12B)중의 액정 용량(15)와 제2 보조 용량(24B)를 용량 결합시킨 상태로 구동한다. 이 때문에, 액정의 원하는 기립 상태로 맞춘 전압 값의 전압을 제2 보조 용량선(22)에 공급시키는 것으로, 액정의 기립 상태를 원하는 상태로 보다 한층 빨리 이행 시킬 수 있다.
- [0075] 제 1 스위치군(36)및 제 2 스위치군(38)에는, 전압 발생 회로(34), 제1 스위치군(36), 및 제2 스위치군(38)과 함께 구동 회로(32)를 구성하는 스위치 변환 타이밍 제너레이터로서 SC타이밍 제너레이터(40)가 접속되어 있고, 이 SC타이밍 제너레이터 (40)에 의해, 제1 스위치군(36)및 제2 스위치군(38)의 스위치 동작 타이밍이 제어된다. 이 SC타이밍 제너레이터(40)는, 도 6및 도 7에 나타나는 수직 동기 개시 신호 STV에 동기하여 동작한다.
- [0076] SC타이밍 제너레이터(40)에는, 전압 발생 회로(34), 제1 스위치군(36), 제2 스위치군(38), 및 SC타이밍 제너레이터(40)와 함께 구동 회로(32)를 구성하는 게이트 시프트 레지스터(42)가 접속되어 있다. 게이트 시프트 레지스터(42)는, 비디오 동기 신호CKV, STA 신호, 및 STB 신호에 기초해 동작하고, 게이트 시프트 레지스터(42)는, SC타이밍 제너레이터(40)에 의해 선택되는 게이트선(16)에 관한 명령 신호를 SC타이밍 제너레이터(40)에 출력한다.
- [0077] 또, 게이트선(16)에는, 전압 발생 회로(34), 제1 스위치군(36), 제2 스위치군(38), SC타이밍 제너레이터(40), 및 게이트 시프트 레지스터(42)와 함께 구동 회로(32)를 구성하는 게이트 드라이버(44)가 접속되어 있고, 게이트 드라이버(44)는, 수직 동기 개시 신호 STV 및 비디오 동기 신호 CKV에 기초해서, 구동되는 화소(12)에 대응한 게이트선(16)에 게이트 구동 신호를 공급(출력)한다.

- [0078] 이상 설명한 것 같은 전압 발생 회로(34), 제1 스위치군(36), 제2 스위치군(38), SC타이밍 제너레이터(40), 게이트 시프트 레지스터(42), 및 게이트 드라이버(44)는, 이들의 전압 발생 회로(34), 제1 스위치군(36), 제2 스위치군(38), SC타이밍 제너레이터(40), 게이트 시프트 레지스터(42), 및 게이트 드라이버(44)와 함께 구동 회로(32)를 구성하는 타이밍 컨트롤러(46)에 접속되어 있고, 이 타이밍 컨트롤러(46)는, 수직 동기 개시 신호 STV, 비디오 동기 신호 CKV, STA 신호, 및 STB 신호를 출력하고, 전압 발생 회로(34), 제1 스위치군(36), 제2 스위치군(38), SC타이밍 제너레이터(40), 게이트 시프트 레지스터(42), 및 게이트 드라이버(44)의 각 동작을 제어한다.
- [0079] 더욱 상세하게 말하면, 도 6 및 도 7에 도시된 바와 같이, 타이밍 컨트롤러(46)는, 비디오 동기 신호 CKV, STA 신호, 및 STB 신호를 게이트 시프트 레지스터(42)로 출력한다. 게이트 시프트 레지스터(42)에 입력되는 STA 신호 및 STB 신호의 주기는, 수직 동기 개시 신호 STV의 주기의 N배(단, N은 자연수)이다. 그리고, 게이트 시프트 레지스터(42)로부터 출력되는 SRA 신호(SRA1 신호, SRA2 신호) 및 SRB 신호(SRB1 신호, SRB2 신호)의 주기는, 수직 동기 개시 신호 STV의 주기의 N배(단, N은 자연수)이다. 게이트 시프트 레지스터(42)에서는, STA 신호선상과 STB 신호선상 각각에 있어, 각 보조 용량선(제1 보조 용량선(20) 또는 제2 보조 용량선(22))에 대응해 1개의 인버터(64A, 64B, 72A, 72B)가 설치되어 있다. 인버터(64A, 64B)는, 제1 보조 용량선(20)에 대응하고 있고, 인버터(72A, 72B)는, 제2 보조 용량선(22)에 대응하고 있다.
- [0080] 또, 이 인버터(64A, 64B)의 후단에는, 인버터(66A)와 인버터(68A)로 이루어진 플립플롭 회로(70A)와, 인버터(66B)와 인버터(68B)로 이루어진 플립플롭 회로(70B)가 설치되고 있고, 인버터(64A, 64B)로부터의 출력 신호가 각각 플립플롭 회로(70A, 70B)에 입력된다.
- [0081] 플립플롭 회로(70A, 70B)는, 보조 용량선(20)에 대응되게 설치되어 있다. 플립플롭 회로(70A, 70B)는, 서로 다른 주기의 복수 입력 신호를 소정 시간 보관해 출력한다. 각 보조 용량선(20)마다 설치된 플립플롭 회로(70A, 70B)는, 적어도 2개 이상(본 실시 형태에서는, 2개)으로 이루어지고, 본 실시 형태에서는, 플립플롭 회로(70A)와 플립플롭 회로(70B) 2개로 이루어진다. 플립플롭 회로(70A)는, 출력 신호로서 SRA1 신호를 출력함과 동시에, 플립플롭 회로(70B)는, 출력 신호로서 SRB1 신호를 출력한다.
- [0082] 플립플롭 회로(70A, 70B)의 인버터(66A, 66B)의 출력 단자는, 각각 다음 단의 보조 용량선(여기에서는, 제2 보조 용량선(22))에 대응한 1개의 인버터(72A, 72B)의 입력 단자에 접속되어 있고, 인버터(66A, 66B)로부터 출력된 신호는, 각각 인버터(72A, 72B)에 입력된다.
- [0083] 또, 플립플롭 회로(70A)의 인버터(66A)로부터의 출력 신호인 SRA1 신호, 및 플립플롭 회로(70B)의 인버터(66B)로부터의 출력 신호인 SRB1 신호는, SC타이밍 제너레이터(40)에 입력된다. SC타이밍 제너레이터(40)는, 상기 수직 동기 개시 신호 STV에 동기하여 동작한다.
- [0084] SC타이밍 제너레이터(40)는, 제1 스위치군(36)의 각 스위치(36A, 36B, 36C, 36D)에 대응한 신호선을 가지고 있고, 이러한 각 스위치(36A, 36B, 36C, 36D)에 대응한 신호 선상에는, NAND 게이트(74A, 74B, 74C, 74D), 인버터(76A, 76B, 76C, 76D), 인버터(78A, 78B, 78C, 78D)가 설치되어 있다. SC타이밍 제너레이터(40)는, 플립플롭 회로(70A, 70B)로부터 각각 출력된 SRA1 신호, SRB1 신호에 응해서, 제1 스위치군(36)의 스위치(36A, 36B, 36C, 36D)의 변환을 실행한다.
- [0085] 플립플롭 회로(70A)의 인버터(66A)의 출력 단자는, 스위치(36A)에 대응한 NAND 게이트(74A)의 한 쪽의 입력 단자에 접속됨과 동시에 스위치(36C)에 대응한 NAND 게이트(74C)의 한 쪽의 단자에 접속되어 있고, 플립플롭 회로(70A)의 인버터(68A)의 출력 단자는, 스위치(36B)에 대응한 NAND 게이트(74B)의 한 쪽의 입력 단자에 접속됨과 동시에 스위치(36D)에 대응한 NAND 게이트(74D)의 한 쪽의 입력 단자에 접속되어 있다.
- [0086] 또, 플립플롭 회로(70B)의 인버터(66B)의 출력 단자는, 스위치(36A)에 대응한 NAND 게이트(74A) 다른 쪽의 입력 단자에 접속됨과 동시에 스위치(36B)에 대응한 NAND 게이트(74B) 다른 쪽의 입력 단자에 접속되어 있고, 플립플롭 회로(70B)의 인버터(68B)의 출력 단자는, 스위치(36C)에 대응한 NAND 게이트(74C) 다른 쪽의 입력 단자에 접속됨과 동시에 스위치(36D)에 대응한 NAND 게이트(74D) 다른 쪽의 입력 단자에 접속되어 있다.
- [0087] NAND 게이트(74A)의 출력 단자에는, 인버터(76A)의 입력 단자가 접속되어 있고, 이 인버터(76A)의 출력 단자에는, 또, 인버터(78A)의 입력 단자가 접속되어 있다. 이 인버터(78A)의 출력 단자에는, 스위치(36A)의 한 쪽 단자가 접속되어 있다. 또, 인버터(76A)와 인버터(78A)의 사이에는, 신호선이 분기 하고 있고, 이 분기 된 신호선이 스위치(36A)의 다른 쪽 단자에 접속되어 있다.

- [0088] 또, NAND 게이트(74B)의 출력 단자에는, 인버터(76B)의 입력 단자가 접속되어 있고, 이 인버터(76B)의 출력 단자에는, 또, 인버터(78B)의 입력 단자가 접속되어 있다. 이 인버터(78B)의 출력 단자에는, 스위치(36B)의 한 쪽 단자가 접속되어 있다. 또, 인버터(76B)와 인버터(78B) 사이에서는, 신호선이 분기 하고 있고, 이 분기 된 신호선이 스위치(36B)의 다른 쪽 단자에 접속되어 있다.
- [0089] 또, NAND 게이트(74C)의 출력 단자에는, 인버터(76C)의 입력 단자가 접속되어 있고, 이 인버터(76C)의 출력 단자에는, 또 인버터(78C)의 입력 단자가 접속되어 있다. 이 인버터(78C)의 출력 단자에는, 스위치(36C)의 한쪽 단자가 접속되어 있다. 또, 인버터 (76C)와 인버터(78C) 사이에는, 신호선이 분기 하고 있고, 이 분기 된 신호선이 스위치(36C)의 다른 쪽 단자에 접속되고 있다.
- [0090] 또, NAND 게이트(74D)의 출력 단자에는, 인버터(76D)의 입력 단자가 접속되어 있고, 이 인버터(76D)의 출력 단자에는, 또 인버터(78D)의 입력 단자가 접속되어 있다. 이 인버터(78D)의 출력 단자에는, 스위치(36D)의 한쪽 단자가 접속되어 있다. 또, 인버터 (76D)와 인버터(78D) 사이에는, 신호선이 분기 하고 있고, 이 분기 된 신호선이 스위치(36D)의 한 쪽 단자에 접속되어 있다.
- [0091] 이상 설명한 것과 같은 제1 보조 용량선(20)에 대응하는 각 스위치(36A, 36B, 36C, 36D) 각각의 출력 단자는, 제1 보조 용량선(20)에 병렬에 접속되어 있다.
- [0092] 한편, 제2 보조 용량선(22)에 대응되게 인버터(72A, 72B)의 후단에는, 인버터(80A)와 인버터(82A)로 이루어진 플립플롭 회로(84A)와, 인버터(80B)와 인버터(82B)로 이루어진 플립플롭 회로(84B)가 설치되어 있고, 인버터(72A, 72B)로부터의 출력 신호가 각각 플립플롭 회로(84A, 84B)에 입력된다.
- [0093] 플립플롭 회로(84A, 84B)는, 제2 보조 용량선(22)에 대응되게 설치되어 있다. 플립플롭 회로(84A, 84B)는, 서로 다른 주기의 복수 입력 신호를 소정 시간 보관해 출력한다. 각 보조 용량선(22)마다 설치된 플립플롭 회로(84A, 84B)는, 적어도 2개 이상(본 실시 형태에서는, 2개)으로 이루어지고, 본 실시 형태에서는, 플립플롭 회로(84A)와 플립플롭 회로(84B) 2개로 이루어진다. 플립플롭 회로(84A)는, 출력 신호로서 SRA2 신호를 출력함과 동시에, 플립플롭 회로(84B)는, 출력 신호로서 SRB2 신호를 출력한다.
- [0094] 플립플롭 회로(84A, 84B)의 인버터(80A, 80B)의 출력 단자는, 각각 다음 단의 보조 용량선(여기에서는, 제1 보조 용량선(20))에 대응한 1개의 인버터(64A, 64B)의 입력 단자에 접속되어 있고, 인버터(80A, 80B)로부터 출력된 신호는, 각각 인버터(64A, 64B)에 입력된다.
- [0095] 또, 플립플롭 회로(84A)의 인버터(80A)로부터의 출력 신호인 SRA2 신호, 및 플립플롭 회로(84B)의 인버터(80B)로부터의 출력 신호인 SRB2 신호는, SC타이밍 제너레이터(40)에도 입력된다. SC타이밍 제너레이터(40)는, 상기의 수직 동기 개시 신호 STV에 동기하여 동작한다.
- [0096] SC타이밍 제너레이터(40)는, 제2 스위치군(38)의 각 스위치(38A, 38B, 38C, 38D)에 대응한 신호선을 가지고 있고, 이들 각 스위치(38A, 38B, 38C, 38D)에 대응한 신호 선상에는, NAND 게이트(86A, 86B, 86C, 86D), 인버터(88A, 88B, 88C, 88D), 인버터(90A, 90B, 90C, 90D)가 설치되어 있다. SC타이밍 제너레이터(40)는, 플립플롭 회로(84A, 84B)로부터 각각 출력된 SRA2 신호, SRB2 신호에 응답하여, 제2 스위치군 (38)의 스위치(38A, 38B, 38C, 38D)의 변환을 실행한다.
- [0097] 플립플롭 회로(84A)의 인버터(80A)의 출력 단자는, 스위치(38A)에 대응한 NAND 게이트(86A)의 한 쪽 입력 단자에 접속됨과 동시에 스위치(38C)에 대응한 NAND 게이트(86C)의 한 쪽 단자에 접속되어 있고, 플립플롭 회로(84A)의 인버터(82A)의 출력 단자는, 스위치(38B)에 대응한 NAND 게이트(86B)의 한쪽 입력 단자에 접속됨과 동시에 스위치(38D)에 대응한 NAND 게이트(86D)의 한쪽 입력 단자에 접속되어 있다.
- [0098] 또, 플립플롭 회로(84B)의 인버터(80B)의 출력 단자는, 스위치(36C)에 대응한 NAND 게이트(74C)의 한쪽 입력 단자에 접속됨과 동시에 스위치(36D)에 대응한 NAND 게이트(74D)의 한쪽 입력 단자에 접속되어 있고, 플립플롭 회로(84B)의 인버터 (82B)의 출력 단자는, 스위치(36A)에 대응한 NAND 게이트(74A)의 한쪽 입력 단자에 접속됨과 동시에 스위치(36B)에 대응한 NAND 게이트(74B)의 다른 한쪽 입력 단자에 접속되어 있다.
- [0099] NAND 게이트(86A)의 출력 단자에는, 인버터(88A)의 입력 단자가 접속되어 있고, 이 인버터(88A)의 출력 단자에는, 또 인버터(90A)의 입력 단자가 접속되어 있다. 이 인버터(90A)의 출력 단자에는, 스위치(38A)의 한쪽 단자가 접속되어 있다. 또, 인버터 (88A)와 인버터(90A) 사이에는, 신호선이 분기 하고 있고, 이 분기 된 신호선이 스위치(36A)의 한쪽 단자에 접속되어 있다.
- [0100] 또, NAND 게이트(86B)의 출력 단자에는, 인버터(88B)의 입력 단자가 접속되어 있고, 이 인버터(88B)의 출력 단

자에는, 또 인버터(90B)의 입력 단자가 접속되어 있다. 이 인버터(90B)의 출력 단자에는, 스위치(38B)의 한쪽 단자가 접속되어 있다. 또, 인버터 (88B)와 인버터(90B) 사이에는, 신호선이 분기 하고 있고, 이 분기 된 신호선이 스위치(36B)의 다른 쪽 단자에 접속되고 있다.

[0101] 또, NAND 게이트(86C)의 출력 단자에는, 인버터(88C)의 입력 단자가 접속되어 있고, 인버터(88C)의 출력 단자에는, 또 인버터(90C)의 입력 단자가 접속되어 있다. 이 인버터(90C)의 출력 단자에는, 스위치(38C)의 한 쪽 단자가 접속되어 있다. 또, 인버터(88C)와 인버터(90C) 사이에는, 신호선이 분기 하고 있고, 이 분기 된 신호선이 스위치(36C)의 한쪽 단자에 접속되고 있다.

[0102] 또, NAND 게이트(86D)의 출력 단자에는, 인버터(88D)의 입력 단자가 접속되어 있고, 이 인버터(88D)의 출력 단자에는, 또 인버터(90D)의 입력 단자가 접속되어 있다. 이 인버터(90D)의 출력 단자에는, 스위치(38D)의 한쪽 단자가 접속되어 있다. 또, 인버터 (88D)와 인버터(90D)의 사이에는 신호선이 분기 하고 있고, 이 분기 한 신호선이 스위치(36D)의 한쪽 단자에 접속되어 있다.

[0103] 이상 설명한 것 같은 제2 보조 용량선(22)에 대응하는 각 스위치(38A, 38B, 38C, 38D) 각각의 출력 단자는, 제2 보조 용량선(22)에 병렬에 접속되어 있다.

[0104] 이러한 구성의 액정표시장치(10)에서는, 각 보조 용량선(20, 22)에 대응한 복수의 플립플롭 회로(70A, 84A)는, 인버터(64A, 72A)를 개재한 상태로 서로 직렬로 접속 되어, 이들 복수의 플립플롭 회로(70A, 84A)간에 한방향으로 데이터가 전송 된다. 또, 각 보조 용량선(20, 22)에 대응한 복수의 플립플롭 회로(70B, 84B)는, 인버터(64B, 72B)를 개재한 상태로 서로 직렬로 접속 되고, 이러한 복수의 플립플롭 회로(70B, 84B)간에 한방향으로 데이터가 전송 된다.

[0105] 도 7에는, 구동 회로(32)의 동작 타이밍 차트가 나타나 있다.

[0106] 수직 동기 개시 신호 STV가 타이밍 콘트롤러(46)로부터 게이트 드라이버(44)에 입력되면, 비디오 동기 신호 CKV에 동기하여, 모든 게이트선(16)에 게이트 구동 신호가 공급되어 각 게이트선(16)에 접속된 각 박막 트랜지스터(14)의 게이트(18)가 온이 됨과 동시에, 게이트 시프트 레지스터(42)에 상기의 비디오 동기 신호 CKV, STA 신호, 및 STB 신호가 입력된다.

[0107] 게이트 시프트 레지스터(42)에 비디오 동기 신호 CKV, STA 신호, 및 STB 신호가 입력되면, 이러한 비디오 동기 신호 CKV, STA 신호, 및 STB 신호에 응답하여, 플립플롭 회로(70A, 70B)로부터는, 각각 SRA1 신호, SRB1 신호가 SC타이밍 제너레이터(40)에 출력된다.

[0108] 이 때, 플립플롭 회로(70A, 70B)로부터 출력된 SRA1 신호, SRB1 신호에 응답하여, 플립플롭 회로(84A, 84B)로부터는, 각각 SRA2 신호, SRB2 신호가 SC타이밍 제너레이터(40)에 출력된다.

[0109] SRA1 신호 및 SRB1 신호가 SC타이밍 제너레이터(40)에 입력되면, 이들 SRA1 신호 및 SRB1 신호에 쌍방향으로 응답하여, 스위치(36A, 36B, 36C, 36D)중 어느 1개의 스위치가 선택되어, 제1 보조 용량선(20)에 구동 신호가 공급 된다. 마찬가지로, SRA2 신호 및 SRB2 신호가 SC타이밍 제너레이터(40)에 입력되면, SC타이밍 제너레이터 (40)에서는, SRA2 신호 및 SRB2 신호에 쌍방향으로 응답하여, 스위치(38A, 38B, 38C, 38D)중 어느 1개의 스위치가 선택되어, 제2 보조 용량선(22)에 구동 신호가 공급된다. 이와 같이, SC타이밍 제너레이터(40)는, 게이트 시프트 레지스터(42)로부터 출력된 신호에 근거해, 제1 스위치군(36)및 제2 스위치군(38)의 각 스위치(36A, 36B, 36C, 36D, 38A, 38B, 38C, 38D)를 바꾼다. SC타이밍 제너레이터(40)는, 게이트 시프트 레지스터(42)로부터 출력되는 신호가 바뀔 때까지는, 제1 스위치군(36)및 제2 스위치군(38) 스위치(36A, 36B, 36C, 36D, 38A, 38B, 38C, 38D)에 주는 스위치 선택 신호(스위치 선택 정보)를 계속 출력한다. 게이트 시프트 레지스터(42)는, 서로 다른 주기의 복수 입력 신호를 소정 시간 보관해 출력한다.

[0110] 위와 같이, 구동 회로(32)는 게이트선(16)에 소정 주기의 게이트 구동 신호를 공급 함과 동시에, 제1 보조 용량선(20)에 게이트 구동 신호와 동기된 제1 신호 S1를 공급하고, 제2 보조 용량선(22)에 제1 신호 S1와 거의 역상의 제2 신호 S2(더욱 자세하게 말하면, 예를 들면, 제2 신호 S2는, 제1 신호 S1보다 타이밍이 1 수평 기간 늦지만, 제2 신호 S2와 제1 신호 S1의 공급 타이밍의 차이는 상기한 차이에 한정되지 않는다)를 공급한다. 구동 회로(32)는, 보조 용량선(제1 보조 용량선(20), 제2 보조 용량선(22))에, 제1, 제2, 제3및 제4 전압(단, 제1 전압 V1>제2 전압 V2>제3 전압 V3>제4 전압 V4)을 공급한다.

[0111] 도 3에 도시된 바와 같이, 구동 회로(32)는, 제3 전압(V3), 제1 전압(V1), 제2 전압(V2), 제4 전압(V4)의 순서로 반복해 보조 용량선(제1 보조 용량선(20), 제2 보조 용량선 (22))에 공급한다.

- [0112] 여기서, 구동 회로(32)는, 박막 트랜지스터(14)의 게이트(18)를 온으로 한 직후에 (말하자면, 화소(12)의 전압(화소 전압)의 쉬프트 타이밍에서) 제1 보조 용량선(20), 제2 보조 용량선(22)에 공급하는 전압을 오버드라이브 시키도록 설정되어 있다.
- [0113] 제1군 화소(12A)의 전위가(-) 전위로부터(+) 전위로 바뀌짐과 동시에 제2군 화소(12B)의 전위가(+) 전위로부터(-) 전위로 바뀌진 경우에는, 구동 회로(32)는, 제3 전압 V3를 제1 보조 용량선(20)에 공급 함과 동시에 제2 전압 V2를 제2 보조 용량선(22)에 공급하고 있을 때에, 게이트선(16)에 구동 전압(게이트 구동 신호)을 인가해 대응하는 화소(12)의 박막 트랜지스터(14)의 게이트(18)를 턴온하여 박막 트랜지스터(14)를 도통시킨 직후에, 오버드라이브 기간으로 이행한다.
- [0114] 여기서, 구동 회로(32)는, 제3 전압 V3로부터 제2 전압 V2보다도 전압이 높은 제1 전압 V1를 제1 보조 용량선(20)에 인가한다. 따라서, 제3 전압 V3로부터 제2 전압 V2를 제1 보조 용량선(20)에 인가하는 구성(전압(V2-V3)을 제1 보조 용량선(20)에 인가하는 구성)과 비교해, 보다 큰 전압(V1-V3)을 제1 보조 용량선(20)에 인가할 수 있다.
- [0115] 또 여기서, 구동 회로(32)는, 제2 전압 V2로부터 제3 전압 V3보다도 전압이 낮은 제4 전압 V4를 제2 보조 용량선(22)에 인가한다. 따라서, 제2 전압 V2로부터 제3 전압 V3를 제2 보조 용량선(22)에 인가하는 구성(전압(V3-V2)을 제2 보조 용량선(22)에 인가하는 구성)과 비교해, 보다 큰 전압(V4-V2)을 제2 보조 용량선(22)에 인가할 수 있다.
- [0116] 또, 제1군 화소(12A)의 전위가(+) 전위로부터(-) 전위로 바뀌는 것과 동시에 제2군 화소(12B)의 전위가(-) 전위로부터(+) 전위로 바뀌는 경우에는, 구동 회로(32)는, 제2 전압 V2를 제1 보조 용량선(20)에 공급 함과 동시에 제3 전압 V3를 제2 보조 용량선(22)에 공급하고 있을 때에, 게이트선(16)에 구동 전압(게이트 구동 신호)을 인가해 대응하는 화소(12)의 박막 트랜지스터(14)의 게이트(18)를 턴온하여 박막 트랜지스터(14)를 도통시킨 직후에, 오버드라이브 기간으로 이행한다.
- [0117] 여기서, 구동 회로(32)는, 제2 전압 V2로부터 제3 전압 V3보다 전압이 낮은 제4 전압 V4를 제1 보조 용량선(20)에 인가한다. 따라서, 제2 전압 V2로부터 제3 전압 V3를 제1 보조 용량선(20)에 인가하는 구성(전압(V3-V2)을 제1 보조 용량선(20)에 인가하는 구성)과 비교해, 보다 큰 전압(V4-V2)을 제1 보조 용량선(20)에 인가할 수 있다.
- [0118] 또 여기서, 구동 회로(32)는, 제3 전압 V3로부터 제2 전압 V2보다 전압이 높은 제1 전압 V1를 제2 보조 용량선(22)에 인가한다. 따라서, 제3 전압 V3로부터 제2 전압 V2를 제2 보조 용량선(22)에 인가하는 구성(전압(V2-V3)을 제2 보조 용량선(22)에 인가하는 구성)과 비교해, 보다 큰 전압(V1-V3)을 제2 보조 용량선(22)에 인가할 수 있다.
- [0119] 이상 설명한 것처럼, 액정 용량(15)에 전압을 인가할 때에, 종래보다 큰 전압을 보조 용량(24)에 공급하는 구성이므로, 액정의 기립 상태(배향 상태)를 종래보다 빨리 원하는 기립 상태로 할 수 있을 뿐만 아니라, 화소(12)의 전압(화소 전압)을 보다 길게 적정 범위내로 유지할 수 있다.
- [0120] 덧붙여, 본 실시 형태에서는, 구동 회로(32)가, 제3 전압 V3, 제1 전압 V1, 제2 전압 V2, 제4 전압 V4의 순서로 전압을 반복해 각 보조 용량선(20, 22)에 공급하는 구성으로 했지만, 본 발명은 이를 대신해, 구동 회로(32)가, 제3 전압 V3, 제4 전압 V4, 제2 전압 V2, 제1 전압 V1의 순서로 전압을 반복해 각 보조 용량선(20, 22)에 공급하는 구성으로 해도 좋다. 이와 같이, 구동 회로(32)가, 제3 전압 V3, 제4 전압 V4, 제2 전압 V2, 제1 전압 V1의 순서로 전압을 반복해 각 보조 용량선(20, 22)에 공급하는 구성의 경우, 구동 회로(32)는, 제4 전압 V4 또는 제1 전압 V1를 공급하고 있을 때에, 게이트선(16)에 게이트 구동 신호(구동 전압)를 인가해 박막 트랜지스터(14)를 턴온한다.

발명의 효과

- [0121] 본 발명에서는, 복수의 화소가 소정 방향에 따라 배치 되어 있고, 이러한 복수의 화소는, 각각이 박막 트랜지스터를 가지고 있다. 이러한 복수 화소의 각 박막 트랜지스터의 게이트에는, 게이트선에 의해 구동 신호가 공급된다. 또, 본 발명에서는, 보조 용량선이 게이트선과 나란히 배치되어 있다. 이 보조 용량선에는, 구동 회로에 의해, 적어도 4값의 전압 중에서 1개의 전압 값이 선택되어, 이 선택된 전압값의 전압이 공급된다. 이 때, 구동 회로에 의해 선택된 전압값의 전압이 보조 용량선에 공급되는 것으로, 액정 용량과 보조 용량이 용량 결합된 상태로 구동된다. 이 때문에, 액정의 원하는 기립 상태에 맞춘 전압값의 전압을 보조 용량선에 공급시키는

것으로, 액정의 기립 상태를 원하는 상태로 보다 한층 빨리 이행 시킬 수가 있다.

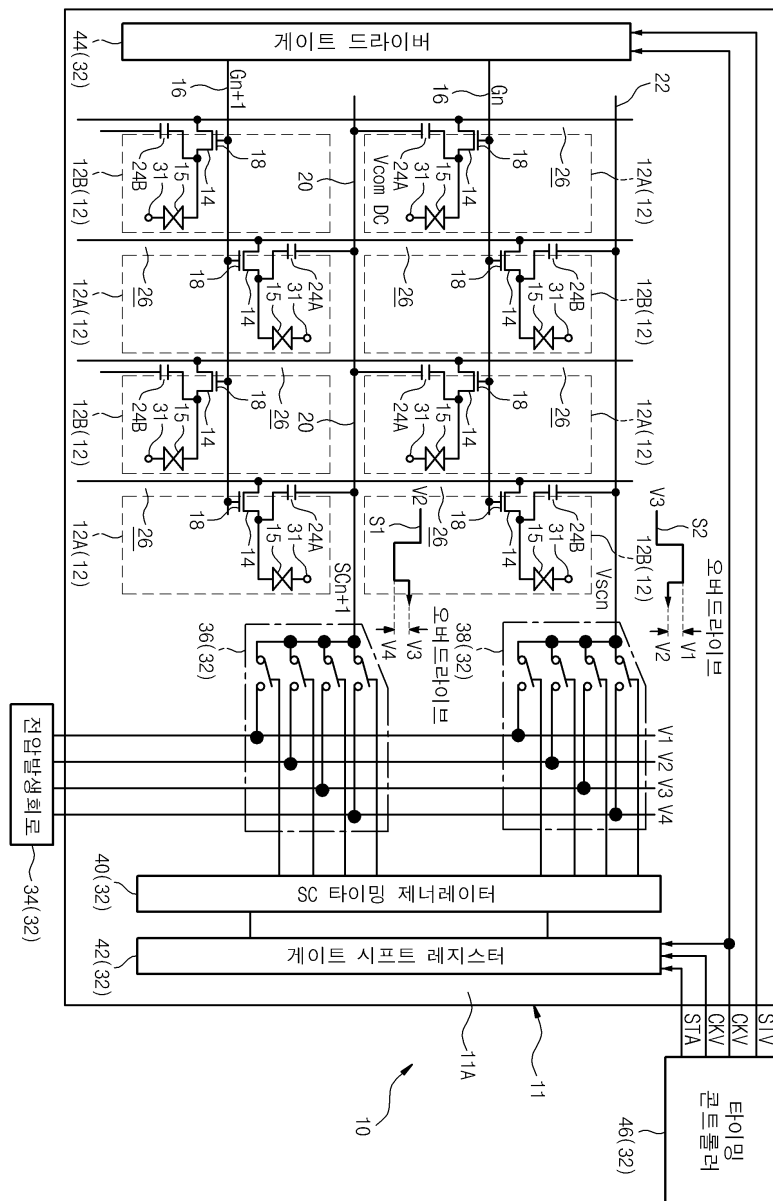
도면의 간단한 설명

- [0001] 도 1은 본 발명의 실시 형태에 관한 액정표시장치의 주요부를 나타내는 블록도이다.
- [0002] 도 2는 도 1에 나타난 액정표시장치의 표시 패널의 확대도이다.
- [0003] 도 3은 LCD의 구동 방법을 나타낸 신호의 파형도이다.
- [0004] 도 4는 화소에 대해 보조 용량이 형성되는 위치를 나타내는 개략도이다.
- [0005] 도 5는 도 4에서 5-5 단면도이다.
- [0006] 도 6은 본 발명의 실시 형태에 관한 구동 회로의 상세한 구성을 나타내는 회로도이다.
- [0007] 도 7은 도 6에 나타나는 구동 회로의 동작을 나타내는 타이밍 차트이다.
- [0008] *도면의 주요 부분에 대한 부호 설명*
- [0009] 10 : 액정표시장치
- [0010] 12 : 화소
- [0011] 11A : 기관
- [0012] 12A : 제1군 화소
- [0013] 12B : 제2군 화소
- [0014] 14 : 박막 트랜지스터
- [0015] 15 : 액정 용량
- [0016] 16 : 게이트선
- [0017] 18 : 게이트
- [0018] 20 : 제1 보조 용량선
- [0019] 22 : 제2 보조 용량선
- [0020] 24 : 보조 용량
- [0021] 24A : 제1 보조 용량
- [0022] 24B : 제2 보조 용량
- [0023] 26 : 경계부
- [0024] 28 : 칼라 필터
- [0025] 30 : 차광부
- [0026] 32 : 구동 회로
- [0027] 34 : 전압 발생 회로
- [0028] 36 : 제1 스위치군
- [0029] 38 : 제2 스위치군
- [0030] 40 : SC타이밍 제너레이터타이밍 제너레이터(스위치 변환 타이밍 제너레이터)
- [0031] 42 : 게이트 시프트 레지스터
- [0032] 44 : 게이트 드라이버
- [0033] 46 : 타이밍 컨트롤러(구동 회로)

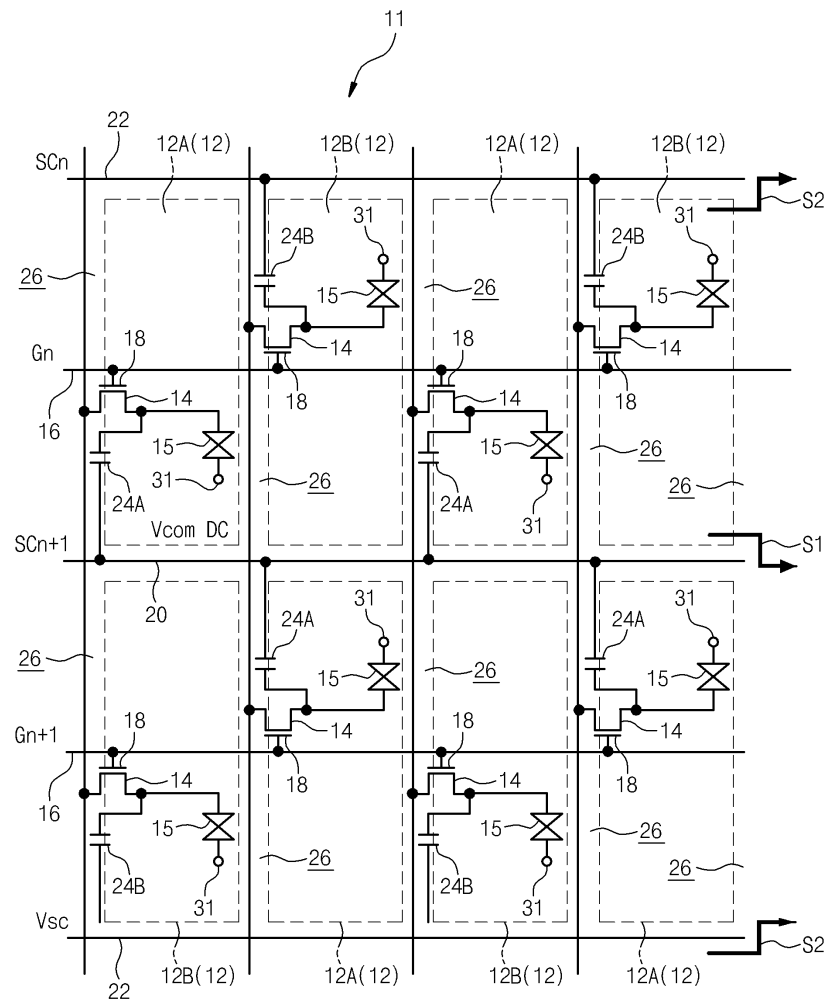
[0034]	70A	: 플립플롭 회로
[0035]	70B	: 플립플롭 회로
[0036]	V1	: 제1 전압
[0037]	V2	: 제2 전압
[0038]	V3	: 제3 전압
[0039]	V4	: 제4 전압

도면

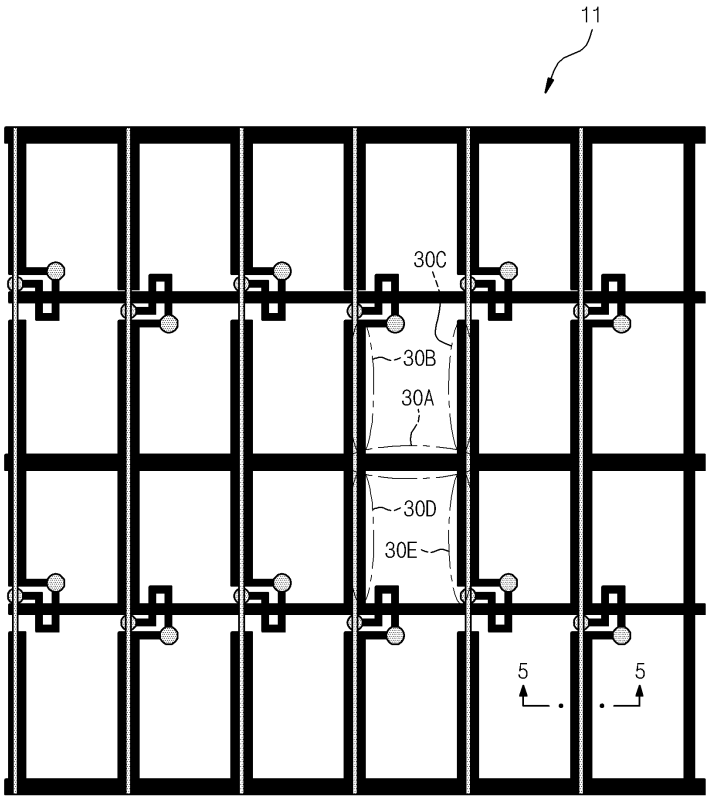
도면1



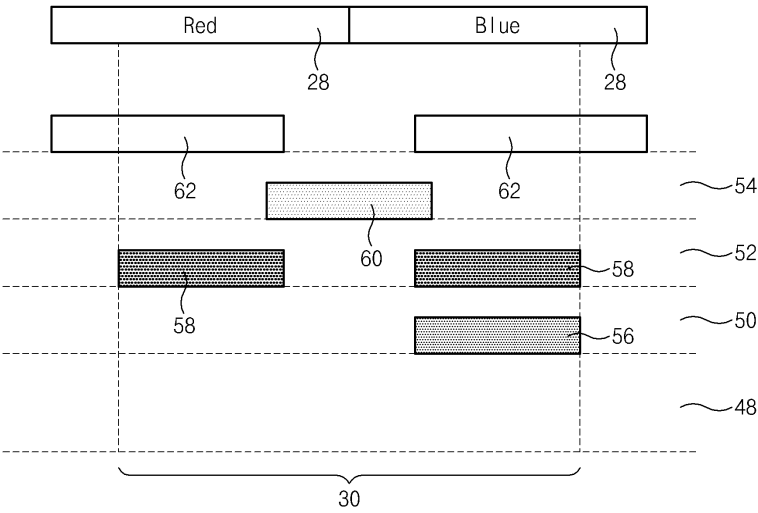
도면2



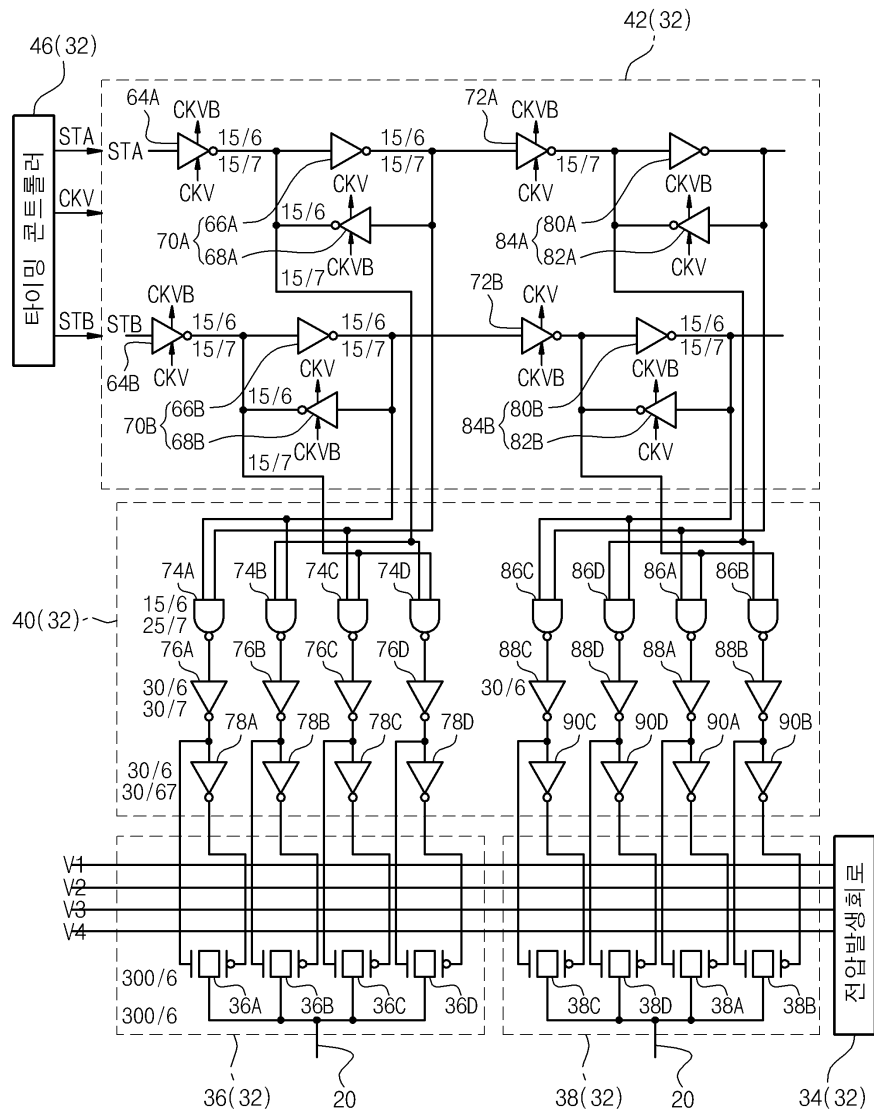
도면4



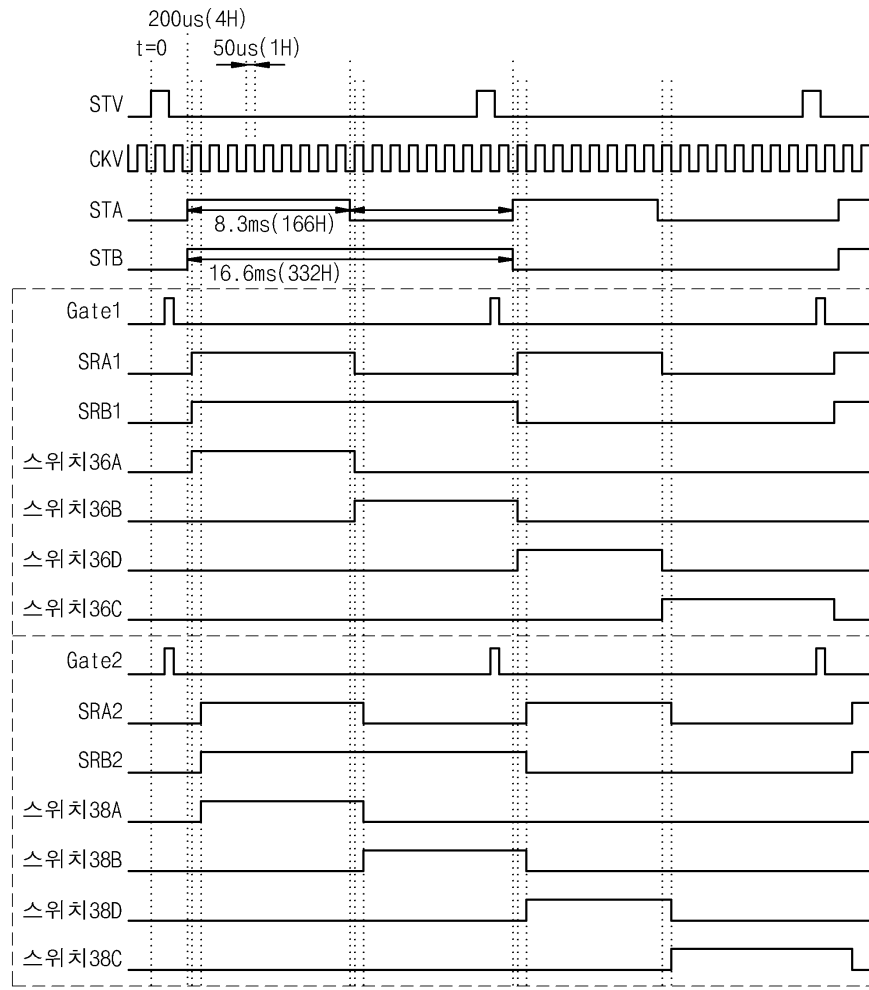
도면5



도면6



도면7



专利名称(译)	液晶显示器		
公开(公告)号	KR101352343B1	公开(公告)日	2014-01-15
申请号	KR1020060125722	申请日	2006-12-11
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SENDA MICHIRU 센다미치루 YOKOYAMA RYOICHI 요코야마로이치		
发明人	센다,미치루 요코야마,로이치		
IPC分类号	G02F1/133		
CPC分类号	G02F1/136213 G09G3/3655 G09G2300/0876 G09G2320/0252 G09G2320/0261		
代理人(译)	KWON , HYUK SOO OH , SE 六月 宋 , 云何		
其他公开文献	KR1020080053775A		
外部链接	Espacenet		

摘要(译)

液晶显示器包括多个像素，每个像素包括薄膜晶体管（TFT），向每个像素的TFT的栅极提供驱动信号的栅极线，包括在每个像素中并连接到的像素的液晶电容器相应像素中的TFT的一个端子，与栅极线平行排列的子电容器线，包括在每个像素中并连接在相应像素中的TFT的一个端子和子电容器线之间的子电容器，以及具有至少四个电压的驱动电路，选择其中一个电压并将所选择的电压提供给子电容器线，以在液晶电容器电容耦合到子电容器的状态下驱动液晶显示器。

