



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월26일
(11) 등록번호 10-1300819
(24) 등록일자 2013년08월20일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2006-0122274

(22) 출원일자 2006년12월05일

심사청구일자 2011년11월09일

(65) 공개번호 10-2008-0051356

(43) 공개일자 2008년06월11일

(56) 선행기술조사문헌

US20040125277 A1

US20050122442 A1

전체 청구항 수 : 총 15 항

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 95 (농서동)

(72) 발명자

김동규

경기도 용인시 수지구 진산로66번길 10, 삼성5차
아파트 523동 1305호 (풍덕천동)

(74) 대리인

특허법인가산

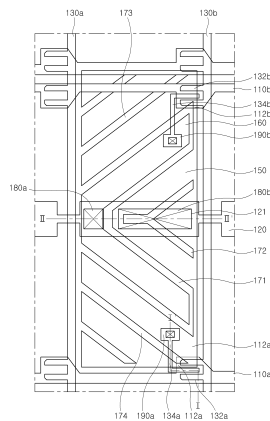
심사관 : 이준석

(54) 발명의 명칭 액정 표시 장치 및 그 제조 방법

(57) 요약

본 발명은 액정 표시 장치 및 그 제조 방법에 관한 것으로, 컬러 필터가 하부 기판에 형성되는 컬러 필터 온 어레이(Color filter On Array) 구조를 이용하는 액정 표시 장치에서 스토리지 전극 라인 상부의 화소 전극 사이 또는 화소 전극과 공통 전극 사이에 컬러 필터를 제거하지 않고 잔류하도록 함으로써 화소 전극 사이 또는 화소 전극과 공통 전극 사이에서 컬러 필터를 제거하여 발생하는 화소 전극 잔류물에 의한 단락을 방지할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

기관상의 일 방향으로 연장되어 형성된 복수의 게이트 라인;
 상기 게이트 라인 사이에 일 방향으로 연장되어 형성된 스토리지 전극 라인;
 상기 게이트 라인과 교차하여 연장 형성된 복수의 데이터 라인;
 상기 게이트 라인 및 상기 데이터 라인의 교차 영역에 정의된 단위 픽셀에 형성된 컬러 필터; 및
 상기 단위 픽셀 상의 상기 컬러 필터 상부에 형성되며, 서로 소정 간격 이격되어 형성된 제 1 및 제 2 화소 전극을 포함하며,
 상기 컬러 필터는 상기 스토리지 전극 라인 상부에서 상기 제 1 및 제 2 화소 전극 사이의 경계부에는 잔류하고, 상기 제 1 및 제 2 화소 전극이 형성되는 부분은 제거되는 액정 표시 장치.

청구항 2

제 1 항에 있어서, 상기 단위 픽셀에 다중 도메인을 형성하고, 상기 제 1 및 제 2 화소 전극을 구분하기 위한 적어도 하나 이상의 절개 패턴을 더 포함하는 액정 표시 장치.

청구항 3

제 1 항에 있어서, 상기 게이트 라인으로부터 돌출되어 형성된 게이트 전극;
 상기 게이트 전극 상부에 형성된 활성층 및 오믹 콘택층;
 상기 데이터 라인으로부터 연장되어 형성되며, 상기 게이트 전극과 일부 중첩되도록 형성된 소오스 전극; 및
 상기 게이트 전극과 일부 중첩되어 형성되며, 상기 화소 전극과 연결되는 드레인 전극을 더 포함하는 액정 표시 장치.

청구항 4

기관상의 일 방향으로 연장되는 복수의 게이트 라인을 형성하는 동시에 상기 게이트 라인 사이에 일 방향으로 연장되는 스토리지 전극 라인을 형성하는 단계;
 상기 게이트 라인이 형성된 상기 기관 상부에 게이트 절연막을 형성하는 단계;
 상기 게이트 라인과 교차되도록 연장되는 복수의 데이터 라인을 형성하는 단계;
 전체 상부면에 보호막 및 컬러 필터를 형성하는 단계;
 상기 컬러 필터를 현상하여 상기 스토리지 전극 라인 상부의 일부를 노출시키는 단계;
 상기 컬러 필터 상부에 서로 소정 간격 이격되도록 제 1 및 제 2 화소 전극을 형성하는 단계를 포함하는 액정 표시 장치의 제조 방법.

청구항 5

제 4 항에 있어서, 상기 컬러 필터는 상기 스토리지 전극 라인 상부에서 상기 제 1 및 제 2 화소 전극 사이의 경계부에는 잔류하고, 상기 제 1 및 제 2 화소 전극이 형성되는 부분은 제거되는 액정 표시 장치의 제조 방법.

청구항 6

기관상의 일 방향으로 연장되어 형성된 복수의 게이트 라인;
 상기 게이트 라인 사이에 연장되어 형성된 스토리지 전극 라인;
 상기 게이트 라인과 교차하여 연장 형성된 복수의 데이터 라인;
 상기 게이트 라인 및 상기 데이터 라인의 교차 영역에 정의된 단위 픽셀에 형성된 컬러 필터;
 상기 게이트 라인 사이에 연장되어 형성된 화소 전극 라인;
 상기 게이트 라인 사이에 상기 화소 전극과 소정 간격 이격되어 연장 형성된 공통 전극 라인;
 상기 화소 전극 라인으로부터 상기 단위 픽셀상에 연장 형성된 복수의 화소 전극; 및
 상기 공통 전극 라인으로부터 상기 단위 픽셀상에 연장 형성된 복수의 공통 전극을 포함하며,
 상기 컬러 필터는 상기 복수의 화소 전극 및 공통 전극 하부에는 잔류하고 상기 스토리지 전극 라인 상부에서
 일부 제거된 액정 표시 장치.

청구항 7

제 6 항에 있어서, 상기 화소 전극 라인은 상기 스토리지 전극 라인과 절연되어 그 상부에 형성된 액정 표시 장
 치.

청구항 8

제 6 항에 있어서, 상기 복수의 화소 전극 및 복수의 공통 전극은 서로 소정 간격 이격되어 교차 형성된 액정
 표시 장치.

청구항 9

제 6 항에 있어서, 상기 화소 전극 라인 및 복수의 화소 전극, 그리고 상기 공통 전극 라인 및 복수의 공통 전
 극은 동시에 형성된 액정 표시 장치.

청구항 10

기관상의 일 방향으로 연장되는 복수의 게이트 라인을 형성하는 동시에 상기 게이트 라인 사이에 일 방향으로
 연장되는 스토리지 전극 라인을 형성하는 단계;
 상기 게이트 라인 및 스토리지 전극 라인이 형성된 상기 기관 상부에 게이트 절연막을 형성하는 단계;
 상기 게이트 라인과 교차되도록 연장되는 복수의 데이터 라인을 형성하는 단계;
 전체 상부면에 보호막 및 컬러 필터를 형성하는 단계;
 상기 컬러 필터를 현상하여 상기 스토리지 전극 라인 상부의 일부를 노출시키는 단계; 및
 상기 컬러 필터 상부에 화소 전극 라인 및 복수의 화소 전극, 공통 전극 라인 및 복수의 공통 전극을 형성하는
 단계를 포함하는 액정 표시 장치의 제조 방법.

청구항 11

제 10 항에 있어서, 상기 스토리지 전극 라인은 상기 게이트 라인 사이의 일 게이트 라인과 인접하여 형성하는
 액정 표시 장치의 제조 방법.

청구항 12

제 10 항에 있어서, 상기 화소 전극 라인은 상기 스토리지 전극 라인과 중첩되어 형성되는 액정 표시 장치의 제조 방법.

청구항 13

제 10 항에 있어서, 상기 공통 전극 라인은 상기 스토리지 전극 라인과 인접하지 않는 상기 게이트 라인과 인접하여 형성되는 액정 표시 장치의 제조 방법.

청구항 14

제 10 항에 있어서, 상기 복수의 화소 전극 및 복수의 공통 전극은 상기 데이터 라인의 패턴을 따라 형성되는 액정 표시 장치의 제조 방법.

청구항 15

제 10 항에 있어서, 상기 복수의 화소 전극 및 복수의 공통 전극은 상기 게이트 라인 및 데이터 라인이 교차하는 영역에 정의된 단위 픽셀에 서로 소정 간격이격되어 교차 배열된 액정 표시 장치의 제조 방법.

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

- [0020] 본 발명은 액정 표시 장치(Liquid Crystal Display; LCD) 및 그 제조 방법에 관한 것으로, 특히 컬러 필터 온 어레이(Color Filter On Array) 구조를 적용하는 액정 표시 장치 및 그 제조 방법에 관한 것이다.
- [0021] 액정 표시 장치(Liquid Crystal Display; LCD)는 박막 트랜지스터, 화소 전극 등이 형성되어 있는 하부 기판과, 공통 전극 등이 형성된 상부 기판, 그리고 이들 사이에 형성된 액정층을 포함하여 구성된다. 이러한 액정 표시 장치의 화소 전극 및 공통 전극에 전압을 인가하면 두 전극의 전위차로 인하여 액정층에 전기장이 생성되고, 이 전기장의 세기에 따라 액정 분자들의 배열이 변화된다. 액정 분자의 배열 변화는 액정층을 통과하는 빛의 편광을 변화시키고, 이는 기판의 바깥면에 구비된 편광자에 의하여 빛의 투과율 변화로 나타난다. 그러므로 두 전극의 전위차를 조절하여 전기장의 세기를 바꿈으로써 액정 표시 장치를 통과하는 빛의 투과율을 조절할 수 있다.
- [0022] 일반적으로 액정 표시 장치는 하부 기판에 박막 트랜지스터, 화소 전극 등이 형성되며, 상부 기판에 컬러 필터, 블랙 매트릭스, 공통 전극 등이 형성된다. 그러나, 이러한 액정 표시 장치는 컬러 필터와 박막 트랜지스터를 각각 별도의 기판 상에 제작해야 하기 때문에 그 제조 공정이 복잡하게 된다. 따라서, 이러한 문제를 극복하기 위해 컬러 필터를 박막 트랜지스터가 형성된 하부 기판에 형성하는 컬러 필터 온 어레이(Color Filter On Array; 이하, "COA"라 함) 구조의 액정 표시 장치가 제시되었다.
- [0023] COA 구조의 액정 표시 장치는 하부 기판에 형성되는 유기 절연막 상부에 컬러 필터를 형성하거나 유기 절연막을 대신하여 컬러 필터를 단독으로 형성하는 경우가 있다. 컬러 필터를 단독으로 형성하는 경우에는 컬러 필터를 일반 포토 레지스터보다 약 2배 이상의 두께로 형성해야 하는데, 컬러 필터의 유전율은 유기 절연막과 유사하기 때문에 유기 절연막과 마찬가지로 약 3.0 μm 정도의 두께로 형성한다. 또한, 컬러 필터를 상부 기판에 형성하는 일반적인 액정 표시 장치와 다르게 하부 기판에 컬러 필터를 형성하는 COA 구조의 경우 데이터 라인이 블랙 매트릭스의 역할을 하며, 데이터 라인 상부에 적색, 녹색, 청색의 각 컬러 필터를 중첩시켜 형성해야 한다. 이때, 데이터 라인의 선폭은 일반적인 액정 표시 장치의 경우와 마찬가지로 약 10~15 μm 정도에서 결정한다.
- [0024] 이러한 COA 구조를 S-PVA(Super-Patterned Vertical Alignment)에 적용하고 있다. S-PVA는 단위 픽셀(Unit

Pixel)을 두개의 서브 픽셀로 구성하고, 각각의 서브 픽셀에 차등된 전압이 인가되도록 하여 측면 계조 뭉침이나 반전을 개선하여 측면 시인성을 향상시키는 것이다. S-PVA 구조의 액정 표시 장치는 하나의 색을 표현하는 일 화소 영역 내에 두개의 트랜지스터와 두개의 화소 전극 패턴을 포함하여 구성하고, 두개의 화소 전극 패턴에 인가되는 피크 전압을 서로 다르게 하는 방법을 사용하여 계조의 표현을 자연스럽게 표현하고, 측면 시인성 왜곡 현상을 개선할 수 있다.

[0025] COA 구조와 S-PVA 구조를 이용한 액정 표시 장치는 하부 기관의 스토리지 전극 상부에는 컬러 필터를 형성하지 않는다. 따라서, 이 부분에는 보호막 및 게이트 절연막만이 존재하게 되어 이들을 유전체로 화소 전극과 스토리지 전극 사이에 충분한 크기의 스토리지 캐패시터를 형성할 수 있다.

[0026] 그러나, COA 구조와 S-PVA 구조를 이용한 액정 표시 장치의 경우 컬러 필터는 $3\mu\text{m}$ 이상의 두께로 형성되지만, 화소 전극을 패터닝하기 위한 감광막이 컬러 필터보다 얇게 형성되어 컬러 필터가 형성된 부분과 컬러 필터가 형성되지 않은 부분의 경계부에서 감광막의 두께가 급격하게 달라지게 된다. 이렇게 컬러 필터의 단차부, 즉 스토리지 전극 상부의 컬러 필터가 제거된 영역과 컬러 필터가 잔류하는 영역에 형성된 감광막은 노광 공정시 제대로 노광되지 않아 감광막 현상 공정시에 제거되지 않고 잔류하게 된다. 컬러 필터의 단차부에서 감광막이 잔류하기 때문에 이후 화소 전극의 습식 식각시 화소 전극 형성을 도전층이 잔류하게 된다. 따라서, 컬러 필터가 형성된 부분과 형성되지 않은 부분의 단차부에서 잔류하는 도전층에 의해 두 서브 픽셀이 서로 단락(short)되는 문제가 발생하게 된다.

발명이 이루고자 하는 기술적 과제

[0027] 본 발명의 목적은 컬러 필터가 형성된 영역과 형성되지 않은 영역의 단차부에 화소 전극 형성을 도전층이 잔류하지 않도록 함으로써 서브 픽셀의 단락을 방지할 수 있는 액정 표시 장치 및 그 제조 방법을 제공하는데 있다.

[0028] 본 발명의 다른 목적은 스토리지 전극 상부에서 두 서브 픽셀의 경계부에 컬러 필터를 잔류하도록 함으로써 화소 전극 형성시 화소 전극 형성을 도전층이 잔류하지 않도록 하여 서브 픽셀의 단락을 방지할 수 있는 액정 표시 장치 및 그 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

[0029] 본 발명의 일 실시 예에 따른 액정 표시 장치는 기관상의 일 방향으로 연장되어 형성된 복수의 게이트 라인; 상기 게이트 라인 사이에 일 방향으로 연장되어 형성된 스토리지 전극 라인; 상기 게이트 라인과 교차하여 연장 형성된 복수의 데이터 라인; 상기 게이트 라인 및 상기 데이터 라인의 교차 영역에 정의된 단위 픽셀에 형성된 컬러 필터; 및 상기 단위 픽셀 상의 상기 컬러 필터 상부에 형성되며, 서로 소정 간격 이격되어 형성된 제 1 및 제 2 화소 전극을 포함하며, 상기 컬러 필터는 상기 스토리지 전극 라인 상부에서 상기 제 1 및 제 2 화소 전극 사이의 경계부에는 잔류하고, 상기 제 1 및 제 2 화소 전극이 형성되는 부분은 제거된다.

[0030] 상기 단위 픽셀에 다중 도메인을 형성하고, 상기 제 1 및 제 2 화소 전극을 구분하기 위한 적어도 하나 이상의 절개 패턴을 더 포함한다.

[0031] 상기 게이트 라인으로부터 돌출되어 형성된 게이트 전극; 상기 게이트 전극 상부에 형성된 활성층 및 오믹 콘택층; 상기 데이터 라인으로부터 연장되어 형성되며, 상기 게이트 전극과 일부 중첩되도록 형성된 소오스 전극; 및 상기 게이트 전극과 일부 중첩되어 형성되며, 상기 화소 전극과 연결되는 드레인 전극을 더 포함한다.

[0032] 본 발명의 일 실시 예에 따른 액정 표시 장치의 제조 방법은 기관상의 일 방향으로 연장되는 복수의 게이트 라인을 형성하는 동시에 상기 게이트 라인 사이에 일 방향으로 연장되는 스토리지 전극 라인을 형성하는 단계; 상기 게이트 라인이 형성된 상기 기관 상부에 게이트 절연막을 형성하는 단계; 상기 게이트 라인과 교차되도록 연장되는 복수의 데이터 라인을 형성하는 단계; 전체 상부면에 보호막 및 컬러 필터를 형성하는 단계; 상기 컬러 필터를 현상하여 상기 스토리지 전극 라인 상부의 일부를 노출시키는 단계; 상기 컬러 필터 상부에 서로 소정 간격 이격되도록 제 1 및 제 2 화소 전극을 형성하는 단계를 포함한다.

[0033] 상기 컬러 필터는 상기 스토리지 전극 라인 상부에서 상기 제 1 및 제 2 화소 전극 사이의 경계부에는 잔류하고, 상기 제 1 및 제 2 화소 전극이 형성되는 부분은 제거된다.

- [0034] 본 발명의 다른 실시 예에 따른 액정 표시 장치는 기관상의 일 방향으로 연장되어 형성된 복수의 게이트 라인; 상기 게이트 라인 사이에 연장되어 형성된 스토리지 전극 라인; 상기 게이트 라인과 교차하여 연장 형성된 복수의 데이터 라인; 상기 게이트 라인 및 상기 데이터 라인의 교차 영역에 정의된 단위 픽셀에 형성된 컬러 필터; 상기 게이트 라인 사이에 연장되어 형성된 화소 전극 라인; 상기 게이트 라인 사이에 상기 화소 전극과 소정 간격 이격되어 연장 형성된 공통 전극 라인; 상기 화소 전극 라인으로부터 상기 단위 픽셀상에 연장 형성된 복수의 화소 전극; 및 상기 공통 전극 라인으로부터 상기 단위 픽셀상에 연장 형성된 복수의 공통 전극을 포함하며, 상기 컬러 필터는 상기 복수의 화소 전극 및 공통 전극 하부에는 잔류하고 상기 스토리지 전극 라인 상부에서 일부 제거된다.
- [0035] 상기 화소 전극 라인은 상기 스토리지 전극 라인과 절연되어 그 상부에 형성된다.
- [0036] 상기 복수의 화소 전극 및 복수의 공통 전극은 서로 소정 간격 이격되어 교차 형성된다.
- [0037] 상기 화소 전극 라인 및 복수의 화소 전극, 그리고 상기 공통 전극 라인 및 복수의 공통 전극은 동시에 형성된다.
- [0038] 본 발명의 다른 실시 예에 따른 액정 표시 장치의 제조 방법은 기관상의 일 방향으로 연장되는 복수의 게이트 라인을 형성하는 동시에 상기 게이트 라인 사이에 일 방향으로 연장되는 스토리지 전극 라인을 형성하는 단계; 상기 게이트 라인 및 스토리지 전극 라인이 형성된 상기 기관 상부에 게이트 절연막을 형성하는 단계; 상기 게이트 라인과 교차되도록 연장되는 복수의 데이터 라인을 형성하는 단계; 전체 상부면에 보호막 및 컬러 필터를 형성하는 단계; 상기 컬러 필터를 현상하여 상기 스토리지 전극 라인 상부의 일부를 노출시키는 단계; 및 상기 컬러 필터 상부에 화소 전극 라인 및 복수의 화소 전극, 공통 전극 라인 및 복수의 공통 전극을 형성하는 단계를 포함한다.
- [0039] 상기 스토리지 전극 라인은 상기 게이트 라인 사이의 일 게이트 라인에 인접하여 형성된다.
- [0040] 상기 화소 전극 라인은 상기 스토리지 전극 라인에 중첩되어 형성된다.
- [0041] 상기 공통 전극 라인은 상기 스토리지 전극 라인에 인접하지 않는 상기 게이트 라인에 인접하여 형성된다.
- [0042] 상기 복수의 화소 전극 및 복수의 공통 전극은 상기 데이터 라인의 패턴을 따라 형성된다.
- [0043] 상기 복수의 화소 전극 및 복수의 공통 전극은 상기 게이트 라인 및 데이터 라인이 교차하는 영역에 정의된 단위 픽셀에 서로 소정 간격이격되어 교차 배열된다.
- [0044] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예를 상세히 설명하기로 한다.
- [0045] 도 1은 본 발명의 일 실시 예에 따른 COA 구조와 S-PVA 구조를 적용한 액정 표시 장치의 하부 기관의 평면도이고, 도 2는 도 1의 I-I' 라인을 따라 절취한 상태의 단면도이며, 도 3은 도 1의 II-II' 라인을 따라 절취한 상태의 단면도이다.
- [0046] 도 1, 도 2 및 도 3을 참조하면, 하부 기관은 제 1 게이트 라인(110a), 제 2 게이트 라인(110b), 스토리지 전극 라인(120), 제 1 데이터 라인(130a), 제 2 데이터 라인(130b), 제 1 화소 전극(150), 제 2 화소 전극(160), 복수의 절개 패턴(171, 172, 173 및 174), 복수의 콘택홀(180a, 180b 및 190a, 190b)을 포함한다.
- [0047] 하부 기관은 기관(100) 상에 가로 방향으로 연장되어 형성된 제 1 게이트 라인(110a), 제 1 게이트 라인(110a)과 소정 간격 이격되어 평행하게 형성된 제 2 게이트 라인(110b), 제 1 게이트 라인(110a)과 제 2 게이트 라인(110b) 사이에 배치되며 스토리지 전극(121)을 포함하는 스토리지 전극 라인(120), 제 1 및 제 2 게이트 라인(110a 및 110b)과 절연되어 교차되게 세로 방향으로 연장되어 형성된 제 1 및 제 2 데이터 라인(130a 및 130b), 그리고 제 1 및 제 2 게이트 라인(110a 및 110b)과 제 1 및 제 2 데이터 라인(130a 및 130b)의 교차 영역 상에 형성된 단위 픽셀을 포함한다. 또한, 각 게이트 라인(110a 및 110b)의 일 단에는 게이트 패드(미도시)가 형성되며, 데이터 라인(130a 및 130b)의 일 단에는 데이터 패드(미도시)가 형성된다.
- [0048] 이러한 단위 픽셀은 제 1 서브 픽셀, 제 2 서브 픽셀 및 절개 패턴(171)을 포함하며, 제 1 서브 픽셀은 제 1 박막 트랜지스터와 제 1 화소 전극(150)을 구비하며, 제 2 서브 픽셀은 제 2 박막 트랜지스터와 제 2 화소 전극(160)을 구비한다. 절개 패턴(171)은 제 1 서브 픽셀과 제 2 서브 픽셀을 분리시키는 동시에 단위 픽셀을 다중

도메인으로 구분하는 역할을 한다.

[0049] 제 1 박막 트랜지스터는 제 1 게이트 라인(110a)에 연결된 제 1 게이트 전극(112a), 제 2 데이터 라인(130b)에 연결된 제 1 소오스 전극(132a), 제 3 콘택홀(190a)을 통하여 제 1 화소 전극(150)에 연결된 제 1 드레인 전극(134a)을 포함하며, 제 1 게이트 전극(112a)과 제 1 소오스 전극(132a) 및 제 1 드레인 전극(134a) 사이에 순차적으로 형성된 게이트 절연막(125) 및 활성층(126)과, 활성층(126)의 적어도 일부에 형성된 오믹 콘택층(127)을 포함한다. 이때, 오믹 콘택층(127)은 채널부를 제외한 활성층(126) 상에 형성될 수 있다. 제 1 박막 트랜지스터는 제 1 게이트 라인(110a)에 공급되는 신호에 응답하여 제 2 데이터 라인(130b)에 공급되는 화소 신호가 제 1 화소 전극(150)에 충전되도록 한다.

[0050] 그리고, 제 2 박막 트랜지스터는 제 2 게이트 라인(110b)에 연결된 제 2 게이트 전극(112b), 제 2 데이터 라인(130b)에 연결된 제 2 소오스 전극(132b), 제 4 콘택홀(190b)을 통하여 제 2 화소 전극(160)에 연결된 제 2 드레인 전극(134b)을 포함하며, 제 2 게이트 전극(112b)과 제 2 소오스 전극(132b) 및 제 2 드레인 전극(134b) 사이에 순차적으로 형성된 게이트 절연막(1125) 및 활성층(126)과, 활성층(126)의 적어도 일부에 형성된 오믹 콘택층(127)을 포함한다. 이때, 오믹 콘택층(127)은 채널부를 제외한 활성층(126) 상에 형성될 수 있다. 이러한 제 2 박막 트랜지스터는 제 2 게이트 라인(110b)에 공급되는 신호에 응답하여 제 2 데이터 라인(130b)에 공급되는 화소 신호가 제 2 화소 전극(160)에 충전되도록 한다.

[0051] 이와 같이, 제 1 서브 픽셀과 제 2 서브 픽셀에 각각 독립적인 2개의 박막 트랜지스터(즉, 제 1 및 제 2 박막 트랜지스터)를 형성하고, 데이터 라인에 연속적으로 인가되는 액정 전압 즉, 화소 신호를 시간 분할하여, 각 서브 픽셀에 서로 다른 데이터 전압을 충전시킴으로써 두 가지 감마 커브를 표현하게 되면, 서로 다른 감마 커브의 상호 보완에 의해서 시인성이 크게 향상된다.

[0052] 제 1 화소 전극(150) 및 제 2 화소 전극(160)은 절개 패턴(171)에 의해 구분된다. 제 2 화소 전극(160)은 중심부의 좌측에서 우측으로 연장된 V자 형상으로 형성된다. 또한, 제 1 화소 전극(150)은 V자 형상의 제 2 화소 전극(160)을 감싸는 형상으로 형성된다. 제 1 화소 전극(150)은 액정의 배열 방향을 조정하기 위한 도메인 규제 수단으로 다수의 절개 패턴(172, 173 및 174)을 갖는다. 제 1 절개 패턴(172)은 스토리지 전극 라인(120)이 지나가는 제 1 화소 전극(150)내에 Y자 형태로 형성된다. 제 2 절개 패턴(173)은 제 1 화소 전극(150)의 상측부의 우측 가장자리에서 하부 방향으로 연장되고, 제 3 절개 패턴(174)은 제 1 화소 전극(150)의 하측부의 우측 가장자리에서 상부 방향으로 연장된다. 여기서, 제 2 및 제 3 절개 패턴(173 및 174)은 서로 직각을 이루는 것이 바람직하다. 그리고, 제 1 및 제 2 화소 전극(150 및 160)을 분할하기 위한 절개 패턴(171)이 이루는 각도 또한 직각인 것이 바람직하다. 본 실시예는 이에 한정되지 않고, 액정 분자의 배향을 위한 도메인 규제수단으로 절개 패턴 대신에 돌기 패턴을 형성할 수 있다.

[0053] 제 1 및 제 2 게이트 라인(110a 및 110b), 제 1 및 제 2 데이터 라인(130a 및 130b), 그리고 제 1 및 제 2 박막 트랜지스터 상부에는 보호막(141)이 형성된다. 보호막(141)은 저유전 유기 절연막을 이용하여 형성한다.

[0054] 컬러 필터(145)는 단의 픽셀의 보호막(141) 상부에 형성되는데, 단위 픽셀 마다 적색, 녹색 및 청색 필터가 반복되어 형성된다. 컬러 필터(145)는 광원으로부터 조사되어 액정층(미도시)을 통과한 빛에 색상을 부여하는 역할을 한다. 컬러 필터(145)는 감광성 유기 물질로 형성될 수 있다.

[0055] 제 1 및 제 2 콘택홀(180a 및 180b)은 컬러 필터(145)의 현상시 스토리지 전극(121) 상부의 컬러 필터(145)가 제거되도록 함으로써 형성된다. 즉, 제 1 및 제 2 화소 전극(150 및 160)의 경계부에는 컬러 필터(145)가 잔류하고, 제 1 및 제 2 화소 전극(150 및 160)이 형성되는 부분에는 컬러 필터(145)가 제거되도록 함으로써 제 1 및 제 2 콘택홀(180a 및 180b)이 형성된다. 이렇게 제 1 및 제 2 화소 전극(150 및 160) 사이의 경계부에 컬러 필터(145)가 잔류되도록 함으로써 그 부분에 화소 전극을 형성하기 위한 잔류물이 남지 않아 두 전극간 단락(short)을 방지할 수 있다. 제 1 및 제 2 콘택홀(180a 및 180b)를 통해 형성된 제 1 및 제 2 화소 전극(150 및 160)이 게이트 절연막(125) 및 보호막(141)을 사이에 두고 스토리지 전극(121)과 스토리지 캐패시터를 이룬다.

[0056] 제 3 및 제 4 콘택홀(190a 및 190b)은 컬러 필터(145) 및 보호막(141)의 소정 영역을 식각하여 제 1 및 제 2 드레인 전극(134a 및 134b)를 노출시키도록 형성한다.

[0057] 도 4(a) 내지 도 4(d)는 도 1의 I-I' 라인을 따라 절취한 상태로 본 발명의 일 실시 예에 따른 액정 표시 장치의 하부 기관의 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도이고, 도 5(a) 내지 도 5(d)는 도 1의 II-II' 라인을 따라 절취한 상태로 본 발명의 일 실시 예에 따른 액정 표시 장치의 하부 기관의 제조 방

법을 설명하기 위해 순서적으로 도시한 소자의 단면도이다.

- [0058] 도 4(a) 및 도 5(a)를 참조하면, 기판(100) 상부에 제 1 도전층을 형성한 후 제 1 마스크를 이용한 사진 및 식각 공정으로 제 1 도전층을 패터닝한다. 이에 의해 소정 간격으로 가로 방향으로 연장된 복수의 게이트 라인(110a 및 110b)과 이로부터 일부 돌출된 복수의 게이트 전극(112a 및 112b)이 형성된다. 또한, 이와 동시에 게이트 라인(110a 및 110b) 사이에 스토리지 전극(121)을 포함하는 스토리지 전극 라인(120)이 형성된다. 여기서, 제 1 도전층은 알루미늄(Al), 네오디뮴(Nd), 은(Ag), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 및 몰리브덴(Mo) 중 적어도 어느 하나의 금속 또는 이들을 포함하는 합금으로 형성되는 것이 바람직하다. 또한, 제 1 도전층은 단일층 뿐 아니라 복수 금속층의 다중층으로 형성될 수 있다. 즉, 물리 화학적 특성이 우수한 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 등의 금속층과 비저항이 작은 알루미늄(Al) 계열 또는 은(Ag) 계열의 금속층을 포함하는 이중층으로 형성할 수도 있다. 그리고, 전체 상부면에 게이트 절연막(125)을 형성한다. 여기서, 게이트 절연막(125)은 산화 실리콘막 또는 질화 실리콘막을 포함하는 무기 절연막을 이용하여 형성한다. 전체 상부에 예컨대 수소화 비정질 실리콘막 및 도핑된 비정질 실리콘막을 순차적으로 형성한다. 제 2 마스크를 이용한 사진 및 식각 공정으로 게이트 전극(112a 및 112b)과 중첩되도록 수소화 비정질 실리콘막 및 도핑된 비정질 실리콘막을 패터닝하여 활성층(126) 및 오믹 콘택층(127)을 형성한다.
- [0059] 도 4(b) 및 5(b)를 참조하면, 전체 상부에 제 2 도전층을 형성한 후 제 3 마스크를 이용한 사진 및 식각 공정으로 제 2 도전층을 패터닝한다. 이에 의해 게이트 라인(110a 및 110b)과 교차되어 연장되고 서로 소정 간격 이격된 복수의 데이터 라인(130a 및 130b)이 형성된다. 또한, 이와 동시에 게이트 전극(112a 및 112b) 상부에서 일부 중첩되고 서로 소정 간격 이격된 소오스 전극(132a 및 132b) 및 드레인 전극(134a 및 134b)이 형성된다. 이때, 소오스 전극(132a 및 132b)은 데이터 라인(130a 및 130b)에서 돌출되어 형성되며, 소오스 전극(132a 및 132b) 및 드레인 전극(134a 및 134b)에 의해 노출된 활성층(126)이 채널 영역이 된다. 여기서, 제 2 도전층으로는 금속 단일층 또는 다중층을 이용하는 것이 바람직하며, 제 2 도전층은 게이트 라인(110a 및 110b)을 형성하기 위한 제 1 도전층과 동일한 물질을 이용할 수도 있고, 다중층으로 형성될 수도 있다.
- [0060] 도 4(c) 및 도 5(c)를 참조하면, 전체 상부에 보호막(141)으로 실리콘 질화막(SiNx)을 형성한다. 보호막(141) 상부에 감광성 유기 물질을 도포한 후 단위 픽셀에 잔류하도록 제 4 마스크를 이용한 노광 및 현상 공정으로 컬러 필터(145)를 형성한다. 이때, 컬러 필터(145)의 현상시 스토리지 전극(121) 상부에서 컬러 필터(134)가 일부 제거되도록 하는데, 제 1 화소 전극(150) 및 제 2 화소 전극(160)의 경계부에서 컬러 필터(145)가 잔류되도록 하고, 제 1 및 제 2 화소 전극(150 및 160)이 형성되는 영역에서 하부의 보호막(141)이 노출되도록 하여 제 1 및 제 2 콘택홀(180a 및 180b)을 형성한다. 여기서, 스토리지 전극(121) 상부에서 제 1 화소 전극(150)은 소정의 굴곡으로 형성되기 때문에 제 1 화소 전극(150)의 굴곡을 따라 제 1 및 제 2 화소 전극(150 및 160)의 경계부에 컬러 필터(145)가 잔류하도록 하는 것이 가장 바람직하겠으나, 이렇게 하면 공정 마진이 줄어들 수 있기 때문에 스토리지 캐패시터의 용량을 크게 저하시키지 않는 범위내에서 제 1 화소 전극(150)과 일부 중첩되도록 컬러 필터(145)를 잔류시킬 수 있다.
- [0061] 도 4(d) 및 도 5(d)를 참조하면, 제 5 마스크를 이용한 사진 및 식각 공정으로 컬러 필터(145) 및 보호막(141)의 소정 영역을 제거하여 드레인 전극(134a 및 134b)를 노출시키는 제 3 및 제 4 콘택홀(190a 및 190b)을 형성한다. 전체 구조 상부에 제 3 도전층을 형성하고, 제 6 마스크를 이용한 사진 및 식각 공정으로 제 3 도전층을 식각하여 단위 픽셀에 제 1 및 제 2 화소 전극(150 및 160) 및 복수의 절개 패턴(171, 172 및 173)을 형성한다. 여기서, 제 3 도전층은 인듐 주석 산화물(Indium Tin Oxide : ITO)이나 인듐 아연 산화물(Indium Zinc Oxide : IZO)을 포함하는 투명 도전층을 이용하는 것이 바람직하다.
- [0062] 상기와 같은 스토리지 전극 상부의 제 1 및 제 2 화소 전극 사이의 경계부에 컬러 필터를 잔류시키는 액정 표시 장치는 공통 전극과 화소 전극이 동일 평면상에 형성되는 S-IPS(In Plane Switching) 구조의 액정 표시 장치에도 적용할 수 있는데, 이에 대해 설명하면 다음과 같다.
- [0063] 도 6은 본 발명의 다른 실시 예에 따른 COA 구조와 S-IPS 구조를 적용한 액정 표시 장치의 하부 기판의 평면도이고, 도 7은 도 6의 I-I' 라인을 따라 절취한 상태의 단면도이며, 도 8은 도 6의 II-II' 라인을 따라 절취한 상태의 단면도이다.
- [0064] 도 6, 도 7 및 도 8을 참조하면, 하부 기판은 제 1 게이트 라인(210a), 제 2 게이트 라인(210b), 스토리지 전극

라인(220), 제 1 데이터 라인(230a), 제 2 데이터 라인(230b), 화소 전극 라인(250a) 및 화소 전극(250b), 공통 전극 라인(260a) 및 공통 전극(260b), 그리고 제 1 및 제 2 콘택홀(280 및 290)을 포함한다.

[0065] 하부 기판은 기판(200) 상에 가로 방향으로 연장되어 형성된 제 1 게이트 라인(210a), 제 1 게이트 라인(210a)과 소정 간격 이격되어 평행하게 형성된 제 2 게이트 라인(210b), 제 1 게이트 라인(210a)과 제 2 게이트 라인(210b) 사이에 형성되며 제 1 게이트 라인(210a)측과 인접하게 형성된 스토리지 전극 라인(220), 제 1 및 제 2 게이트 라인(210a 및 210b)과 교차되게 세로 방향으로 연장되어 형성되며 격인 구조로 형성된 제 1 및 제 2 데이터 라인(230a 및 230b), 그리고 제 1 및 제 2 게이트 라인(210a 및 210b)과 제 1 및 제 2 데이터 라인(230a 및 230b)의 교차 영역 상에 형성된 단위 픽셀을 포함한다. 또한, 각 게이트 라인(210a 및 210b)의 일 단에는 게이트 패드(미도시)가 형성되며, 데이터 라인(230a 및 230b)의 일 단에는 데이터 패드(미도시)가 형성된다.

[0066] 또한, 스토리지 전극 라인(220)과 절연되고 스토리지 전극 라인(220)과 중첩되게 화소 전극 라인(250a)이 형성된다. 즉, 화소 전극 라인(250a)은 스토리지 전극(220) 상부에서 스토리지 전극(220)과 동일 형태로 형성된다. 그리고, 제 1 게이트 라인(210a)과 제 2 게이트 라인(210b) 사이에 제 2 게이트 라인(210b)과 근접하게 공통 전극 라인(260a)이 형성된다. 화소 전극 라인(250a)으로부터 제 1 및 제 2 데이터 라인(230a 및 230b)을 따라 복수의 화소 전극(250b)이 연장 형성되며, 공통 전극 라인(260a)으로부터 제 1 및 제 2 데이터 라인(230a 및 230b)을 따라 복수의 공통 전극(260b)이 연장되어 형성된다. 화소 전극(250b)은 공통 전극 라인(260a)과 소정 간격 이격되어 연장되며, 공통 전극(260b)은 화소 전극 라인(250a)과 소정 간격 이격되어 연장된다. 또한, 공통 전극(260b) 사이에 화소 전극(250b)이 배치되고, 화소 전극(250b) 사이에 공통 전극(260b)이 배치되도록 화소 전극(250b)과 공통 전극(260b)은 교대로 배열된다. 또한, 화소 전극 라인(250a) 및 화소 전극(250b), 그리고 공통 전극 라인(260a) 및 공통 전극(260b)은 동일 공정에 의해 동일 평면상에 형성된다.

[0067] 또한, 제 1 및 제 2 게이트 라인(210a 및 210b)을 포함한 전체 상부면에는 게이트 절연막(225)이 형성되며, 제 1 및 제 2 데이터 라인(230a 및 230b)로부터 연장되어 게이트 라인(210a 및 210b) 상부에 형성된 소오스 전극(232a)과 이와 소정 간격 이격되어 형성된 드레인 전극(234a)이 그 하부에 형성된 활성층(226) 및 오믹 콘택층(227)과 함께 박막 트랜지스터를 이룬다. 이때, 드레인 전극(234a)은 제 2 콘택홀(290)을 통해 화소 전극 라인(250a)과 연결되고, 오믹 콘택층(227)은 채널부를 제외한 활성층(226) 상에 형성될 수 있다. 박막 트랜지스터는 제 1 게이트 라인(210a)에 공급되는 신호에 응답하여 제 1 데이터 라인(230b)에 공급되는 화소 신호가 화소 전극 라인(250a)에 충전되도록 한다.

[0068] 제 1 및 제 2 게이트 라인(210a 및 210b), 제 1 및 제 2 데이터 라인(230a 및 230b), 그리고 박막 트랜지스터 상부에는 보호막(241)이 형성된다. 보호막(241)은 저유전 유기 절연막을 이용하여 형성한다.

[0069] 컬러 필터(245)는 단위 픽셀의 보호막(241) 상부에 형성되는데, 단위 픽셀 마다 적색, 녹색 및 청색 필터가 반복되어 형성된다. 컬러 필터(245)는 광원으로부터 조사되어 액정층(미도시)을 통과한 빛에 색상을 부여하는 역할을 한다. 컬러 필터(245)는 감광성 유기 물질로 형성될 수 있다.

[0070] 제 1 콘택홀(280)은 컬러 필터(245)의 현상시 스토리지 전극 라인(220) 상부의 컬러 필터(245)를 제거하여 형성한다. 제 1 콘택홀(280)을 통해 형성된 화소 전극 라인(250a)이 게이트 절연막(225) 및 보호막(241)을 사이에 두고 스토리지 전극 라인(220)과 스토리지 캐패시터를 이룬다.

[0071] 제 2 콘택홀(290)은 컬러 필터(245) 및 보호막(241)의 소정 영역을 식각하여 드레인 전극(234a)을 노출시키도록 형성한다. 제 2 콘택홀(290)을 통해 화소 전극 라인(250a)이 드레인 전극(234a)과 연결되게 된다.

[0072] 도 9(a) 내지 도 9(d)는 도 6의 I-I' 라인을 따라 절취한 상태로 본 발명의 다른 실시 예에 따른 액정 표시 장치의 하부 기판의 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도이고, 도 10(a) 내지 도 10(d)는 도 6의 II-II' 라인을 따라 절취한 상태로 본 발명의 다른 실시 예에 따른 액정 표시 장치의 하부 기판의 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도이다.

[0073] 도 9(a) 및 도 10(a)를 참조하면, 기판(200) 상부에 제 1 도전층을 형성한 후 제 1 마스크를 이용한 사진 및 식각 공정으로 제 1 도전층을 패터닝한다. 이에 의해 소정 간격으로 가로 방향으로 연장된 복수의 게이트 라인(210a 및 210b)을 형성한다. 또한, 이와 동시에 게이트 라인(210a 및 210b) 사이에 스토리지 전극 라인(220)이 형성되는데, 스토리지 전극 라인(220)은 게이트 라인(210a)과 근접하게 형성된다. 여기서, 제 1 도전층은 알루미늄(Al), 네오디뮴(Nd), 은(Ag), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 및 몰리브덴(Mo) 중 적어도 어느 하나의 금속 또는 이들을 포함하는 합금으로 형성되는 것이 바람직하다. 또한, 제 1 도전층은 단일층 뿐 아니라 복수

금속층의 다중층으로 형성될 수 있다. 즉, 물리 화학적 특성이 우수한 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 등의 금속층과 비저항이 작은 알루미늄(Al) 계열 또는 은(Ag) 계열의 금속층을 포함하는 이중층으로 형성할 수도 있다. 그리고, 전체 상부면에 게이트 절연막(225)을 형성한다. 여기서, 게이트 절연막(225)은 산화 실리콘막 또는 질화 실리콘막을 포함하는 무기 절연막을 이용하여 형성한다. 전체 상부에 예컨대 수소화 비정질 실리콘막 및 도핑된 비정질 실리콘막을 순차적으로 형성한다. 제 2 마스크를 이용한 사진 및 식각 공정으로 게이트 라인(210a 및 210b) 상부에서 소정 영역 중첩되도록 수소화 비정질 실리콘막 및 도핑된 비정질 실리콘막을 패터닝하여 활성층(226) 및 오믹 콘택층(227)을 형성한다.

[0074] 도 9(b) 및 10(b)를 참조하면, 전체 상부에 제 2 도전층을 형성한 후 제 3 마스크를 이용한 사진 및 식각 공정으로 제 2 도전층을 패터닝한다. 이에 의해 게이트 라인(210a 및 210b)과 교차되어 연장되고 서로 소정 간격 이격된 복수의 데이터 라인(230a 및 230b)이 형성된다. 또한, 이와 동시에 게이트 라인(210a 및 210b) 상부에서 일부 중첩되고 서로 소정 간격 이격된 소오스 전극(232a) 및 드레인 전극(234a)이 형성된다. 이때, 소오스 전극(232a)은 데이터 라인(230a)에서 돌출되어 형성되며, 소오스 전극(232a) 및 드레인 전극(234a)에 의해 노출된 활성층(226)이 채널 영역이 된다. 여기서, 제 2 도전층으로는 금속 단일층 또는 다중층을 이용하는 것이 바람직하며, 제 2 도전층은 게이트 라인(210a 및 210b)을 형성하기 위한 제 1 도전층과 동일한 물질을 이용할 수도 있고, 다중층으로 형성될 수도 있다.

[0075] 도 9(c) 및 도 10(c)를 참조하면, 전체 상부에 보호막(241)으로 실리콘 질화막(SiNx)을 형성한다. 보호막(241) 상부에 감광성 유기 물질을 도포한 후 단위 픽셀에 잔류하도록 제 4 마스크를 이용한 노광 및 현상 공정으로 컬러 필터(245)를 형성한다. 이때, 컬러 필터(245)의 현상시 스토리지 전극 라인(220) 상부에서 컬러 필터(245)가 일부 제거되도록 하여 제 1 콘택홀(280)을 형성한다. 제 1 콘택홀(245)은 스토리지 전극 라인(220)과 이후 형성되는 화소 전극 라인(250a)이 스토리지 캐패시터를 이루도록 하기 위한 것으로, 제 1 콘택홀(280)의 면적이 넓을수록 스토리지 캐패시터의 용량을 증가시킬 수 있으므로 최대한 크게 형성하는 것이 바람직하다. 그러나, 이후 형성될 제 2 콘택홀(290) 또한 제 1 콘택홀(280)과 동일 라인 상에 형성되므로 제 2 콘택홀(290)을 형성할 때 영향을 주지 않는 범위내에서 최대한 크게 형성하는 것이 더욱 바람직하다.

[0076] 도 9(d) 및 도 10(d)를 참조하면, 제 5 마스크를 이용한 사진 및 식각 공정으로 컬러 필터(245) 및 보호막(241)의 소정 영역을 제거하여 드레인 전극(234a)을 노출시키는 제 2 콘택홀(290)을 형성한다. 전체 구조 상부에 제 3 도전층을 형성하고, 제 6 마스크를 이용한 사진 및 식각 공정으로 제 3 도전층을 식각하여 화소 전극 라인(250a) 및 복수의 화소 전극(250b), 그리고 공통 전극 라인(260a) 및 복수의 공통 전극(260b)을 형성한다. 여기서, 화소 전극 라인(250a)은 스토리지 전극 라인(220)과 중첩되게 스토리지 라인(220)과 동일 패턴으로 형성되고, 공통 전극 라인(260a)은 제 1 게이트 라인(210a)과 제 2 게이트 라인(210b) 사이의 제 2 게이트 라인(210b)과 근접하게 형성된다. 또한, 복수의 화소 전극(250b)은 화소 전극 라인(250a)으로부터 제 1 및 제 2 데이터 라인(230a 및 230b)을 따라 연장되어 형성되며, 복수의 공통 전극(260b)은 공통 전극 라인(260a)으로부터 제 1 및 제 2 데이터 라인(230a 및 230b)을 따라 연장되어 형성된다. 복수의 화소 전극(250b)은 공통 전극 라인(260a)과 소정 간격 이격되어 연장되며, 복수의 공통 전극(260b)은 화소 전극 라인(250a)과 소정 간격 이격되어 연장된다. 또한, 공통 전극(260b) 사이에 화소 전극(250b)이 배치되고, 화소 전극(250b) 사이에 공통 전극(260b)이 배치되도록 화소 전극(250b)과 공통 전극(260b)은 교대로 배열된다. 여기서, 제 3 도전층은 인듐 주석 산화물(Indium Tin Oxide : ITO)이나 인듐 아연 산화물(Indium Zinc Oxide : IZO)을 포함하는 투명 도전층을 이용하는 것이 바람직하다.

발명의 효과

[0077] 상술한 바와 같이 본 발명에 의하면 COA 구조를 이용하는 액정 표시 장치에서 스토리지 전극 라인 상부의 화소 전극 사이 또는 화소 전극과 공통 전극 사이에 컬러 필터를 제거하지 않고 잔류하도록 함으로써 화소 전극 사이 또는 화소 전극과 공통 전극 사이에서 컬러 필터를 제거하여 발생하는 컬러 필터 단차부의 화소 전극 잔류물에 의한 단락을 방지할 수 있다.

도면의 간단한 설명

[0001] 도 1은 본 발명의 일 실시 예에 따른 액정 표시 장치의 하부 기관의 평면도.

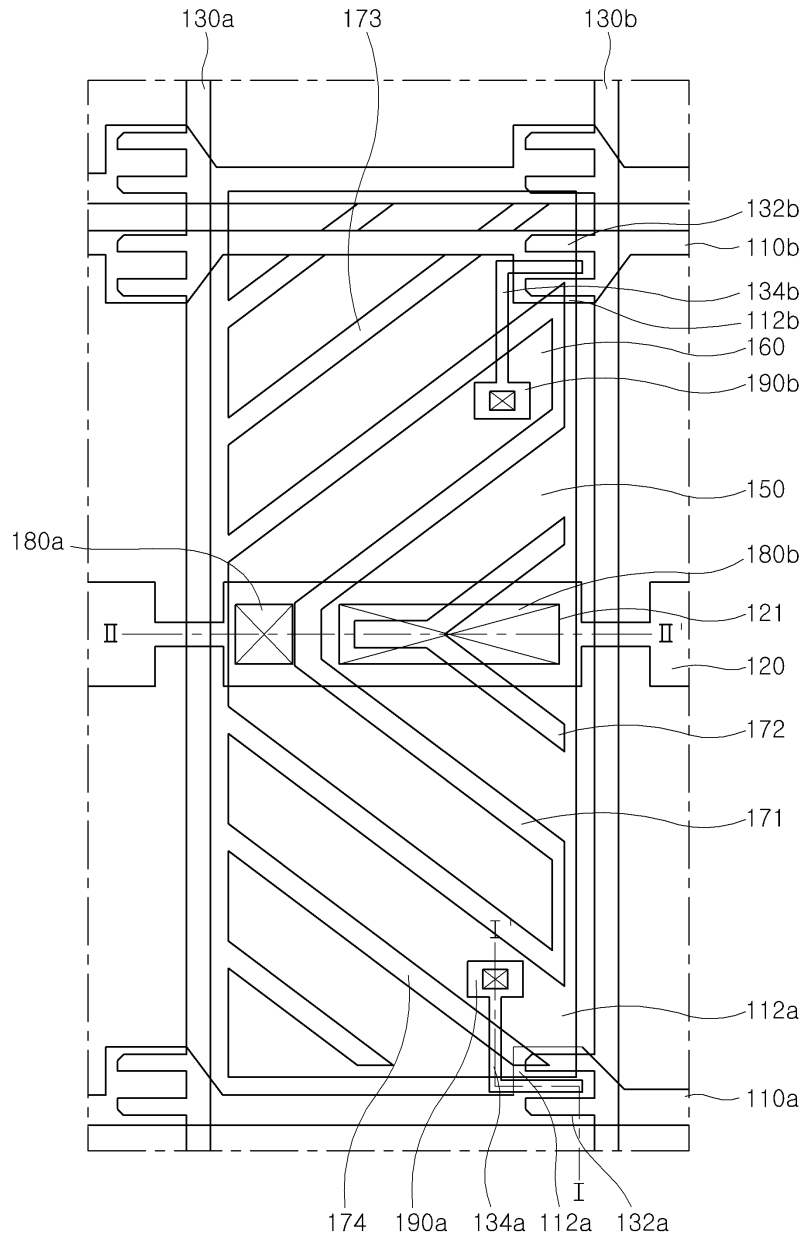
[0002] 도 2는 도 1의 I-I' 라인을 따라 절취한 상태의 단면도.

[0003] 도 3은 도 1의 II-II' 라인을 따라 절취한 상태의 단면도.

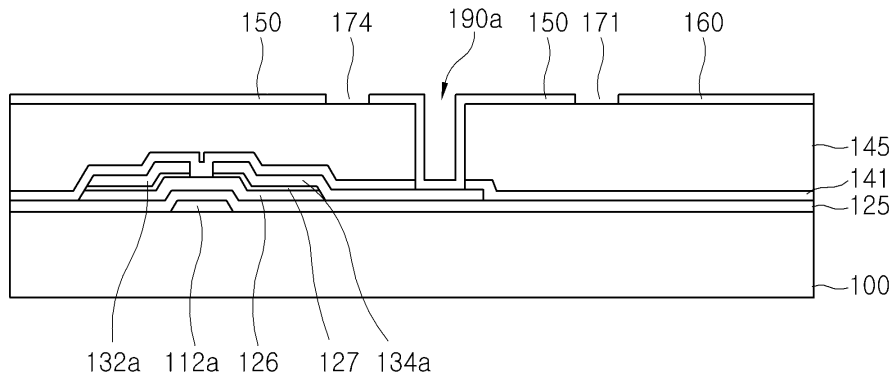
- [0004] 도 4(a) 내지 도 4(d)는 도 1의 I-I' 라인을 따라 절취한 상태로 본 발명의 일 실시 예에 따른 액정 표시 장치의 하부 기관의 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도.
- [0005] 도 5(a) 내지 도 5(d)는 도 1의 II-II' 라인을 따라 절취한 상태로 본 발명의 일 실시 예에 따른 액정 표시 장치의 하부 기관의 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도.
- [0006] 도 6은 본 발명의 다른 실시 예에 따른 액정 표시 장치의 하부 기관의 평면도.
- [0007] 도 7은 도 6의 I-I' 라인을 따라 절취한 상태의 단면도.
- [0008] 도 8는 도 6의 II-II' 라인을 따라 절취한 상태의 단면도.
- [0009] 도 9(a) 내지 도 9(d)는 도 6의 I-I' 라인을 따라 절취한 상태로 본 발명의 일 실시 예에 따른 액정 표시 장치의 하부 기관의 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도.
- [0010] 도 10(a) 내지 도 10(d)는 도 6의 II-II' 라인을 따라 절취한 상태로 본 발명의 일 실시 예에 따른 액정 표시 장치의 하부 기관의 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도.
- [0011] <도면의 주요 부분에 대한 부호의 설명>
- [0012] 110a 및 110b : 제 1 및 제 2 게이트 라인
- [0013] 120 : 스토리지 전극 라인
- [0014] 130a 및 130b : 제 1 및 제 2 데이터 라인
- [0015] 150 : 제 1 화소 전극
- [0016] 160 : 제 2 화소 전극
- [0017] 171, 172, 173 및 174 : 절개 패턴
- [0018] 180a 및 180b : 제 1 및 제 2 콘택홀
- [0019] 190a 및 190b : 제 3 및 제 4 콘택홀

도면

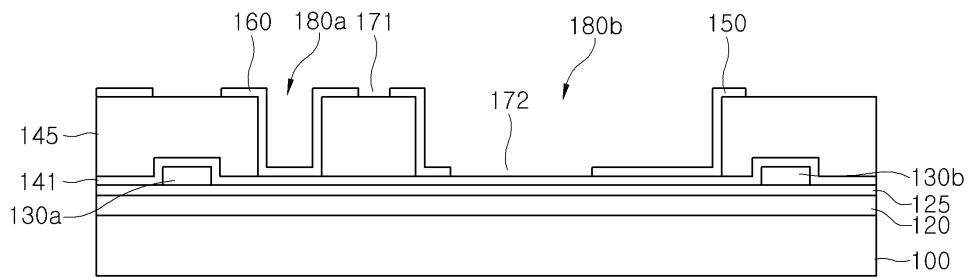
도면1



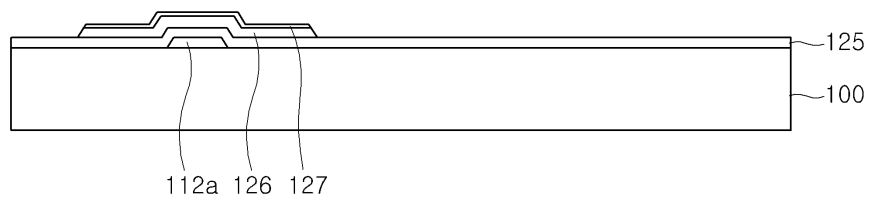
도면2



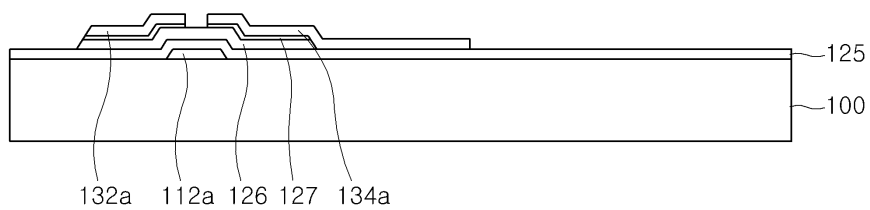
도면3



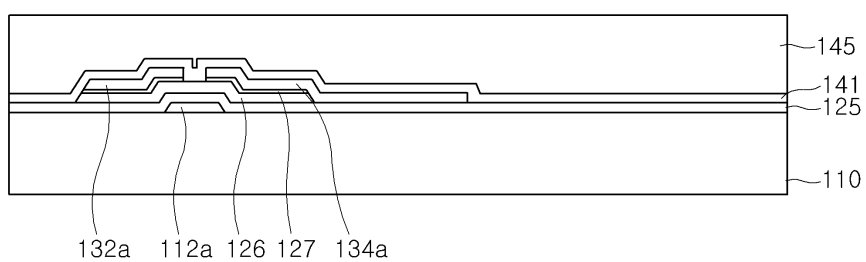
도면4a



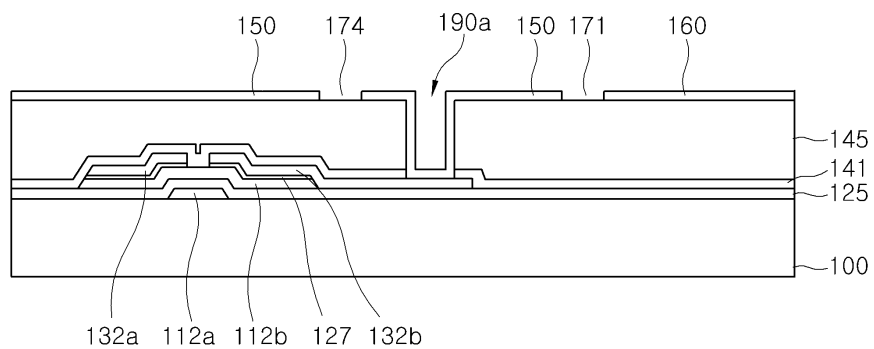
도면4b



도면4c



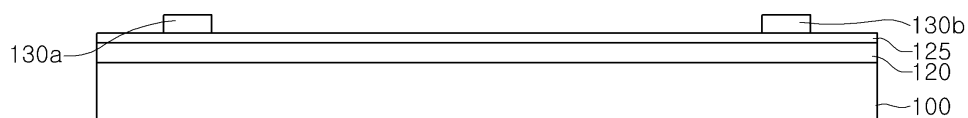
도면4d



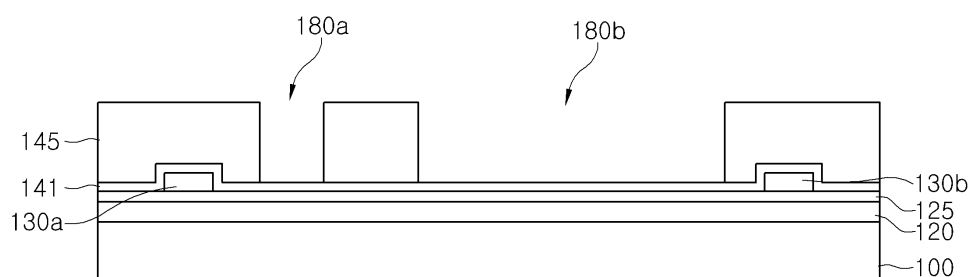
도면5a



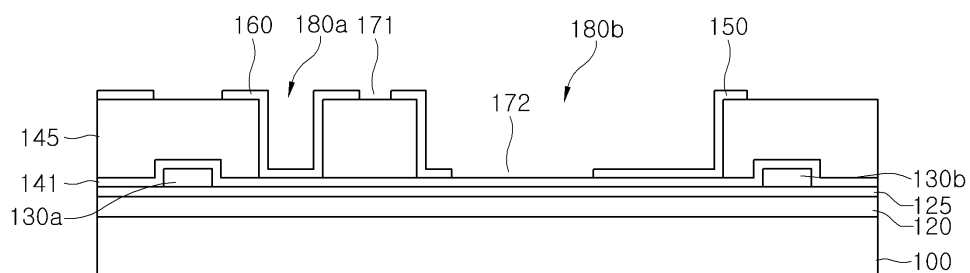
도면5b



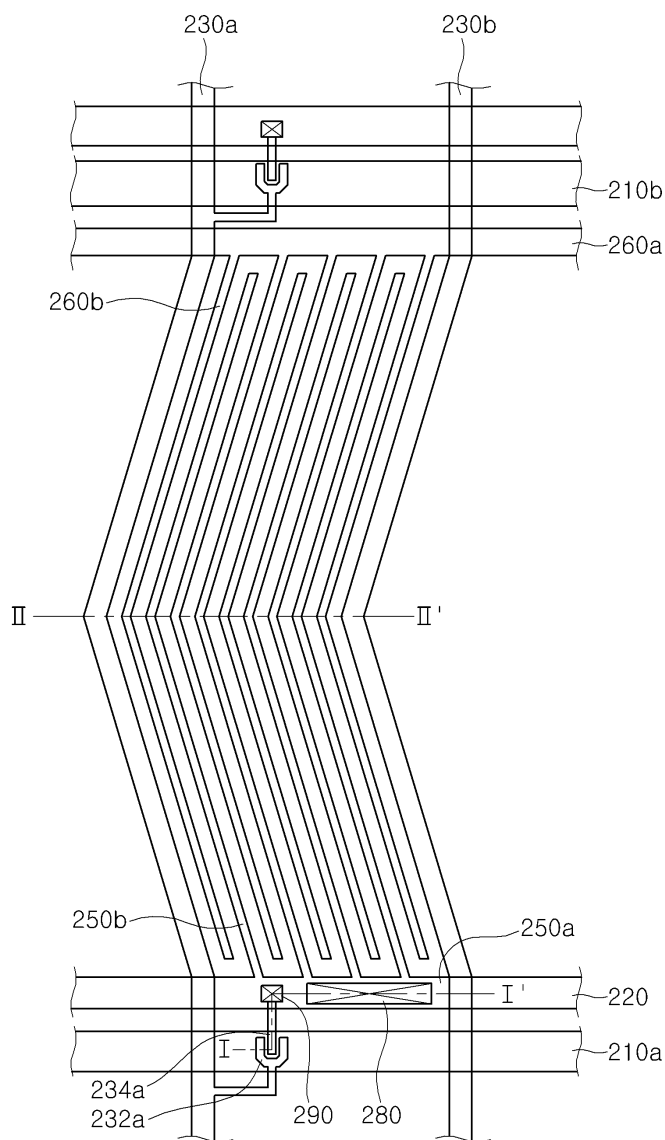
도면5c



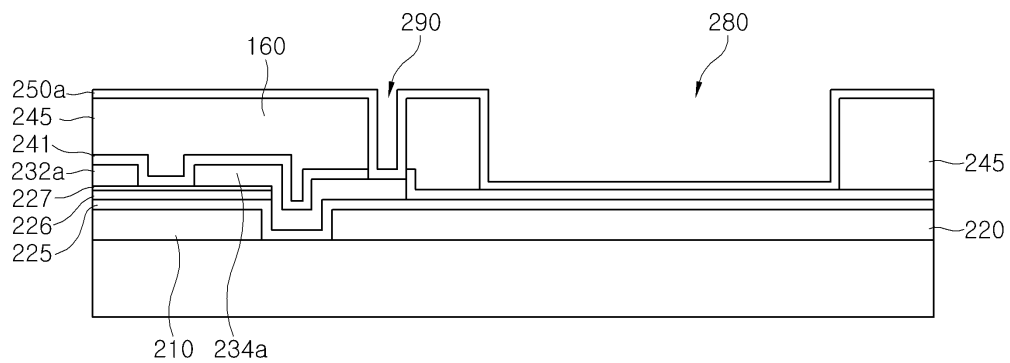
도면5d



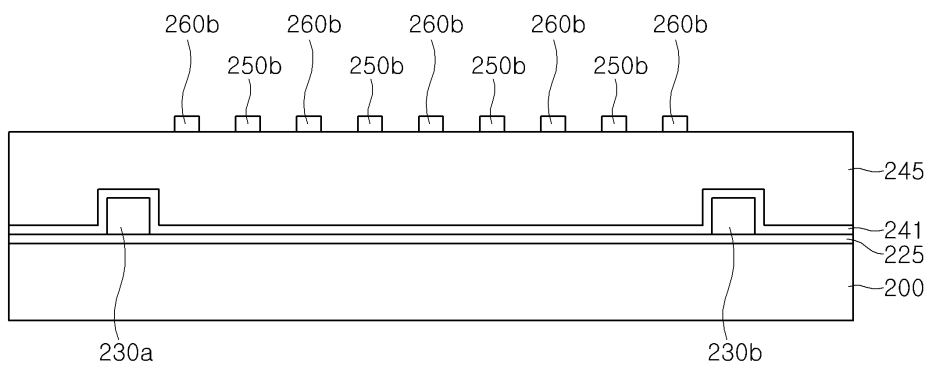
도면6



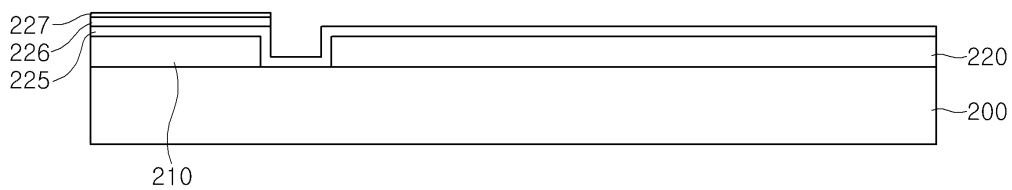
도면7



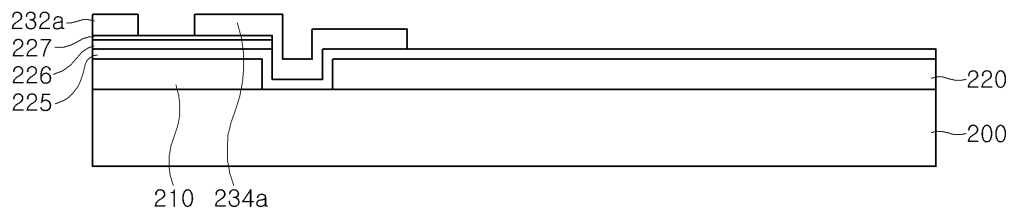
도면8



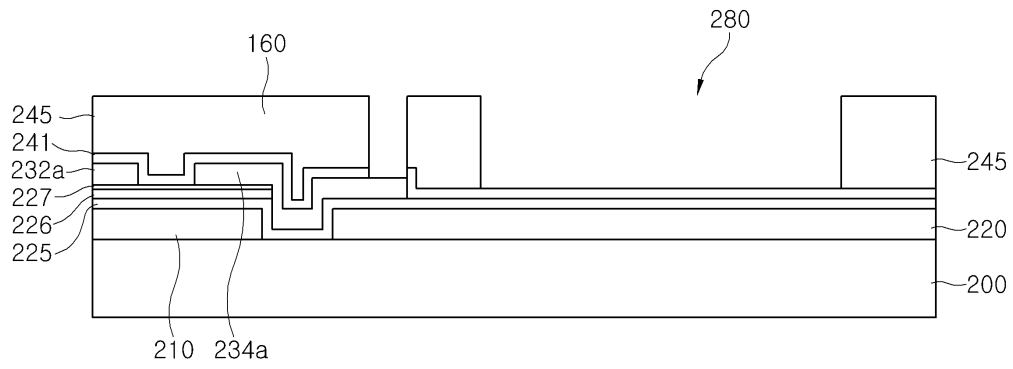
도면9a



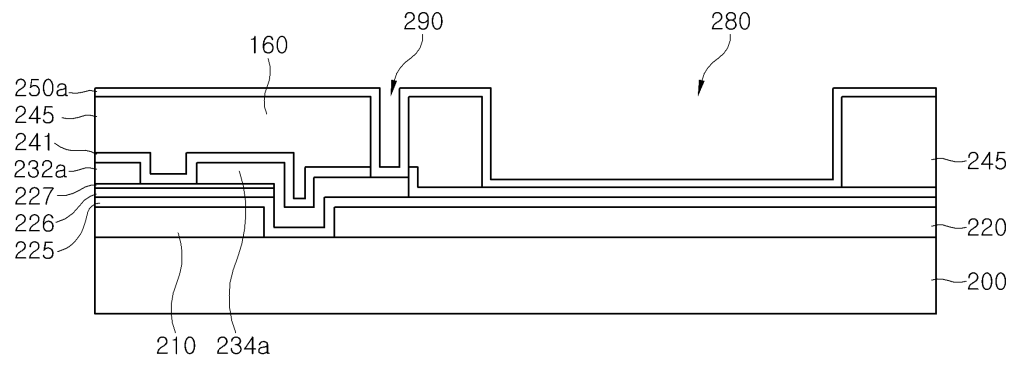
도면9b



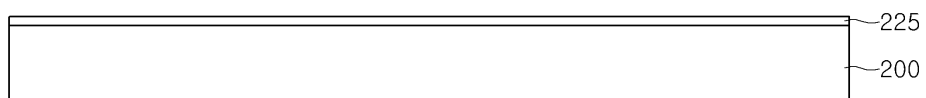
도면9c



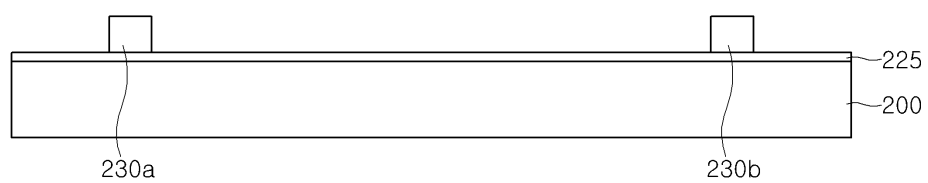
도면9d



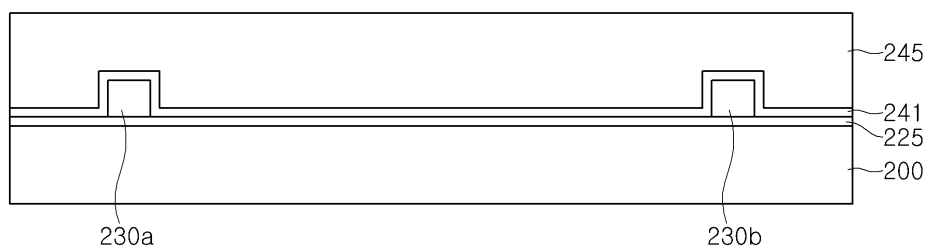
도면10a



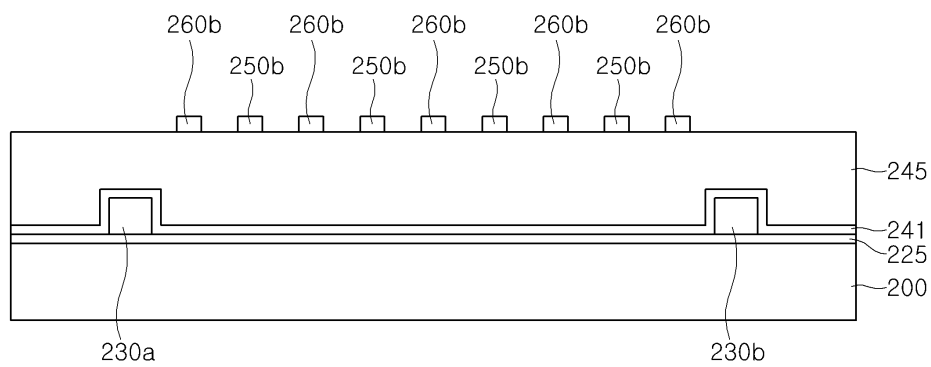
도면10b



도면10c



도면10d



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR101300819B1	公开(公告)日	2013-08-26
申请号	KR1020060122274	申请日	2006-12-05
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM DONG GYU 김동규		
发明人	김동규		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/136227 G02F1/133707 G02F1/1393 G02F2001/134345 G02F2001/136222		
其他公开文献	KR1020080051356A		
外部链接	Espacenet		

摘要(译)

液晶显示装置及其制造方法技术领域本发明涉及一种液晶显示装置及其制造方法，在使用阵列结构的滤色器的液晶显示装置中，在下基板上形成滤色器，可以防止由于去除像素电极之间或像素电极和公共电极之间的滤色器而产生的像素电极残留物引起的短路。

