



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월21일
(11) 등록번호 10-1298693
(24) 등록일자 2013년08월14일

(51) 국제특허분류(Int. Cl.)
G02F 1/1345 (2006.01) G02F 1/136 (2006.01)
(21) 출원번호 10-2006-0067499
(22) 출원일자 2006년07월19일
심사청구일자 2011년07월18일
(65) 공개번호 10-2008-0008068
(43) 공개일자 2008년01월23일
(56) 선행기술조사문헌
KR1020060023420 A*
KR1020060072785 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
박용한
경기도 안양시 동안구 부림로 113, I동 SPACE 2117호 (관양동)
윤영남
경기도 군포시 오금로 43, 347동 1201호 (금정동, 율곡아파트)
문지혜
서울 영등포구 신길3동 329-42
(74) 대리인
오세준, 권혁수, 송윤호

전체 청구항 수 : 총 16 항

심사관 : 유창훈

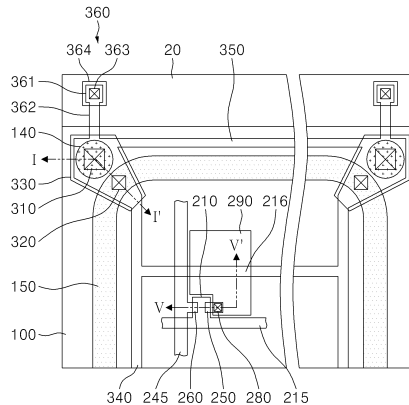
(54) 발명의 명칭 액정표시패널 및 이의 제조 방법

(57) 요약

본 발명은 도전성 도트가 형성되는 영역에서 금속 부식이 방지된 액정표시패널 및 이의 제조방법을 제공하는 데 있다.

이를 위하여 본 발명은, 상부 기판상에 형성된 공통 전극과, 상기 상부 기판과 대향하는 하부 기판상에 형성되어 공통전압이 공급되는 제1 전극과, 상기 상부 및 하부 기판 사이에 형성되어 공통전압을 상기 공통 전극으로 공급하는 도전성 도트와, 상기 제1 전극을 노출시키는 콘택홀을 갖는 절연막과, 상기 절연막에 상기 도전성 도트와 상기 제1 전극을 접속시키는 제2 전극을 구비하며, 상기 콘택홀의 표면적은 상기 도전성 도트의 단면적보다 작게 형성된 것을 특징으로 하는 액정표시패널과 이의 제조 방법을 제공한다.

대표도 - 도1



특허청구의 범위

청구항 1

상부 기관 위에 형성된 공통 전극과;

상기 상부 기관과 대향하는 하부 기관 위에 형성되어 공통전압이 공급되는 제1 전극과;

상기 상부 기관 및 상기 하부 기관 사이에 형성되어 공통전압을 상기 공통 전극으로 공급하는 도전성 도트와;

상기 도전성 도트와 이격되어 배치되고, 상기 상부 기관과 상기 하부 기관을 합착하는 합착제와;

각각이 상기 제1 전극을 노출시키고 상기 도전성 도트와 중첩하는 제1 콘택홀 및 상기 합착제와 중첩하는 제2 콘택홀을 갖는 절연막과;

상기 절연막 위에 배치되고, 상기 제1 콘택홀 및 상기 제2 콘택홀을 통해 상기 도전성 도트와 상기 제1 전극을 접속시키는 제2 전극을 구비하며,

상기 제1 콘택홀의 표면적은 상기 도전성 도트의 단면적보다 작고, 상기 제2 콘택홀을 표면적은 상기 합착제의 단면적보다 작은 것을 특징으로 하는 액정표시패널.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 공통 전극과 전계를 이루도록 상기 하부 기관 위에 형성되는 화소 전극과;

상기 화소 전극과 접속되는 박막 트랜지스터를 추가로 구비하는 것을 특징으로 하는 액정표시패널.

청구항 4

제 3 항에 있어서,

상기 제1 전극과 연결된 스토리지 전압 공급 라인; 및

상기 스토리지 전압 공급라인에서 분기되어 상기 화소전극과 중첩되게 형성되는 스토리지 전극을 더 구비하는 것을 특징으로 하는 액정표시패널.

청구항 5

제 4 항에 있어서,

상기 제1 전극은 상기 박막 트랜지스터의 게이트 전극과 동일한 금속 물질로 형성된 것을 특징으로 하는 액정표시패널.

청구항 6

제 5 항에 있어서,

상기 제1 전극은 이중층 이상으로 형성된 것을 특징으로 하는 액정표시패널.

청구항 7

제 4 항에 있어서,

상기 제1 전극은 상기 박막 트랜지스터의 소스 전극 및 드레인 전극과 동일한 금속으로 형성된 것을 특징으로 하는 액정표시패널.

청구항 8

제 3 항에 있어서,

상기 제2 전극은 상기 화소 전극과 동일한 금속으로 형성된 것을 특징으로 하는 액정표시패널.

청구항 9

제 1 항에 있어서,

상기 도전성 도트는 복수개로 형성되며, 상기 복수의 도전성 도트 사이를 연결하는 연결라인을 추가로 구비하는 것을 특징으로 하는 액정표시패널.

청구항 10

제 9 항에 있어서,

상기 도전성 도트는 금, 은 및 이들의 합금들 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 액정표시패널.

청구항 11

상부 기판 위에 형성된 공통 전극을 포함하는 컬러 필터 기판을 마련하는 단계와;

상기 상부 기판과 대향하고, 제1 전극과, 각각이 상기 제1 전극을 노출시키는 제1 콘택홀 및 제2 콘택홀을 갖는 절연막과, 상기 절연막 상에 배치되어 상기 제1 콘택홀 및 상기 제2 콘택홀을 통해 상기 제1 전극에 접속된 제2 전극과, 상기 공통 전극과 전계를 형성하는 화소전극과, 상기 화소전극과 연결된 박막 트랜지스터를 포함하는 하부 기판을 마련하는 단계와;

상기 공통 전극에 공통전압을 공급하기 위하여 상기 공통 전극과 상기 제2 전극 사이에 상기 제1 콘택홀 및 상기 제1 콘택홀 주변부와 중첩되어 형성되며 상기 공통 전극 및 상기 제2 전극 각각과 접속되는 도전성 도트를 형성하는 단계; 및

상기 제2 콘택홀 및 상기 제2 콘택홀 주변부에 중첩되며, 상기 도전성 도트와 이격되어 배치되도록 합착제를 상기 상부 기판과 상기 하부 기판 사이에 두고, 상기 상부 기판 및 상기 하부 기판을 합착하는 단계를 포함하는 액정표시패널의 제조방법.

청구항 12

삭제

청구항 13

제 11 항에 있어서,

상기 하부 기판을 마련하는 단계에서,

상기 제1 전극과 연결되며 스토리지 전압을 공급하는 스토리지 전압 공급라인; 및

상기 스토리지 라인에서 분기하여 상기 화소전극과 중첩되게 스토리지 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 14

제 13 항에 있어서,

상기 제1 전극은 상기 박막 트랜지스터의 게이트 전극과 동일한 금속으로 형성되는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 15

제 14 항에 있어서,

상기 제1 전극은 2중층 이상으로 형성되는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 16

제 11 항에 있어서,

상기 제1 전극은 상기 박막 트랜지스터의 소스 전극 및 데이터 전극이 형성될 때 동일한 금속으로 형성되는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 17

제 11 항에 있어서,

상기 도전성 도트를 복수개로 형성하고, 상기 복수의 도전성 도트를 연결하는 연결라인을 더 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 18

제 11 항에 있어서,

상기 도전성 도트는 금, 은 또는 이들의 합금들 중 적어도 어느 하나의 금속을 상기 하부 기판 위에 형성하는 것을 특징으로 하는 액정표시패널의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0023] 본 발명은 액정표시패널 및 이의 제조방법에 관한 것으로, 특히 도전성 도트 의 압흔으로 인한 금속 부식을 방지하는 액정표시패널 및 이의 제조방법에 관한 것이다.
- [0024] 현재 표시장치로 가장 많이 사용되고 있는 것은 CRT(Cathode Ray Tube)이다. 그러나, CRT는 경박단소화에 어려움이 있기 때문에 CRT의 대체수단으로 액정표시장치(Liquid Crystal Display, LCD), 플라즈마디스플레이패널(Plasma Display Panel, PDP), 유기발광다이오드(Organ회로 Light Emitting Diodes, OLED) 등과 같은 평판표시장치(Flat Panel Display, FPD)가 개발되어 사용되고 있다. 그 중 저소비전력과 고해상도를 가지며 대면적화가 가능한 액정표시장치가 최근에 가장 널리 사용되고 있는 추세이다.
- [0025] 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하는 장치이다. 이러한 액정표시장치는 액정을 사이에 두고 서로 대향하여 합착된 컬러 필터 기판 및 박막 트랜지스터 기판을 구비한다.
- [0026] 컬러 필터 기판은 상부 기판 상에 빔샘 방지를 위한 블랙매트릭스, 색구현을 위한 컬러 필터, 액정에 공통전압을 인가하기 위한 공통 전극을 포함한다.
- [0027] 박막 트랜지스터 기판은 하부 기판 상에 서로 교차되게 형성된 게이트 라인 및 데이터 라인과, 그들의 교차부에 형성된 박막 트랜지스터, 박막 트랜지스터와 접속된 화소 전극을 포함한다. 그리고, 박막 트랜지스터 기판과 컬러 필터 기판에 공통 전극에 공통전압을 공급하기 위한 도전성 도트가 형성된다. 박막 트랜지스터 기판에는 외부의 전원부로부터 공급되는 공통전압이 공급되는 공통전압공급패드와, 공통전압공급패드와 연결되어 도전성 도트와 접속되는 접속전극부가 형성된다.
- [0028] 접속전극부는 공통전압공급패드와 접속되며 절연막 하부에 형성된 제1 접속전극과, 절연막을 관통하는 콘택홀을 통해 제1 접속전극과 연결된 제2 접속전극을 구비하며 제2 접속전극 상부에 도전성 도트가 형성된다. 여기서, 제1 접속전극과 제2 접속전극의 콘택저항을 줄이기 위해 콘택홀은 도전성 도트의 단면적보다 크게 형성된다. 이때, 도전성 도트의 압력에 의해 제2 접속전극에 크랙이 발생하여, 발생된 크랙을 통해 제1 접속전극에 습기가 침투하여 제1 접속전극을 부식시키는 문제점이 발생된다. 특히, 제1 접속전극으로 알루미늄 또는 알루미늄 합금 등이 사용될 경우 부식이 심각하게 발생된다.

발명이 이루고자 하는 기술적 과제

- [0029] 따라서, 본 발명이 이루고자 하는 기술적 과제는 도전성 도트가 형성되는 영역에서 금속 부식이 방지된 액정표

시패널 및 이의 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

- [0030] 상기의 기술적 과제를 해결하기 위하여, 본 발명은 상부 기판 위에 형성된 공통 전극과, 상기 상부 기판과 대향하는 하부 기판 위에 형성되어 공통전압이 공급되는 제1 전극과, 상기 상부 및 하부 기판 사이에 형성되어 공통전압을 상기 공통 전극으로 공급하는 도전성 도트와, 상기 제1 전극을 노출시키는 콘택홀을 갖는 절연막과, 상기 절연막 위에 상기 도전성 도트와 상기 제1 전극을 접속시키는 제2 전극을 구비하며, 상기 콘택홀의 표면적은 상기 도전성 도트의 단면적보다 작게 형성된 것을 특징으로 하는 액정표시패널을 제공한다.
- [0031] 이때, 상기 제1 전극과 상기 제2 전극을 추가로 접속시키는 제2 콘택홀을 더 구비한다.
- [0032] 그리고 상기 공통 전극과 전계를 이루도록 상기 하부 기판 위에 형성되는 화소 전극과, 상기 화소 전극과 접속되는 박막 트랜지스터를 추가로 구비한다.
- [0033] 그리고, 상기 제1 전극과 연결된 스토리지 전압 공급 라인 및 상기 스토리지 전압 공급라인에서 분기되어 상기 화소전극과 중첩되게 형성되는 스토리지 전극을 더 구비한다.
- [0034] 여기서, 상기 제1 전극은 상기 박막 트랜지스터의 게이트 전극과 동일한 금속 물질로 형성된다.
- [0035] 그리고 상기 제1 전극은 이중층 이상으로 형성된다.
- [0036] 한편, 상기 제1 전극은 상기 박막 트랜지스터의 소스 전극 및 드레인 전극과 동일한 금속으로 형성될 수 있다.
- [0037] 그리고 상기 제2 전극은 상기 화소 전극과 동일한 금속으로 형성된다.
- [0038] 또한, 상기 도전성 도트는 복수개로 형성되며, 상기 복수의 도전성 도트 사이를 연결하는 연결라인을 추가로 구비한다.
- [0039] 여기서, 상기 도전성 도트는 금, 은 및 이들의 합금들 중 적어도 어느 하나를 사용한다.
- [0040] 그리고 상기의 기술적 과제를 해결하기 위하여, 본 발명은 상부 기판 위에 형성된 공통 전극을 포함하는 컬러 필터 기판을 마련하는 단계와, 상기 상부 기판과 대향하고, 제1 전극과, 상기 제1 전극을 노출시키는 콘택홀을 갖는 절연막과, 상기 절연막에 상기 제1 전극을 접속시키는 제2 전극과, 상기 공통 전극과 전계를 형성하는 화소전극과, 상기 화소전극과 연결된 박막 트랜지스터를 포함하는 하부 기판을 마련하는 단계와, 상기 공통 전극에 공통전압을 공급하기 위하여 상기 공통 전극과 상기 제2 전극 사이에 상기 콘택홀 및 상기 콘택홀 주변부와 중첩되어 형성되며 상기 공통 전극 및 상기 제2 전극 각각과 접속되는 도전성 도트를 형성하는 단계 및 상기 상부 기판 및 하부 기판을 합착하는 단계를 포함하는 액정표시패널의 제조 방법을 제공한다.
- [0041] 이때, 상기 절연막에 상기 제1 전극과 상기 제2 전극을 접속하는 제2 콘택홀을 형성하는 단계를 더 포함한다.
- [0042] 그리고 상기 하부 기판을 마련하는 단계에서, 상기 제1 전극과 연결되며 스토리지 전압을 공급하는 스토리지 전압 공급라인 및 상기 스토리지 라인에서 분기하여 상기 화소전극과 중첩되게 스토리지 전극을 형성하는 단계를 더 포함한다.
- [0043] 이때, 상기 제1 전극은 상기 박막 트랜지스터의 게이트 전극과 동일한 금속으로 형성된다.
- [0044] 그리고 상기 제1 전극은 2중층 이상으로 형성될 수 있다.
- [0045] 한편, 상기 제1 전극은 상기 박막 트랜지스터의 소스 전극 및 데이터 전극과 동일한 금속으로 형성된다.
- [0046] 한편, 상기 도전성 도트를 복수개로 형성하고, 상기 복수의 도전성 도트를 연결하는 연결라인을 형성하는 단계를 더 포함한다.
- [0047] 여기서 상기기 도전성 도트는 금, 은 또는 이들의 합금들 중 적어도 어느 하나의 금속을 상기 하부 기판 위에 형성한다.
- [0048] 상기 기술적 과제 외에 본 발명의 다른 기술적 과제 및 특징들은 첨부한 도면을 참조한 실시 예에 대한 설명을 통하여 명백히 드러나게 될 것이다.
- [0049] 이하, 도 1 내지 도 14를 참조하여 본 발명의 바람직한 실시 예를 상세히 설명하기로 한다.

- [0050] 도 1은 본 발명의 실시 예에 따른 액정표시패널을 도시한 평면도이고, 도 2는 도 1에 도시된 액정표시패널의 I-I'선 및 V-V' 선을 따라 절단한 단면을 도시한 단면도이다.
- [0051] 도 1 및 도 2에 도시된 액정표시패널은 액정을 사이에 두고 합착제(150)에 의해 합착된 박막 트랜지스터 기관(20) 및 컬러 필터 기관을 구비한다. 그리고, 본 발명의 실시 예에 따른 액정표시패널은 상부 기관(100) 상에 형성된 공통 전극(130)과, 상부 기관(100)과 대향하는 하부 기관(200) 상에 형성되어 공통전압(Vcom)이 공급되는 제1 전극(300)과, 상부 및 하부 기관(200) 사이에 형성되어 공통전압(Vcom)을 상기 공통 전극(130)으로 공급하는 도전성 도트(140)와, 제1 전극(300)을 노출시키는 제1 콘택홀(310)을 갖는 절연막(220, 270)과, 절연막(220, 270)에 도전성 도트(140)와 제1 전극(300)을 접속시키는 제2 전극(330)을 구비하며, 제1 콘택홀(310)의 표면적은 상기 도전성 도트(140)의 단면적보다 작게 형성된다.
- [0052] 구체적으로, 컬러 필터 기관(10)은 상부 기관(100) 상에 순차적으로 형성된 블랙매트릭스(110)와 컬러 필터(120) 및 공통 전극(130)을 구비한다. 블랙매트릭스(110)는 상부 기관(100) 상에 매트릭스 형태로 형성되어 상부 기관(100)의 영역을 컬러 필터(120)가 형성되어질 다수의 셀영역들로 나누고, 인접한 셀들간의 광 간섭 및 외부광 반사를 방지한다. 컬러 필터(120)는 블랙매트릭스(110)에 의해 구분된 셀영역에 적(R), 녹(G), 청(B)으로 구분되게 형성되어 적, 녹, 청색 광을 각각 투과시킨다. 공통 전극(130)은 컬러 필터(120) 위에 전면 도포된 투명 도전층으로 액정 구동시 기준이 되는 공통 전압(Vcom)을 도전성 도트(140)를 통해 공급한다. 이때, 공통 전극(130)과 컬러 필터(120) 사이에 컬러 필터(120)의 단차로 인하여 공통 전극(130)에 단차가 형성되는 것을 방지하여 공통 전극(130)을 평탄화시키는 오버코트(도시하지 않음)가 더 형성될 수 있다.
- [0053] 박막 트랜지스터 기관(20)은 게이트 라인(215) 및 데이터 라인(245)과 접속된 박막트랜지스터와, 박막 트랜지스터와 접속된 화소 전극(290)과, 외부의 전원부(도시하지 않음)로부터 공통전압(Vcom)을 공급하는 공통전압 공급라인(362)과, 공통전압 공급라인(362)과 연결된 제1 전극(300)과, 도전성 도트(140)를 통해 공통 전극(130)과 접속되며 제1 전극(300)과 중첩되어 형성된 제2 전극(330)과, 제1 및 제2 전극을 전기적으로 연결하며 절연막(220, 270)을 관통하여 형성된 콘택홀(310)을 구비한다. 특히, 제1 콘택홀(310)은 그 표면적이 도전성 도트(140)의 단면적보다 작게 형성된다.
- [0054] 박막 트랜지스터는 게이트 라인(215)으로부터의 게이트 신호에 응답하여 데이터 라인(245)으로부터의 데이터신호를 선택적으로 화소 전극(290)에 공급한다. 이를 위해, 박막 트랜지스터는 게이트 라인(215)과 접속된 게이트 전극(210), 데이터 라인(245)과 접속된 소스 전극(260), 화소 전극(290)과 접속된 드레인 전극(250), 게이트 전극(210)과 게이트 절연막(220)을 사이에 두고 중첩되면서 소스 전극(260)과 드레인 전극(250) 사이에 채널을 형성하는 활성층(230)과, 활성층(230)과 소스 전극(260) 및 드레인 전극(250)과의 오믹 접촉을 위한 오믹 콘택층(240)을 구비한다.
- [0055] 화소 전극(290)은 각 서브 화소 영역에서 화소 콘택홀(280)을 통해 노출된 박막 트랜지스터의 드레인 전극(250)과 접속된다. 이러한 화소 전극(290)은 박막 트랜지스터를 통해 비디오 신호가 공급되면 공통전압(Vcom)이 공급된 공통 전극(130)과 수직 전계를 발생시킨다. 이에 따라, 박막 트랜지스터 기관(20)과 컬러 필터 기관(10) 사이에 배향된 유전율 이방성을 갖는 액정 분자들을 구동시킨다. 그리고, 액정 분자들의 구동 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- [0056] 컬러 필터 기관(10)과 중첩되지 않는 박막 트랜지스터 기관(20) 영역에는 외부로부터 공통전압(Vcom)을 포함하는 전원신호와 제어신호 및 화상신호 등의 전기신호를 공급하는 복수의 금속패드들이 형성된다. 여기서, 금속패드들 중 공통전압(Vcom)을 공급하는 공통전압패드(360)가 제1 전극(300)과 연결된다. 공통전압패드(360)는 게이트 라인(215), 게이트 전극(210) 등의 게이트 금속과 동일한 금속물질 또는 데이터 라인(245), 소스 및 드레인 전극(250) 등의 데이터 금속과 동일한 금속으로 형성된 제1 공통패드전극(361)과, 제1 공통패드전극(361)에서 연장되어 제1 전극(300)과 연결되는 공통전압 공급라인(362)과, 게이트 절연막(220) 및 보호막(270)이 관통되어 형성된 패드콘택홀(310) 및 외부와 직접 접촉하며 패드콘택홀(363)을 통해 제1 공통패드전극(361)과 접속되는 제2 공통패드전극(364)을 구비한다. 이때, 제2 공통패드전극(364)은 화소 전극(290)과 동일한 금속으로 형성되는 것이 바람직하다.
- [0057] 제1 전극(300)은 도 1에 도시된 바와 같이, 공통전압 공급라인(362)을 통해 연결되며 박막 트랜지스터 기관(20)의 비표시영역에 적어도 하나가 형성된다. 제1 전극(300)은 게이트 라인(215), 게이트 전극(210) 등의 게이트 금속층과 동일한 금속으로 형성된다. 따라서, 제1 전극(300)은 게이트 라인(215), 게이트 전극(210) 등의 게이트 패턴이 형성될 때에 동시에 동일한 금속층으로 형성된다. 제1 전극(300)은 Cr, Al, Cu, Mo, Ag 또는 이

들의 합금을 포함할 수 있다.

- [0058] 한편, 도 3에 도시된 바와 같이 게이트 금속층은 신호전송시 신호지연 및 금속층 내부 저항에 의해 발생하는 전압강하를 줄이고, 하부 기판(200)과의 접촉특성 및 게이트 절연막(220)과의 접촉특성을 향상시키기 위하여 2중층 이상(210a, 210b, 216a, 216b)으로 형성될 수 있다. 이때, 제1 전극(300)은 게이트 금속층과 마찬가지로 2중층 이상(300a, 300b)으로 형성될 수 있다. 제1 콘택홀(310)은 게이트 절연막(220) 및 보호막(270)을 관통하여 제1 전극(300)을 외부로 노출시킨다. 이러한 제1 콘택홀(310)은 도전성 도트(140)가 형성될 영역에 대응되어 형성된다. 그리고 제1 콘택홀(310)은 제1 전극(300)과 제2 전극(330)을 전기적으로 접속시킨다. 이때, 제1 콘택홀(310)의 표면적은 도전성 도트(140)의 단면적보다 작게 형성된다. 이에 따라, 도전성 도트(140)가 제1 콘택홀(310)과 그 주변 영역을 덮도록 하여 외부로부터의 습기를 차단한다. 이에 따라, 도전성 도트(140)로 인해 제2 전극(330)이 손상되어도 제1 전극(300)으로 습기가 침투하지 않아 제1 전극(300)이 부식되는 것을 방지한다.
- [0059] 제2 전극(330)은 제1 콘택홀(310)을 경유하여 제1 전극(300)과 접속되며, 제1 전극(300)과 중첩되어 형성된다. 이러한 제2 전극(330)은 내습성이 강한 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등의 도전물질로 형성될 수 있다. 즉, 화소 전극(290)과 동일한 금속으로 형성되는 것이 바람직하다.
- [0060] 도전성 도트(140)는 실란트에 은(Ag) 또는 금(Au)의 도전 도트가 포함된다. 도전성 도트(140)는 박막 트랜지스터 기판(20)의 제2 전극(330)과 컬러 필터 기판(10)의 공통 전극(130) 사이에 형성되어 외부에서 인가되는 공통 전압(Vcom)을 상기 컬러 필터(10)의 공통 전극(130)으로 공급한다.
- [0061] 한편, 도 1에 도시된 바와 같이 제1 콘택홀(310)과 인접하여 제1 전극(300)과 제2 전극(330) 접촉면적을 증가시키기 위해 제2 콘택홀(320)을 추가로 형성한다. 즉, 제1 콘택홀(310)의 표면적이 줄어들면 접촉저항이 증가하여 공통전압(Vcom)이 공통 전극(130)에 공급될 때 전압강하가 발생하므로 제2 콘택홀(320)을 통해 제1 및 제2 전극(300, 330)의 접촉면적을 증가시켜 접촉저항을 줄임으로써 접촉저항으로 인한 전압강하가 발생하는 것을 방지한다.
- [0062] 공통전압(Vcom)은 액정표시패널의 스토리지 전극(216)에 공급되는 스토리지 전압(Vst)으로 사용되기도 한다. 이를 위해, 박막 트랜지스터 기판(20)은 제1 전극(300)과 연결된 스토리지 전압 공급라인(340)과 스토리지 전압 공급라인(340)에서 분기된 스토리지 전극(216)을 더 구비한다.
- [0063] 도 1 내지 도 3에 도시된 바와 같이, 스토리지 전압 공급라인(340)은 게이트 라인(215), 게이트 전극(210) 및 제1 전극(300)을 포함하는 게이트 금속과 동일한 금속으로 형성된다. 그리고 스토리지 전압 공급라인(340)은 데이터 라인(245)과 나란하게 형성되어 스토리지 전압(Vst)을 스토리지 전극(216)에 공급한다.
- [0064] 스토리지 전극(216)은 스토리지 전압 공급라인(340)으로부터 분기하여 게이트 라인(215)과 나란하게 형성된다. 스토리지 전극(216)은 화소 전극(290)과 중첩하여 스토리지 커패시터를 형성한다. 이러한 스토리지 전극(216)은 게이트 라인(215)과 나란하게 형성되거나 화소 전극(290)의 주변부를 따라 화소 전극(290)과 중첩되게 형성될 수도 있다.
- [0065] 한편, 본 발명의 실시 예에 따른 액정표시패널은 상술한 도전성 도트(140)가 복수개가 형성되기도 한다. 예를 들어, 공통 전극(130)에 공급되는 공통전압(Vcom)이 하나의 도전성 도트(140)에 의해 공급되면 공통 전극(130)과 도전성 도트(140)가 직접 접속된 일측 영역의 공통전압(Vcom)과 타측 영역의 공통전압(Vcom)은 미세한 전압차가 생길 수 있다. 즉, 공통 전극(130) 내의 내부저항에 의해 공통전압이 일측에서 타측으로 공급되는 동안 전압강하가 발생되기도 한다. 또한, 공통전압(Vcom)을 스토리지 전압으로 사용하는 경우에도 공통 전극(130)으로 공급되는 공통전압(Vcom)의 전압강하가 발생할 수 있다. 따라서, 공통 전극(130)에 공급된 공통전압(Vcom)의 전압이 공통 전극(130)의 전면에서 동일하도록 하기 위해 복수의 도전성 도트(140)를 형성한다.
- [0066] 도 1에 도시된 바와 같이, 박막 트랜지스터 기판(20)의 비표시영역의 코너부에 형성된 도전성 도트(140) 이외에 나머지 코너부에 적어도 하나의 도전성 도트(140)가 형성된다. 그리고, 도전성 도트(140)의 사이에 이들을 연결하는 연결라인(350)을 더 구비한다. 연결라인(350)은 제1 전극(300)들 사이에 제1 전극(300)과 동일한 금속물질로 형성된다.
- [0067] 다음은 도 4 내지 도 8을 참조하여 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 제조 방법을 마스크 공정별로 설명한다.
- [0068] 도 4a 및 도 4b는 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기판의 제조방법 중 제1 마스크 공정을 도시

한 단면도이다.

- [0069] 도 4a를 참조하면, 하부 기판(200) 상에 게이트 라인(215), 게이트 전극(210), 제1 전극(300), 공통전압 공급라인(362) 및 제1 공통패드전극(361)을 포함하는 게이트 패턴을 형성한다.
- [0070] 구체적으로, 스퍼터링 등의 방법으로 Cr, Al Mo, Ag, Cu 등의 금속 물질 또는 이들의 합금을 포함하는 게이트 금속층을 하부 기판(200)상에 증착한다. 그 후, 사진식각공정을 통해 게이트 라인(215), 게이트 전극(210), 제1 전극(300), 공통전압 공급라인(362) 및 제1 공통패드전극(361)을 포함하는 게이트 패턴을 형성한다. 이때, 제1 전극(300)과 연결된 스토리지 전압 공급라인(340) 및 스토리지 전압 공급라인(340)에서 분기된 스토리지 전극(216)를 추가로 형성하며, 복수의 도전성 도트가 형성될 경우 도전성 도트들과 접속된 제1 전극(300)들을 연결하는 연결라인(350)를 더 형성할 수 있다.
- [0071] 한편, 도 4b에 도시된 바와 같이 상기 게이트 패턴은 2중층(210a, 210b, 216a, 216b)으로 형성할 수 있다. 즉, 2가지 금속을 스퍼터링하여 하부 기판(200)에 2중 게이트 금속층을 증착한 후, 동일한 마스크를 이용한 사진식각공정을 통해 게이트 패턴을 형성함으로써 2중층으로 게이트 패턴을 형성한다.
- [0072] 도 5는 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제2 마스크 공정을 도시한 단면도이다.
- [0073] 도 5를 참조하면, 게이트 패턴 상부에 게이트 패턴을 덮는 게이트 절연막(220)을 형성한다. 게이트 절연막(220)으로는 SiNx 또는 SiOx 등의 무기 절연 물질이 이용된다. 다음으로, 게이트 절연막(220) 상부에 비정질 규소로 형성된 활성층(230) 및 불순물 도핑된 비정질 규소로 형성된 오믹 콘택층(240)을 포함하는 반도체 패턴(230, 240)을 형성한다. 반도체 패턴(230, 240)은 활성층(230)과 오믹 콘택층(240)이 순차적으로 적층되고 제2 마스크를 이용한 사진식각공정으로 패터닝한다.
- [0074] 도 6는 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제3 마스크 공정을 도시한 단면도이다.
- [0075] 도 6를 참조하면, 반도체 패턴이 형성된 게이트 절연막(220) 상부에 게이트 라인(215)과 교차하는 데이터 라인(245)과 데이터 라인(245)과 접속된 소스 전극(260) 및 소스 전극(260)과 마주하는 드레인 전극(250)을 포함하는 데이터 패턴을 형성한다. 이러한 데이터 패턴은 게이트 절연막(220), 반도체 패턴(230, 240) 위에 데이터 금속층을 증착한 후 제3 마스크를 이용한 사진식각공정으로 패터닝한다. 데이터 금속층은 Al, MO, Cu, Cr, Ti 금속 또는 이들의 합금을 포함할 수 있다.
- [0076] 다음으로, 소스 전극(260)과 드레인 전극(250) 사이로 노출된 오믹 콘택층(240)을 제거하여 활성층(230)을 노출한다.
- [0077] 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기판의 제조방법은 반도체 패턴(230, 240)과 데이터 패턴(245, 250, 260)을 서로 다른 마스크를 이용하여 형성하는 것을 도시하고 있으나, 개구부가 슬릿 처리된 슬릿 마스크(Slit Mask)나 각 영역별로 마스크의 두께가 다른 투톤 마스크(Two-Tone Mask) 등의 서로 동일한 마스크를 이용하여 반도체 패턴(230, 240) 및 데이터 패턴(245, 250, 260)을 형성할 수 있다.
- [0078] 도 7은 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제 4 마스크 공정을 도시한 단면도이다.
- [0079] 도 7을 참조하면, 하부 기판(200) 상에 데이터 패턴을 덮는 보호막(270)이 형성되고, 그 보호막(270)을 제4 마스크를 이용한 사진식각공정을 통해 패터닝 하여 제1 전극(300)의 일부를 노출시키는 제1 및 제2 콘택홀(310, 320)과 드레인 전극(250)을 노출시키는 화소 콘택홀(280)을 형성한다. 여기서, 제1 콘택홀(310)은 도전성 도트(140)가 형성될 영역에 형성되며, 그 표면적은 도전성 도트(140)의 단면적보다 작게 형성된다. 이러한 보호막(270)은 게이트 절연막(220)과 동일한 무기 절연물질을 이용하거나, 유기 절연 물질을 이용한다.
- [0080] 도 8는 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제5 마스크 공정을 도시한 단면도이다.
- [0081] 도 8을 참조하면, 하부 기판(200) 상에 화소 콘택홀(280)을 통해 드레인 전극(250)과 접속되는 화소 전극(290)과, 제1 및 제2 콘택홀(310, 320)을 통해 제1 전극(300)과 접속되는 제2 전극(330)을 포함하는 투명도전패턴을 보호막(270) 상부에 형성한다. 화소 전극(290) 및 제2 전극(330)은 ITO(Indium Tin Oxide), IO(Indium Oxide) 또는 IZO(Indium Zin Oxide) 등의 투명도전물질이 보호막(270) 위에 증착된 다음 제5 마스크 공정을 이용한 사

진식각공정을 통해 패터닝한다.

- [0082] 이렇게 형성된 박막 트랜지스터 기관(20)에 도전성 도트(140)를 형성하고, 공통 전극(130)이 형성된 컬러 필터 기관(10)을 합착제(150)을 통해 합착하여 액정표시패널을 제조한다. 이때, 도전성 도트(140)는 외부에서 공급되는 공통전압을 컬러 필터 기관(10)의 공통 전극(130)에 공급한다.
- [0083] 한편 제1 전극(300)은 소스 전극(260), 드레인 전극(250) 및 데이터 라인(245) 등의 데이터 금속과 동일한 물질로 형성될 수 있다.
- [0084] 도 9는 본 발명의 제2 실시 예에 따른 액정표시패널의 단면을 도시한 단면도이다.
- [0085] 도 9는 도 2와 대비하여 제1 전극(300)이 데이터 금속으로 형성된 것을 제외하고는 동일한 구성요소를 구비하므로 동일한 구성요소에 대한 중복된 설명은 생략하기로 한다.
- [0086] 도 9를 참조하면, 제1 전극(300)은 데이터 금속으로 형성된다. 이에 따라, 게이트 금속으로 형성된 공통전압 공급라인(362) 및 스토리지 전압 공급라인(340)과 제1 전극(300)을 접속하기 위해 별도의 콘택홀을 추가로 구비한다.
- [0087] 한편, 도전성 도트(140)가 복수로 형성되고 이들을 연결하는 연결라인(350)이 형성될 경우 제1 전극(300)과 연결라인(350)을 접속하는 콘택홀을 더 형성하여 이들을 전기적으로 접속할 수 있다. 또한, 연결라인(350)을 제1 전극(300)과 동일한 금속으로 형성할 수도 있다.
- [0088] 또는, 스토리지 전압 공급라인(340), 공통전압 공급라인(362) 및 연결라인(350)을 데이터 금속층으로 형성할 수도 있다.
- [0089] 도 10 내지 도 14는 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기관의 제조 방법을 마스크 공정별로 도시한 단면도들이다. 도 10 내지 도 14는 도 4 내지 도 8과 각각 대비하면 제1 전극(300)이 데이터 패턴으로 형성된 것을 제외하고는 동일한 공정으로 제조된다. 따라서, 중복되는 구성요소의 설명은 생략하기로 한다.
- [0090] 도 10은 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기관의 제조 방법 중 제1 마스크 공정을 도시한 단면도이다.
- [0091] 도 10을 참조하면, 하부 기관(200) 상에 게이트 라인(215), 게이트 전극(210), 공통전압 공급라인(362), 제1 공통패드전극(361), 스토리지 전압 공급라인(340) 및 스토리지 전극(216)을 포함하는 게이트 패턴을 형성한다.
- [0092] 구체적으로, 스퍼터링 등의 방법으로 Cr, Al Mo, Ag, Cu 등의 금속 물질 또는 이들의 합금을 포함하는 게이트 금속층을 하부 기관(200)상에 증착한다. 그 후, 사진식각공정을 통해 게이트 라인(215), 게이트 전극(210), 공통전압 공급라인(362), 제1 공통패드전극(361)을 스토리지 전압 공급라인(340) 및 분기된 스토리지 전극(216)을 포함하는 게이트 패턴을 형성한다. 이때, 복수의 도전성 도트(140)가 형성될 경우 도전성 도트(140)들과 접속된 제1 전극(300)들을 연결하는 연결라인(350)을 더 형성할 수 있다.
- [0093] 도 11은 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기관의 제조 방법 중 제2 마스크 공정을 도시한 단면도이다.
- [0094] 도 11을 참조하면, 게이트 패턴 상부에 게이트 패턴을 덮는 게이트 절연막(220)과, 게이트 절연막(220) 상부에 비정질 규소로 형성된 활성층(230) 및 불순물 도핑된 비정질 규소로 형성된 오믹 콘택층(240)을 순차적으로 적층한 후 제2 마스크를 이용하여 사진식각공정을 통해 패터닝하여 반도체 패턴(230, 240)을 형성한다.
- [0095] 도 12는 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기관의 제조 방법 중 제3 마스크 공정을 도시한 단면도이다.
- [0096] 도 12를 참조하면, 반도체 패턴(230, 240)이 형성된 게이트 절연막(220) 위에 게이트 라인(215)과 교차하는 데이터 라인(245), 데이터 라인(245)과 접속된 소스 전극(260), 소스 전극(260)과 마주하는 드레인 전극(250) 및 제1 전극(300)을 포함하는 데이터 패턴이 형성된다. 이때, 외부의 전원부와 접속되는 공통전압패드(360)의 제1 공통패드전극(361)은 게이트 금속층으로 형성되지 않고 데이터 금속층으로 형성되어 제1 전극(300)과 접속될 수 있다. 그리고 복수의 도전성 도트(140)가 형성되는 경우, 제1 전극(300)들을 연결하는 연결라인(350) 또한 데이터 금속층으로 형성될 수 있다. 이러한 데이터 패턴은 데이터 금속층을 증착한 후 데이터 금속층을 사진식각 공정으로 패터닝한다. 즉, 데이터 금속층은 Al, MO, Cu, Cr, Ti 금속 또는 이들의 합금을 포함할 수 있다. 다음으로, 소스 전극(260)과 드레인 전극(250) 사이로 노출된 오믹 콘택층(240)을 제거하여 활성층(230)을 노출시

킨다.

- [0097] 한편, 도 11 및 도 12에 도시된 게이트 절연막, 활성층, 불순물 도핑된 오믹 콘택층, 데이터 금속층을 연속 증착한 후 하나의 마스크를 이용한 사진식각공정을 통해 패터닝 되어 반도체 패턴과 데이터 패턴을 동시에 형성할 수 있다.
- [0098] 도 13은 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기관의 제조 방법 중 제 4 마스크 공정을 도시한 단면도이다.
- [0099] 도 13을 참조하면, 하부 기관(200) 상에 데이터 패턴을 덮는 보호막(270)을 형성하고, 그 보호막(270)을 패터닝 하여 제1 전극(300)의 일부를 노출시키는 제1 및 제2 콘택홀(310, 320)과, 드레인 전극(250)을 노출시키는 화소 콘택홀(280)과, 제1 전극(300)과 스토리지 전압 공급라인(340)을 연결하기 위해 제1 전극(300)의 일부를 노출하는 별도의 콘택홀을 형성한다. 여기서, 제1 콘택홀(310)은 도전성 도트(140)가 형성될 영역에 형성되며, 그 표면적은 도전성 도트(140)의 단면적보다 작게 형성된다. 이러한 보호막(270)은 게이트 절연막(220)과 동일한 무기 절연물질을 이용하거나, 유기 절연 물질을 이용한다.
- [0100] 도 14는 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기관의 제조 방법 중 제5 마스크 공정을 도시한 단면도이다.
- [0101] 도 14를 참조하면, 하부 기관(200) 상에 화소 콘택홀(280)을 통해 드레인 전극(250)과 접속되는 화소 전극(290)과, 제1 및 제2 콘택홀(310, 320)을 통해 제1 전극(300)과 접속되는 제2 전극(330)을 포함하는 투명도전패턴을 보호막(270) 상부에 형성한다. 화소 전극(290) 및 제2 전극(330)은 ITO(Indium Tin Oxide), IO(Indium Oxide), IZO(Indium Zinc Oxide) 등의 투명도전물질을 보호막(270) 위에 증착한 다음 사진식각공정을 통해 형성한다.

발명의 효과

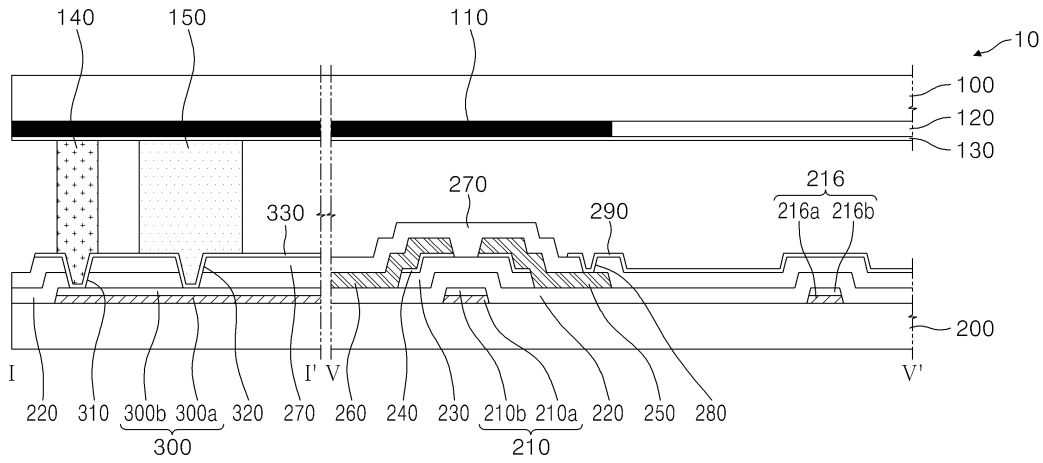
- [0102] 상술한 바와 같이, 본 발명에 따른 액정표시패널 및 이의 제조 방법은 컬러 필터 기관과 박막 트랜지스터 기관 사이에 형성되어 공통전압을 공급하는 도전성 도트가 형성되는 영역에서 도전성 도트와 연결되는 전극들 사이에 형성된 콘택홀의 표면적을 도전성 도트의 단면적보다 작게하여 도전성 도트가 콘택홀과 그 주변부를 덮도록 형성되어 추후 습기 침투에 의한 전극의 금속부식을 방지할 수 있다.
- [0103] 또한, 전극들 사이에 콘택저항을 감소하는 콘택홀을 추가로 형성하여 전극들간의 접촉저항이 증가하는 것을 방지할 수 있다.
- [0104] 이상에서 상술한 본 발명은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 여러 가지 치환, 변형 및 변경이 가능하다 할 것이다. 따라서 본 발명은 상술한 실시 예 및 첨부된 도면에 한정하지 않고 청구범위에 의해 그 권리가 정해져야 할 것이다.

도면의 간단한 설명

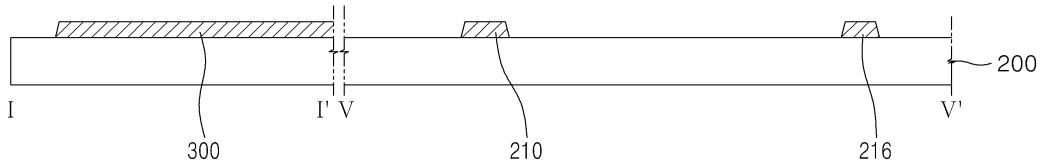
- [0001] 도 1은 본 발명의 실시 예에 따른 액정표시패널의 도시한 평면도이다.
- [0002] 도 2는 본 발명의 제1 실시 예에 따른 액정표시패널을 도시하기 위하여 도 1에 도시된 I-I' 선 및 V-V'선을 따라 절단한 단면을 각각 도시한 단면도들이다.
- [0003] 도 3은 도 2에 도시된 액정표시패널에서 게이트 패턴을 이중층으로 형성한 단면을 도시한 단면도이다.
- [0004] 도 4a 내지 도 8은 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기관의 제조방법을 마스크 공정별로 도시한 단면도들이다.
- [0005] 도 9는 본 발명의 제2 실시 예에 따른 액정표시패널의 단면을 도시한 단면도이다.
- [0006] 도 10 내지 도 14는 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기관의 제조방법을 마스크 공정별로 도시한 단면도들이다.
- [0007] <도면 부호의 간단한 설명>

[0008]	10: 컬러 필터 기판	20: 박막 트랜지스터 기판
[0009]	100: 상부 기판	110: 블랙매트릭스
[0010]	120: 컬러 필터	130: 공통 전극
[0011]	140: 도전성 도트	150: 합착체
[0012]	200: 하부 기판	210: 게이트 전극
[0013]	215: 게이트 라인	216: 스토리지 전극
[0014]	220: 게이트 절연막	230: 활성층
[0015]	240: 오믹 콘택층	245: 데이터 라인
[0016]	250: 드레인 전극	260: 소스 전극
[0017]	270: 보호막	280: 화소 콘택홀
[0018]	290: 화소 전극	300: 제1 전극
[0019]	310: 제1 콘택홀	320: 제2 콘택홀
[0020]	330: 제2 전극	340: 스토리지 전압 공급라인
[0021]	350: 연결라인	360: 공통전압패드
[0022]	362: 공통전압 공급라인	

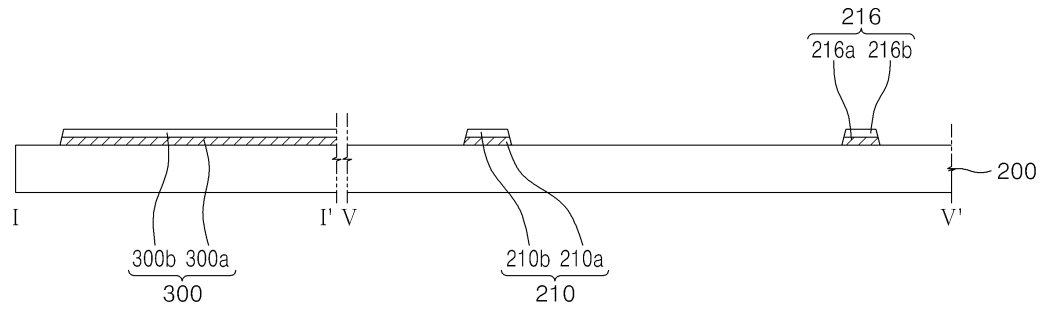
도면3



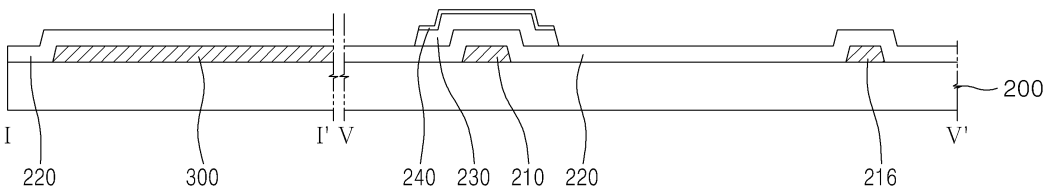
도면4a



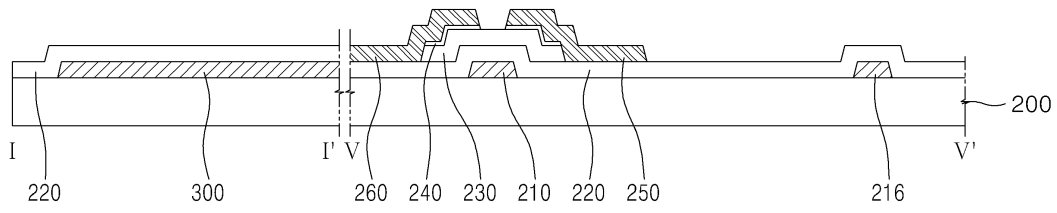
도면4b



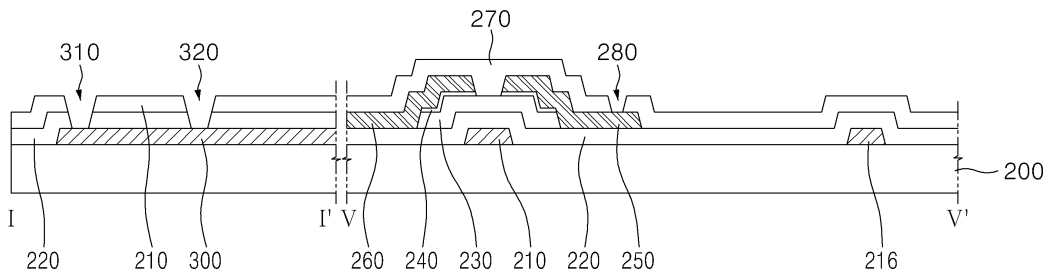
도면5



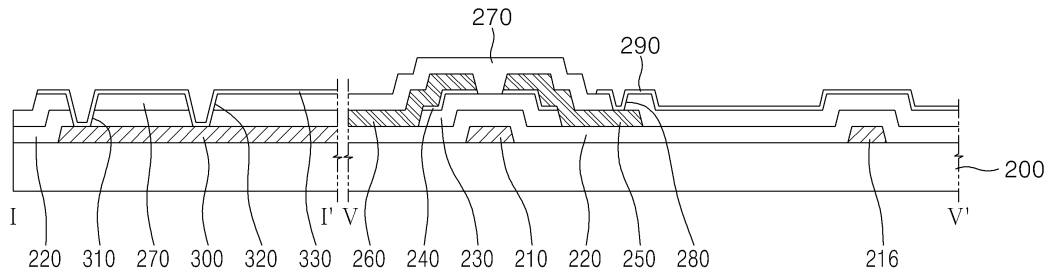
도면6



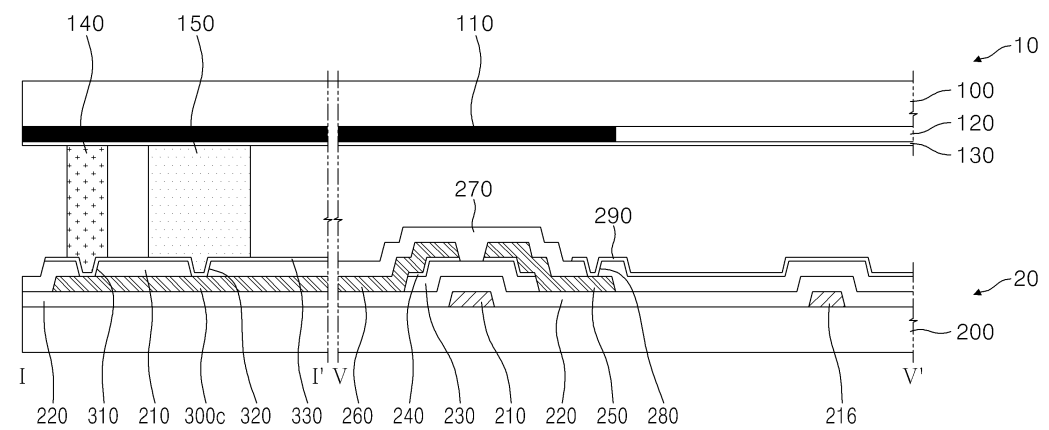
도면7



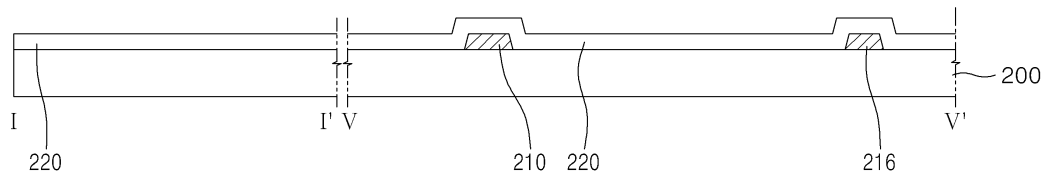
도면8



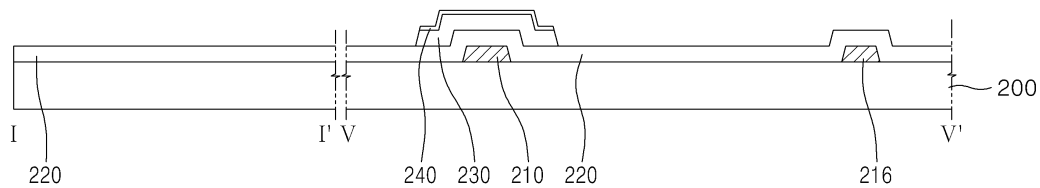
도면9



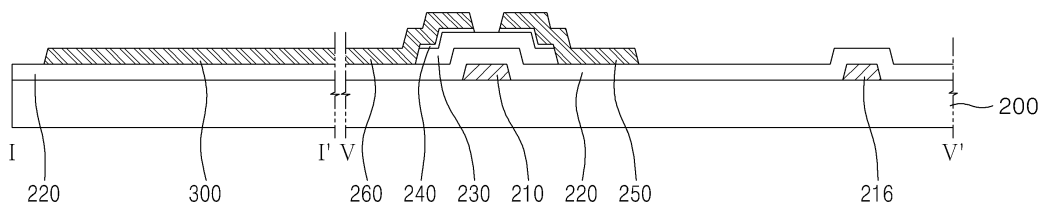
도면10



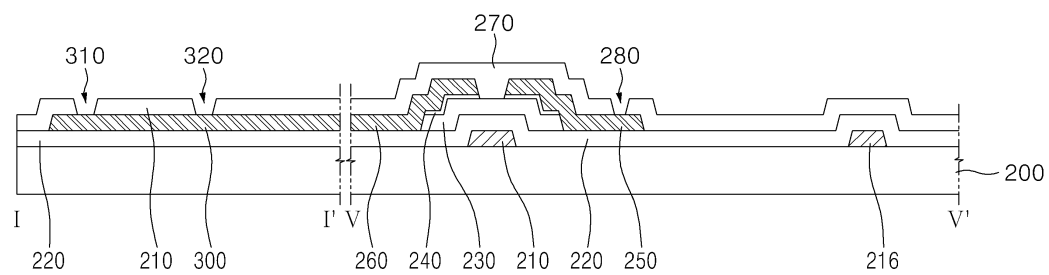
도면11



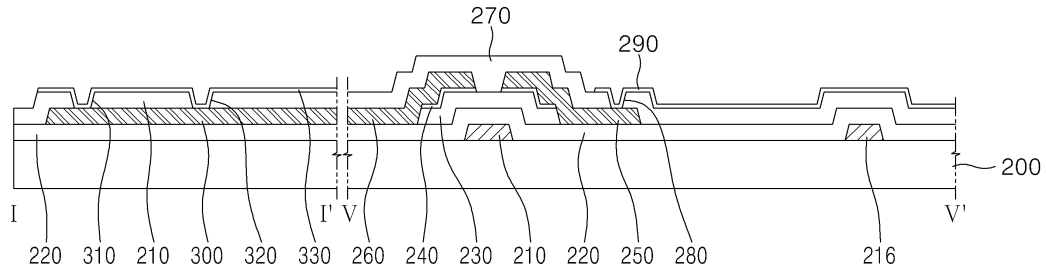
도면12



도면13



도면14



专利名称(译)	标题：液晶显示板和制造方法		
公开(公告)号	KR101298693B1	公开(公告)日	2013-08-21
申请号	KR1020060067499	申请日	2006-07-19
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK YONG HAN 박용한 YUN YOUNG NAM 윤영남 MOON JI HYE 문지혜		
发明人	박용한 윤영남 문지혜		
IPC分类号	G02F1/1345 G02F1/136 G02F		
CPC分类号	G02F1/13394 G02F1/133512 G02F1/1339 G02F1/1362 G02F1/1345 G02F2201/121		
代理人(译)	KWON, HYUK SOO SE JUN OH 宋, 云何		
其他公开文献	KR1020080008068A		
外部链接	Espacenet		

摘要(译)

在本发明的形成导电点的区域中，与LCD面板及其制造方法一起包括防止金属腐蚀。为此，本发明提供了第一电极，其形成在面对上板的下板上，面对形成在上板上的公共电极，其中提供公共电压，上部和绝缘层具有导电点，其向公共电极提供公共电压，它形成在下板和暴露第一电极的接触孔之间，接触孔的表面区域，连接导电点和第一电极的第二电极与绝缘包括形成成为小于导电点的横截面的层及其制造方法。

