



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월28일  
(11) 등록번호 10-0807582  
(24) 등록일자 2008년02월20일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2001-0045896

(22) 출원일자 2001년07월30일

심사청구일자 2006년07월31일

(65) 공개번호 10-2003-0012052

(43) 공개일자 2003년02월12일

(56) 선행기술조사문헌

KR1020010058192 A

KR1020000002539 A

KR1020000041016 A

KR1020010038385 A

전체 청구항 수 : 총 12 항

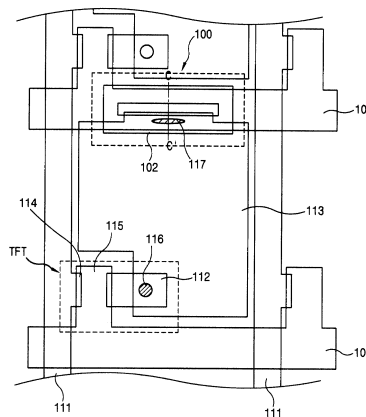
심사관 : 이동윤

(54) 스토리지 커패시터 및 이를 구비한 액정 표시장치

(57) 요약

본 발명은 스토리지 커패시터 및 이를 구비한 액정표시장치에 관한 것으로, 본 발명은 하부전극과 절연막을 사이에 두고 오버-랩되는 상부전극의 오버-랩 면적을 종래의 일반적인 경우와 동일하게 형성하여 스토리지 커패시터의 용량이 증가되는 것을 방지함으로써, 하부전극에 인가되는 주사신호가 지연되지 않도록 하면서도, 상기 상부전극의 오버-랩되는 면적이 하부전극의 상단 및 하단 경계영역 상에서 하부전극의 길이방향을 따라 최대한 확장되도록 함으로써, 하부전극의 상단 및 하단 경계영역에서 발생하는 직류전계가 그 상부전극에 의해 대부분 차단되도록 하여 하부전극의 상단 및 하단의 액정층이 직류전계에 영향을 받지 않도록 하므로써, 액정의 특성불량을 방지할 수 있으며, 액정의 비정상적인 구동에 따른 잔상 발생을 방지할 수 있는 효과가 있는 것이다.

대표도 - 도6



## 특허청구의 범위

### 청구항 1

기관상에 수평방향으로 형성된 하부전극과;

상기 하부전극상에 형성된 절연막과;

상기 하부전극의 일정한 영역과 상기 절연막을 사이에 두고 오버-랩되며, 상기 하부전극상단 및 하단 가장자리 상에서 오버랩되는 영역이 상기 하부전극중앙에서 오버랩되는 영역보다 넓은 면적을 갖으며 상단 및 하단이 하부전극의 상단 및 하단 외부로 연장되어 상기 하부전극의 상단 및 하단을 덮고 있는 상부전극;을 포함하여 구성되는 것을 특징으로하는 액정표시장치의 스토리지 커패시터.

### 청구항 2

제 1 항에 있어서, 상기 스토리지 커패시터의 하부전극은 박막 트랜지스터를 구성하는 게이트 전극을 포함하는 게이트 라인과 동일막으로 구성된 것을 특징으로 하는 액정 표시장치의 스토리지 커패시터.

### 청구항 3

제 1 항에 있어서, 상기 절연막은 박막 트랜지스터를 구성하는 게이트절연막과 동일막으로 구성된 것을 특징으로 하는 액정 표시장치의 스토리지 커패시터.

### 청구항 4

제 1 항에 있어서, 상기 스토리지 커패시터의 상부전극은 박막 트랜지스터 를 구성하는 소스 및 드레인 전극과 동일막으로 구성된 것을 특징으로 하는 액정 표시장치의 스토리지 커패시터.

### 청구항 5

제 1 항에 있어서, 상기 스토리지 커패시터의 상부전극은 상기 상부전극상에 형성되는 보호막내에 형성된 콘택홀을 통해 화소전극과 접속되는 것을 특징으로 하는 액정 표시장치의 스토리지 커패시터.

### 청구항 6

삭제

### 청구항 7

제 1 항에 있어서, 상기 스토리지 커패시터의 상부전극은 상기 하부전극의 상단 및 하단 가장자리 상에서 하부전극의 길이 방향으로 확장될 수 있도록 사각 띠 형태로 형성된 것을 특징으로 하는 액정 표시장치의 스토리지 커패시터.

### 청구항 8

제 1 항에 있어서, 상기 스토리지 커패시터의 상부전극은 상기 하부전극의 중심부에서 오버-랩되는 영역이 그 하부전극의 상단 및 하단 가장자리 상에서 오버-랩되는 영역에 비해 좁게 제거되어, 상기 상부전극이 하부전극의 길이 방향으로 최대한 확장되어 오버-랩될 수 있도록 하는 '工' 형태로 형성된 것을 특징으로 하는 액정 표시장치의 스토리지 커패시터.

### 청구항 9

제 7 항 또는 제 8 항에 있어서, 상기 사각 띠 또는 '工' 형태인 상부전극의 가로방향 오버-랩 영역은 상기 하부전극의 상단 및 하단 외부로 소정거리만큼 돌출되도록 제거된 것을 특징으로 하는 액정 표시장치의 스토리지 커패시터.

### 청구항 10

기관상에 수평방향으로 형성된 게이트라인과 게이트전극 및 하부전극;

상기 기관상에 형성된 절연막과;

상기 절연막상에 형성되고 상기 게이트라인과 교차되게 형성된 데이터라인과;

상기 데이터라인에서 분기된 소스전극과 이 소스전극과 이격되게 배치된 드레인전극과;

상기 하부전극의 일정한 영역과 상기 절연막을 사이에 두고 오버-랩되어 상단 및 하단이 하부전극의 상단 및 하단 외부로 연장되어 상기 하부전극이 상단 및 하단을 덮으며, 상기 하부전극상단 및 하단 가장자리상에서 오버-랩되는 영역이 상기 하부전극중앙에서 오버-랩되는 영역보다 넓은 면적을 갖는 상부전극과;

상기 기판전체에 형성되고, 상기 드레인전극과 상부전극을 노출시키는 드레인콘택홀과 스토리지콘택홀을 구비한 보호막과;

상기 보호막상에 형성되고 상기 드레인콘택홀과 스토리지콘택홀을 통해 상기 드레인전극과 상부전극에 접속되는 화소전극;을 포함하여 구성되는 것을 특징으로하는 스토리지 커패시터를 구비한 액정표시장치.

#### 청구항 11

제 10 항에 있어서, 상기 스토리지 커패시터의 상부전극은 상기 하부전극의 상단 및 하단 가장자리 상에서 하부전극의 길이 방향으로 확장될 수 있도록 사각 띠 형태로 형성된 것을 특징으로 하는 스토리지 커패시터를 구비한 액정표시장치.

#### 청구항 12

제 10 항에 있어서, 상기 스토리지 커패시터의 상부전극은 상기 하부전극의 중심부에서 오버-랩되는 영역이 그 하부전극의 상단 및 하단 가장자리 상에서 오버-랩되는 영역에 비해 좁게 제거되어, 상기 상부전극이 하부전극의 길이 방향으로 최대한 확장되어 오버-랩될 수 있도록 하는 '工' 형태로 형성된 것을 특징으로 하는 스토리지 커패시터를 구비한 액정표시장치.

#### 청구항 13

제 11 항 또는 제 12 항에 있어서, 상기 사각 띠 또는 '工' 형태인 상부전극의 가로방향 오버-랩 영역은 상기 하부전극의 상단 및 하단 외부로 소정거리만큼 돌출되도록 제거된 것을 특징으로 하는 스토리지 커패시터를 구비한 액정표시장치.

### 명 세 서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- <22> 본 발명은 액정 표시장치의 스토리지 커패시터에 관한 것으로, 특히 게이트 라인에 인가되는 주사신호의 직류 전계(DC field)에 의한 액정의 특성 저하 및 구동 불량을 방지하기에 적당하도록 한 액정 표시장치의 스토리지 커패시터 및 이를 구비한 액정표시장치에 관한 것이다.
- <23> 일반적으로, 액정 표시장치는 매트릭스 형태로 배열된 액정 셀들에 데이터신호를 개별적으로 공급하여, 그 액정 셀들의 광투과율을 조절함으로써, 데이터신호에 해당하는 화상이 표시되는 표시장치이다.
- <24> 따라서, 액정 표시장치는 화소 단위를 이루는 액정 셀들이 액티브 매트릭스 형태로 배열되는 액정 패널과; 상기 액정 셀들을 구동하기 위한 드라이버 집적회로(integrated circuit : IC)가 구비된다.
- <25> 이때, 액정 패널은 상부 및 하부기판이 마주보는 각 내측의 한쪽 면에는 공통전극이 형성되고, 다른쪽 면에는 화소전극이 형성되어 서로 대향하도록 배열되며, 그 공통전극과 화소전극을 통해 상부 및 하부기판의 이격 간격에 주입 형성된 액정층에 전계를 인가한다. 이와같은 화소전극은 하부기판 상에 액정 셀 별로 형성되는 반면에 공통전극은 상부기판의 전면에 일체화되어 형성된다.
- <26> 또한, 상기 액정 패널의 하부기판 상에는 데이터 드라이버 집적회로로부터 공급되는 데이터 신호를 액정 셀들에 전송하기 위한 다수의 데이터 라인들과, 게이트 드라이버 집적회로로부터 공급되는 주사신호를 액정 셀들에 전송하기 위한 다수의 게이트 라인들이 서로 직교하는 방향으로 형성되며, 이들 데이터 라인들과 게이트 라인들의

교차부마다 액정 셀들이 정의된다.

- <27> 이때, 상기 게이트 드라이버 집적회로는 다수의 게이트라인에 순차적으로 주사신호를 공급함으로써, 매트릭스 형태로 배열된 액정 셀들이 1개 라인씩 순차적으로 선택되도록 하고, 그 선택된 1개 라인의 액정 셀들에는 데이터 드라이버 집적회로부터 데이터 신호가 공급된다.
- <28> 또한, 각각의 액정 셀에는 스위치 소자로 사용되는 박막 트랜지스터가 형성되며, 상기의 게이트 라인을 통하여 박막 트랜지스터의 게이트 전극에 주사신호가 공급된 액정 셀들에서는 그 박막 트랜지스터의 소스/드레인 전극 사이에 도전채널이 형성되는데, 이때 상기 데이터 라인을 통해 박막 트랜지스터의 소스 전극에 공급된 데이터 신호가 박막 트랜지스터의 드레인 전극을 경유하여 화소전극에 공급됨에 따라 해당 액정 셀의 광투과율이 조절된다.
- <29> 도1은 액정 표시장치의 일반적인 액정 셀에 대한 평면도로서, 이에 도시한 바와같이 데이터 라인(2)과 게이트 라인(4)의 교차부에 형성되는 액정 셀은 박막 트랜지스터(TFT)와; 그 박막 트랜지스터(TFT)의 드레인 전극(12)에 접속된 화소전극(14)을 구비한다. 상기 박막 트랜지스터(TFT)의 소스 전극(8)은 데이터 라인(2)에 접속되고, 게이트 전극(10)은 게이트 라인(4)에 접속된다.
- <30> 그리고, 박막 트랜지스터(TFT)의 드레인 전극(12)은 드레인 콘택홀(16)을 통하여 화소전극(14)에 접속되며, 박막 트랜지스터(TFT)는 게이트 라인(4)을 통해 게이트 전극(10)에 공급되는 주사신호에 의해 소스 전극(8)과 드레인 전극(12) 사이에 도전 채널을 형성하기 위한 액티브층(도면상에 도시되지 않음)을 구비한다.
- <31> 이와같이 박막 트랜지스터(TFT)가 게이트 라인(4)으로부터 공급되는 주사 신호에 응답하여 소스 전극(8) 및 드레인 전극(12) 사이에 도전 채널을 형성함에 따라 데이터 라인(2)을 통해 소스 전극(8)으로 공급된 데이터 신호가 드레인 전극(12)에 전송되도록 한다.
- <32> 한편, 상기 드레인 콘택홀(16)을 통해 드레인 전극(12)에 접속된 화소전극(14)은 액정 셀마다 액정이 위치하는 영역에 넓게 형성되며, 광투과율이 높은 투명 ITO(indium tin oxide) 물질로 형성된다.
- <33> 이때, 상기 화소전극(14)은 드레인 전극(12)으로부터 공급되는 데이터 신호에 의해 상부기관에 형성되는 공통 투명전극(도면상에 도시되지 않음)과 함께 액정층에 전계를 발생시킨다.
- <34> 이와같이 액정층에 전계가 인가되면, 액정은 유전 이방성에 의해 회전하여 백라이트(back light)로부터 발광되는 빛을 화소전극(14)을 통해 상부기관 쪽으로 투과시키며, 그 투과되는 빛의 양은 데이터 신호의 전압값에 의해 조절된다.
- <35> 한편, 스토리지 콘택홀(22)을 통해 화소전극(14)에 접속된 스토리지 전극(20)은 게이트 라인(4) 상에 증착되어 스토리지 커패시터(18)를 형성하며, 스토리지 전극(20)과 그 게이트 라인(4) 사이에는 상기 박막 트랜지스터(TFT)의 형성과정에서 증착되는 게이트 절연막(도면상에 도시되지 않음)이 삽입되어 서로 이격된다.
- <36> 상기한 바와같은 스토리지 커패시터(18)는 이전단 게이트 라인(4)에 주사신호가 인가되는 기간동안 주사신호의 전압값을 충전시킨 후, 다음단 게이트 라인(4)에 주사신호가 인가되어 화소전극(14)에 데이터 신호의 전압값이 공급되는 기간동안 충전된 전압을 방전시킴으로써, 화소전극(14)의 전압변동을 최소화하는 역할을 한다.
- <37> 한편, 상기한 바와같은 평면 구조를 갖는 액정 표시장치의 제조에 따른 수순단면은 도2a 내지 도2g에 도시한 바와같다.
- <38> 도2a 내지 도2g는 도1에 도시한 A-A'선을 따라 절단한 액정 표시장치 제조과정의 수순단면도로서, 박막 트랜지스터(TFT) 영역의 단면을 도시하였다.
- <39> 먼저, 도2a에 도시한 바와같이 하부기관(1) 상에 금속물질(Mo, Al 또는 Cr 등)을 스퍼터링 증착한 다음 사진식각을 통해 패터닝하여 게이트 전극(10)을 형성한다.
- <40> 그리고, 도2b에 도시한 바와같이 상기 게이트 전극(10)이 형성된 하부기관(1) 상에는 SiNx 등의 절연물질을 전면 증착하여 게이트 절연막(30)을 형성한다.
- <41> 그리고, 도2c에 도시한 바와같이 상기 게이트 절연막(30) 상에는 비정질 실리콘(amorphous silicon)으로 이루어진 반도체층(32)과, 인(P)이 고농도로 도핑된 n+ 비정질 실리콘으로 이루어진 오믹접촉층(Ohmic contact layer, 34)을 연속 증착한 다음 패터닝하여 박막 트랜지스터(TFT)의 액티브층(36)을 형성한다.
- <42> 그리고, 도2d에 도시한 바와같이 상기 게이트 절연막(30)과 오믹접촉층(34) 상에 금속물질을 증착한 다음 패터

닝하여 박막 트랜지스터(TFT)의 소스 전극(8) 및 드레인 전극(12)을 형성한다. 이때, 소스 전극(8) 및 드레인 전극(12) 사이에 노출된 오믹접촉층(34)은 식각을 통해 제거한다.

<43> 그리고, 도2e에 도시한 바와같이 상기 노출된 반도체층(32)을 포함하여 소스 전극(8) 및 드레인 전극(12) 등이 형성된 게이트 절연막(30) 상에 화학 기상 증착(chemical vapor deposition : CVD) 방식을 통해 보호막(passivation layer, 38)을 전면 증착한다. 이때, 보호막(38)의 재료로는 주로 SiNx 등의 무기물질이 적용되었으며, 최근들어 액정 셀의 개구율을 향상시키기 위하여 유전율이 낮은 BCB(benzocyclobutene), SOG(spin on glass) 또는 Acryl 등의 유기물질이 사용되고 있다.

<44> 그리고, 도2f에 도시한 바와같이 상기 드레인 전극(12) 상의 보호막(38) 일부를 식각을 통해 제거하여 드레인 전극(12)의 일부가 노출되는 드레인 콘택홀(16)을 형성한다.

<45> 그리고, 도2g에 도시한 바와같이 상기 보호막(38) 상에 투명 전극물질을 스퍼터링 증착한 다음 패터닝하여 화소 전극(14)을 형성하며, 그 화소전극(14)이 상기 드레인 콘택홀(16)을 통해 드레인 전극(12)에 접속되도록 형성한다.

<46> 한편, 본 발명에 따른 액정표시장치의 스토리지 캐패시터 제조공정에 대해 도 3a 내지 도 3d를 참조하여 설명하면 다음과 같다.

도3a 내지 도3d는 도1에 도시한 B-B'선을 따라 절단한 액정 표시장치 제조과정의 수순단면도로서, 스토리지 커패시터(18) 영역의 단면을 도시한 것이다.

<47> 먼저, 도3a에 도시한 바와같이, 하부기판(1) 상에 게이트 라인(4)을 패터닝하고, 그 상부에 게이트 절연막(30)을 형성한다. 이때, 게이트 라인(4)은 박막 트랜지스터(TFT)의 게이트 전극(10)이 형성될 때, 동시에 패터닝되어 후술할 스토리지 전극(20)과 중첩되는 게이트 라인(4)의 일부영역이 스토리지 커패시터(18)의 하부전극이 된다.

<48> 그리고, 도3b에 도시한 바와같이, 상기 게이트 절연막(30)의 상부에 스토리지 전극(20)을 패터닝한다. 이때, 스토리지 전극(20)은 게이트 절연막(30)을 사이에 두고 상부 게이트 라인(4)의 일부영역과 오버-랩(overlap)되도록 상기 박막 트랜지스터(TFT)의 소스 및 드레인 전극(8,12)이 형성될 때, 동시에 패터닝되어 스토리지 커패시터(18)의 상부전극이 된다.

<49> 그리고, 도3c에 도시한 바와같이, 상기 스토리지 전극(20)이 형성된 게이트 절연막(30) 상부에 보호막(38)을 형성한 다음 스토리지 전극(20) 상부에 형성된 보호막(38)의 일부를 식각하여 스토리지 콘택홀(22)을 형성함으로써, 그 스토리지 콘택홀(22)을 통해 스토리지 전극(20)의 일부가 노출되도록 한다. 이때, 보호막(38)은 상기 박막 트랜지스터(TFT) 영역의 보호막(38)과 동시에 형성되고, 스토리지 콘택홀(22)은 상기 박막 트랜지스터(TFT)의 드레인 콘택홀(16)을 형성할 때, 동시에 형성된다.

<50> 그리고, 도3d에 도시한 바와같이, 상기 보호막(38) 상에 화소전극(14)을 패터닝하며, 그 화소전극(14)이 상기 스토리지 콘택홀(22)을 통해 스토리지 전극(20)에 접속된다. 이때, 화소전극(14)은 상기 박막 트랜지스터(TFT) 영역에 형성되는 화소전극(14)을 패터닝할 때, 동시에 형성된다.

<51> 상기한 바와 같은 데이터 라인(2) 및 화소전극(14)에는 단위 액정 셀의 구동을 위하여 일반적으로 교류전압이 인가되지만, 게이트 라인(4)의 경우에는 해당 단위 액정 셀이 구동되지 않을 경우에 저전위의 직류전압이 고정적으로 인가되며, 해당 단위 액정 셀의 구동을 위하여 고전위 펄스가 순간적으로 인가된다.

<52> 이와같이 게이트 라인(4)에 지속적으로 인가되는 직류전압은 그 게이트 라인(4)의 상단에 형성된 단위 액정 셀 영역의 액정 특성을 열화시킵고 아울러 액정 구동에 영향을 끼치게 되어 잔상이 발생된다.

<53> 즉, 도4에 도시한 바와같이, 액정 표시장치의 하판(51)과 상판(52)사이에 액정층(53)이 형성되는데, 하판(51)상에 패터닝되는 게이트 라인(54)에 직류전압이 인가되면, 그 게이트 라인(54)의 상부에 형성된 액정층(53)이 직류전계에 영향을 받게 되어 액정의 특성이 열화됨과 아울러 액정의 구동에 영향을 끼침에 따라 잔상이 발생된다.

<54> 따라서, 도5에 도시한 바와같이, 하판(51) 상에 패터닝되는 게이트 라인(54) 상에 스토리지 커패시터의 상부전극인 스토리지 전극(55)을 형성시키면, 그 게이트 라인(54)과 스토리지 전극(55) 사이에 대부분의 전기장이 모이게 되어, 액정층(53)에 인가되는 직류전압의 세기가 미세해지므로, 액정층(53)이 직류전계에 영향을 받는 문제들을 해결할 수 있지만, 이와같이 스토리지 전극(55)이 게이트 라인(54) 상에 완전히 오버-랩되도록 하기 위



해서는 스토리지 전극(55)의 면적 증가가 불가피해진다.

- <55> 이와같이 스토리지 커패시터의 상부전극인 스토리지 전극(55)과 하부전극인 게이트 라인(54)의 오버-랩되는 면적이 증가하면, 스토리지 커패시터의 용량이 증가되는 결과를 초래하므로, 풍부한 충전용량을 확보하여 액정 표시장치의 화상을 안정화할 수 있는 반면에, 게이트 라인(54)에 인가되는 주사신호가 지연되는 문제를 발생시키게 된다.

### 발명이 이루고자 하는 기술적 과제

- <56> 따라서, 본 발명은 상기한 바와 같은 종래기술의 제반 문제점을 해결하기 위하여 창안한 것으로서, 본 발명의 목적은 게이트 라인에 인가되는 주사신호의 직류 전계에 의한 액정의 특성 저하 및 구동 불량을 방지할 수 있는 액정 표시장치의 스토리지 커패시터 및 이를 구비한 액정표시장치를 제공함에 있다.

### 발명의 구성 및 작용

- <57> 상기한 바와 같은 본 발명의 목적을 달성하기 위한 액정 표시장치의 스토리지 커패시터는, 수평방향으로 패터닝된 하부전극과; 상기 하부전극의 일정한 영역과 절연막을 사이에 두고 오버-랩되는 상부전극과; 상기 하부전극, 절연막 및 상부전극의 적층구조로 정의되는 액정 표시장치의 스토리지 커패시터에 있어서, 상기 하부전극의 상단 및 하단 가장자리 상에서 오버-랩되는 상부전극의 영역이, 그 하부전극의 중앙에서 오버-랩되는 상부전극의 영역에 비해 넓은 면적을 갖도록 패터닝된 것을 특징으로 한다.

- <58> 이때, 상기 스토리지 커패시터의 하부전극은 박막 트랜지스터 형성과정에서 게이트 전극을 형성할 때, 동시에 패터닝되는 게이트 라인을 적용하는 것을 특징으로 한다.

- <59> 또한, 상기 절연막은 박막 트랜지스터 형성과정에서 형성되는 게이트 절연막인 것을 특징으로 한다.

- <60> 그리고, 상기 스토리지 커패시터의 상부전극은 박막 트랜지스터 형성과정에서 소스 및 드레인 전극을 형성할 때, 동시에 패터닝되는 전극인 것을 특징으로 한다.

- <61> 또는, 상기 스토리지 커패시터의 상부전극은 인-플랜 스위칭(in-plane switching : IPS) 모드 액정 표시장치의 제조과정에서 화소전극을 형성할 때, 동시에 패터닝되는 전극인 것을 특징으로 한다.

한편, 상기 목적을 달성하기 위한 본 발명에 따른 스토리지 커패시터를 구비한 액정표시장치는, 기관상에 수평방향으로 형성된 게이트라인과 게이트전극 및 하부전극과; 상기 기관상에 형성된 절연막과; 상기 절연막상에 형성되고 상기 게이트라인과 교차되게 형성된 데이터라인과; 상기 데이터라인에서 분기된 소스전극과 이 소스전극과 이격되게 배치된 드레인전극과; 상기 하부전극의 일정한 영역과 상기 절연막을 사이에 두고 오버-랩되며, 상기 하부전극상단 및 하단 가장자리상에서 오버랩되는 영역이 상기 하부전극중앙에서 오버랩되는 영역보다 넓은 면적을 갖는 상부전극과; 상기 기관전체에 형성되고, 상기 드레인전극과 상부전극을 노출시키는 드레인콘택홀과 스토리지콘택홀을 구비한 보호막과; 상기 보호막상에 형성되고 상기 드레인콘택홀과 스토리지콘택홀을 통해 상기 드레인전극과 상부전극에 접속되는 화소전극;을 포함하여 구성되는 것을 특징으로한다.

- <62> 이하, 본 발명에 따른 액정 표시장치의 스토리지 커패시터 및 이를 구비한 액정표시장치에 대해 첨부한 도면을 참조하여 상세히 설명한다.

- <63> 도6은 본 발명의 제1실시예에 따른 스토리지 커패시터의 하나의 예를 보인 액정 표시장치의 평면도이다.

도 6에 도시한 바와같이, 게이트 라인(101)과 데이터 라인(111)의 교차부에 형성되는 액정 셀은 박막 트랜지스터(TFT)와; 그 박막 트랜지스터(TFT)의 드레인 전극(112)에 드레인 콘택홀(116)을 통해 접속된 화소전극(113)을 구비한다. 이때, 상기 박막 트랜지스터(TFT)의 소스 전극(114)은 데이터 라인(111)에 접속되고, 게이트 전극(115)은 게이트 라인(101)에 접속된다.

- <64> 또한, 상기 박막 트랜지스터(TFT)는 게이트 라인(101)을 통해 게이트 전극(115)에 공급되는 주사신호에 의해 소스 전극(114)과 드레인 전극(112) 사이에 도전 채널을 형성하기 위한 액티브층(도면상에 도시되지 않음)을 구비한다.

- <65> 한편, 스토리지 커패시터(100)는 수평방향으로 패터닝되는 게이트 라인(101)의 일정한 영역 상에 스토리지 전극(102)이 오버-랩되는 영역으로 정의되며, 그 게이트 라인(101)과 스토리지 전극(102)의 사이에는 박막 트랜지스터의 형성과정에서 증착되는 게이트 절연막(도면상에 도시되지 않음)이 삽입됨으로써, 스토리지 전극(102)이 스토리지 커패시터(100)의 상부전극으로 작용하고, 그 스토리지 전극(102)과 오버-랩되는 게이트 라인(101)의 일

정한 영역이 스토리지 커패시터(100)의 하부전극으로 작용한다.

- <66> 상기 스토리지 커패시터(100)의 스토리지 전극(102)은 박막 트랜지스터의 형성과정에서 소스 및 드레인 전극을 형성할 때, 동시에 패터닝하여 형성하고, 이후에 스토리지 콘택홀(117)을 통해 화소전극(113)에 접속된다.
- <67> 상기 본 발명의 제1실시예에 따른 스토리지 전극(102)은 아래와 같이 패터닝하는 것이 바람직하다.
- <68> 먼저, 상기 게이트 라인(101) 상에 오버-랩되는 스토리지 전극(102)의 면적은 종래의 도1에 도시한 게이트 라인(4) 상에 오버-랩되는 스토리지 전극(20)의 면적과 동일하게 패터닝한다.
- <69> 그리고, 상기 게이트 절연막을 사이에 두고 게이트 라인(101)과 오버-랩되는 스토리지 전극(102)은 그 게이트 라인(101)의 상단 및 하단 가장자리 상에서 게이트 라인(101)의 길이 방향으로 확장될 수 있도록 사각 띠 형태로 패터닝한다. 또한, 상기 사각 띠 형태인 스토리지 전극(102)의 가로방향 오버-랩 영역이 게이트 라인(101)의 상단 및 하단 외부로 소정거리 만큼 돌출되도록 패터닝한다.
- <70> 따라서, 상기 게이트 라인(101) 상에 오버-랩되는 스토리지 전극(102)의 면적이 증가되지 않게 되며, 이로 인해 스토리지 커패시터의 용량이 증가되는 것을 방지하므로, 게이트 라인(101)에 인가되는 주사신호가 지연되지 않도록 한다.
- <71> 또한, 상기 게이트 라인(101)의 상단 및 하단 경계영역에서 발생하는 직류전계가 게이트 라인(101)의 경계영역 상에 게이트 절연막을 사이에 두고 오버-랩되는 스토리지 전극(102)에 의해 대부분 차단되므로, 그 게이트 라인(101)의 상단 및 하단의 액정층(도면상에 도시되지 않음)이 직류전계에 영향을 받지 않도록 한다.
- <72> 한편, 도7a 내지 도7d는 상기 도6의 C-C'선을 따라 절단한 액정 표시장치 제조과정의 수순단면도로서, 스토리지 커패시터(100) 영역의 단면을 도시한 것이다.
- <73> 먼저, 도7a에 도시한 바와같이, 하부기판(120) 상에 게이트 라인(101)을 패터닝하고, 그 상부에 게이트 절연막(121)을 형성한다. 이때, 게이트 라인(101)은 박막 트랜지스터(TFT)의 게이트 전극(115)이 형성될 때, 동시에 패터닝되어 후술할 스토리지 전극(102)과 중첩되는 게이트 라인(101)의 일부영역이 스토리지 커패시터(100)의 하부전극이 된다.
- <74> 그리고, 도7b에 도시한 바와같이 상기 게이트 절연막(121)의 상부에 스토리지 전극(102)을 패터닝한다. 이때, 스토리지 전극(102)은 상기 도6에서 상세히 설명한 바와같이 사각 띠 형태로 패터닝됨에 따라, 그 스토리지 전극(102)의 C-C'선 단면 형상이 게이트 라인(101)의 양측 상부 일정영역과 게이트 절연막(121) 상에서 오버-랩되도록 서로 대응되어 이격되며, 게이트 라인(101)이 형성되지 않은 영역의 게이트 절연막(121) 상에 일정한 영역까지 확장되도록 패터닝한다. 상기 스토리지 전극(102)은 박막 트랜지스터(TFT)의 소스 및 드레인 전극(114,112)이 형성될 때, 동시에 패터닝되어 스토리지 커패시터(100)의 상부전극이 된다.
- <75> 그리고, 도7c에 도시한 바와같이 상기 스토리지 전극(102)이 형성된 게이트 절연막(121) 상부에 보호막(122)을 형성한 다음 스토리지 전극(102) 상부에 형성된 보호막(122)의 일부를 식각하여 스토리지 콘택홀(117)을 형성함으로써, 그 스토리지 콘택홀(117)을 통해 스토리지 전극(102)의 일부가 노출되도록 한다. 이때, 보호막(122)은 박막 트랜지스터(TFT) 영역의 보호막(122)과 동시에 형성되고, 스토리지 콘택홀(117)은 박막 트랜지스터(TFT)의 드레인 콘택홀(116)을 형성할 때, 동시에 형성된다.
- <76> 그리고, 도7d에 도시한 바와같이 상기 보호막(122) 상에 화소전극(113)을 패터닝하며, 그 화소전극(113)이 상기 스토리지 콘택홀(117)을 통해 스토리지 전극(102)에 접속된다. 이때, 화소전극(113)은 박막 트랜지스터(TFT) 영역에 형성되는 화소전극(113)을 패터닝할 때, 동시에 형성된다.
- <77> 한편, 도8은 본 발명의 제1실시예에 따른 스토리지 커패시터의 다른 예를 보인 액정 표시장치의 평면도이다. 여기서, 스토리지 커패시터(200)를 제외한 구성요소들은 상기 도6과 동일하므로, 상세한 설명을 생략하기로 한다.
- <78> 상기 도8에 도시한 스토리지 전극(202)은 도6의 스토리지 전극(102)과 동일하게 박막 트랜지스터의 소스 및 드레인 전극을 형성할 때, 동시에 패터닝하여 형성하며, 아래와 같이 패터닝하는 것이 바람직하다.
- <79> 먼저, 게이트 라인(201) 상에 오버-랩되는 스토리지 전극(202)의 면적은 종래의 도1 및 본 발명의 도6에 도시한 게이트 라인(4,101) 상에 오버-랩되는 스토리지 전극(20,102)의 면적과 동일하게 패터닝한다.
- <80> 그리고, 게이트 절연막(도면상에 도시되지 않음)을 사이에 두고 게이트 라인(201)과 오버-랩되는 스토리지 전극(202)은, 그 게이트 라인(201)의 중심부에서 오버-랩되는 영역이 그 게이트 라인(201)의 상단 및 하단 가장자리

상에서 오버-랩되는 영역에 비해 협소하게 패터닝함으로써, 스토리지 전극(202)이 게이트 라인(201)의 길이 방향으로 최대한 확장되어 오버-랩될 수 있도록 하며, 결과적으로 '工' 형태로 형성된다.

- <81> 또한, 상기 '工' 형태인 스토리지 전극(202)의 가로방향 오버-랩 영역이 게이트 라인(201)의 상단 및 하단 외부로 소정거리 만큼 돌출되도록 패터닝한다.
- <82> 따라서, 상기 게이트 라인(201) 상에 오버-랩되는 스토리지 전극(202)의 면적이 증가되지 않게 되며, 이로 인해 스토리지 커패시터의 용량이 증가되는 것을 방지하므로, 게이트 라인(202)에 인가되는 주사신호가 지연되지 않도록 한다.
- <83> 또한, 상기 게이트 라인(201)의 상단 및 하단 경계영역에서 발생하는 직류전계가 게이트 라인(201)의 경계영역 상에 게이트 절연막을 사이에 두고 오버-랩되는 스토리지 전극(202)에 의해 대부분 차단되므로, 그 게이트 라인(201)의 상단 및 하단의 액정층(도면상에 도시되지 않음)이 직류전계에 영향을 받지 않도록 한다.
- <84> 상기 도8에 도시한 게이트 라인(201)의 상단 및 하단 경계영역에서 오버-랩되는 '工' 형태의 스토리지 전극(202)은 동일한 면적에서 비교할 경우에, 상기 도6에 도시한 게이트 라인(101)의 상단 및 하단 경계영역에서 오버-랩되는 사각 띠 형태의 스토리지 전극(102)에 비해, 게이트 라인(201)의 길이 방향으로 오버-랩되는 면적이 보다 확장될 수 있으므로, 게이트 라인(201)의 상단 및 하단 경계영역에서 발생하는 직류전계를 보다 효과적으로 차단할 수 있다.
- <85> 한편, 도9a 내지 도9d는 상기 도8의 D-D'선을 따라 절단한 액정 표시장치 제조과정의 수순단면도로서, 스토리지 커패시터(200) 영역의 단면을 도시하였다.
- <86> 먼저, 도9a에 도시한 바와같이 하부기판(120) 상에 게이트 라인(201)을 패터닝하고, 그 상부에 게이트 절연막(121)을 형성한다. 이때, 게이트 라인(201)은 박막 트랜지스터(TFT)의 게이트 전극(115)이 형성될 때, 동시에 패터닝되어 후술할 스토리지 전극(202)과 중첩되는 게이트 라인(201)의 일부영역이 스토리지 커패시터(200)의 하부전극이 된다.
- <87> 그리고, 도9b에 도시한 바와같이, 상기 게이트 절연막(121)의 상부에 스토리지 전극(202)을 패터닝한다. 이때, 스토리지 전극(202)은 상기 도8에서 상세히 설명한 바와같이 '工' 형태로 패터닝됨에 따라, 그 스토리지 전극(202)의 D-D'선 단면 형상이 게이트 라인(201)의 상부와 게이트 절연막(121) 상에서 오버-랩되도록 형성되며, 게이트 라인(201)이 형성되지 않은 영역의 게이트 절연막(121) 상에 일정한 영역까지 확장되도록 패터닝한다. 상기 스토리지 전극(202)은 박막 트랜지스터(TFT)의 소스 및 드레인 전극(114, 112)이 형성될 때, 동시에 패터닝되어 스토리지 커패시터(200)의 상부전극이 된다.
- <88> 그리고, 도9c에 도시한 바와같이, 상기 스토리지 전극(202)이 형성된 게이트 절연막(121) 상부에 보호막(122)을 형성한 다음 스토리지 전극(202) 상부에 형성된 보호막(122)의 일부를 식각하여 스토리지 콘택홀(117)을 형성함으로써, 그 스토리지 콘택홀(117)을 통해 스토리지 전극(202)의 일부가 노출되도록 한다. 이때, 보호막(122)은 박막 트랜지스터(TFT) 영역의 보호막(122)과 동시에 형성되고, 스토리지 콘택홀(117)은 박막 트랜지스터(TFT)의 드레인 콘택홀(116)을 형성할 때, 동시에 형성된다.
- <89> 그리고, 도9d에 도시한 바와같이, 상기 보호막(122)상에 화소전극(113)을 패터닝하며, 그 화소전극(113)이 상기 스토리지 콘택홀(117)을 통해 스토리지 전극(202)에 접속된다. 이때, 화소전극(113)은 박막 트랜지스터(TFT) 영역에 형성되는 화소전극(113)을 패터닝할 때, 동시에 형성된다.
- <90> 한편, 상술한 바와 같은 본 발명의 제1실시예에서는 하부기판 상에 형성된 화소전극과 상부기판 상에 형성된 공통전극이 서로 대향하도록 배열되며, 그 공통전극과 화소전극에 인가되는 수직 전계에 의해 상부 및 하부기판 사이에 형성된 액정층의 액정을 구동하는 방식으로, 투과율과 개구율의 특성이 우수하고, 상부기판에 형성되는 공통전극이 접지의 역할을 할 수 있으므로, 정전기로 인한 액정 패널의 파괴를 방지할 수 있다.
- <91> 한편, 본 발명의 다른 실시예로서, 인-플랜 스위칭 모드의 액정 표시장치에 본 발명에 의한 스토리지 커패시터가 적용된 제2실시예에 대해 도 10을 참조하여 상세히 설명하면 다음과 같다.
- <92> 삭제



- <93> 삭제
  - <94> 삭제
  - <95> 삭제
  - <96> 도10은 인-플랜 스위칭 모드 액정 표시장치의 평면도로서, 본 발명의 제2실시예에 따른 스토리지 커패시터의 하나의 예가 적용된 것이다.
  - <97> 도10을 참조하면, 가로 방향으로 게이트 라인(301)과 공통라인(302)이 평행하게 패터닝되고, 세로 방향으로 데이터 라인(303)이 상기 게이트 라인(301) 및 공통라인(302)과 수직 교차하도록 패터닝된다.
  - <98> 그리고, 박막 트랜지스터(TFT) 영역에는 상기 게이트 라인(301)의 일측으로부터 분기된 게이트 전극(304)이 게이트 라인(301)과 동시에 패터닝되어 형성되고, 상기 데이터 라인(303)의 일측으로부터 분기된 소스 전극(305)이 상기 게이트 전극(304)과 일부가 오버-랩되도록 형성되며, 그 소스 전극(305)과 대응하는 위치에 드레인 전극(306)이 형성된다.
  - <99> 또한, 상기 가로 방향으로 패터닝된 공통라인(302)은, 그 공통라인(302)의 상부 및 하부로 분기되는 다수개의 서로 이격되는 공통전극(302A)이 동시에 패터닝되어 구비된다.
  - <100> 그리고, 상기 공통전극(302A)과 평행한 방향으로 교번하여 다수개의 화소전극(307A)이 형성되는데, 그 화소전극(307A)은 인출배선(307)을 통해 드레인 전극(306)과 연결된다. 이때, 화소전극(307A), 인출배선(307), 데이터 라인(303), 소스 전극(305) 및 드레인 전극(306)은 동시에 패터닝되어 형성된다.
  - <101> 한편, 스토리지 커패시터(310) 영역은 하부전극과 절연막을 사이에 두고 오버-랩되는 상부전극이 적층되어 형성되는데, 이때 하부전극으로는 상단 게이트 라인(301)이 적용되고, 상부전극으로는 하부전극인 상단 게이트 라인(301) 상에 오버-랩되는 스토리지 전극(308)이 적용되는데, 이때 스토리지 전극(308)은 상기 화소전극(307A), 인출배선(307), 데이터 라인(303), 소스 전극(305) 및 드레인 전극(306)과 동시에 패터닝되며, 상단 게이트 라인(301)과 스토리지 전극(308)의 사이에는 박막 트랜지스터(TFT)의 형성과정에서 패터닝되는 게이트 절연막(도면상에 도시되지 않음)이 형성된다.
  - <102> 즉, 본 발명의 제2실시예에 따른 스토리지 커패시터의 상부전극인 스토리지 전극(308)은 액정 표시장치의 형성 과정에서 화소전극(307A)을 형성할 때, 동시에 패터닝되는 특징을 갖게 되며, 아래와 같이 패터닝하는 것이 바람직하다.
  - <103> 먼저, 상단 게이트 라인(301) 상에 오버-랩되는 스토리지 전극(308)의 면적은 종래의 도1에 도시한 게이트 라인(4) 상에 오버-랩되는 스토리지 전극(20)의 면적과 동일하게 패터닝한다.
  - <104> 그리고, 상기 게이트 절연막을 사이에 두고 상단 게이트 라인(301)과 오버-랩되는 스토리지 전극(308)은 그 상단 게이트 라인(301)의 상단 및 하단 가장자리 상에서 게이트 라인(301)의 길이 방향으로 확장될 수 있도록 사각 띠 형태로 패터닝한다. 또한, 상기 사각 띠 형태인 스토리지 전극(308)의 가로방향 오버-랩 영역이 상단 게이트 라인(301)의 하단 외부(즉, 화소영역)로 소정거리 만큼 돌출되도록 패터닝한다.
  - <105> 따라서, 상단 게이트 라인(301) 상에 오버-랩되는 스토리지 전극(308)의 면적이 증가되지 않게 되며, 이로 인해 스토리지 커패시터의 용량이 증가되는 것을 방지하므로, 상단 게이트 라인(301)에 인가되는 주사신호가 지연되지 않도록 한다.
  - <106> 또한, 상단 게이트 라인(301)의 하단 경계영역에서 발생하는 직류전계가 게이트 라인(301)의 경계영역 상에 게이트 절연막을 사이에 두고 오버-랩되는 스토리지 전극(308)에 의해 대부분 차단되므로, 그 게이트 라인(301) 하단의 액정층(도면상에 도시되지 않음)이 직류전계에 영향을 받지 않도록 한다.
  - <107> 한편, 도11은 상기 도10의 E-E'선을 따라 절단한 인-플랜 스위칭 모드 액정 표시장치의 단면도로서, 화소영역의 단면을 도시한 것이다.
- 도11을 참조하면, 인-플랜 스위칭 모드 액정 표시장치의 화소영역은 하부기관(311)의 상부 전면에 형성된 게이트

트 절연막(312)과; 상기 게이트 절연막(312)의 상부에 패터닝된 화소전극(307A)과; 상기 화소전극(307A)을 포함하여 게이트 절연막(312)의 상부 전면에 형성된 보호막(313)과; 상기 화소전극(307A)의 좌우 양측에 이격되어 상기 보호막(313)의 상부에 패터닝된 공통전극(302A)으로 구성된다.

<108> 삭제

<109> 그리고, 도12는 상기 도10의 F-F'선을 따라 절단한 인-플랜 스위칭 액정 표시장치의 단면도로서, 스토리지 커패시터(310) 영역의 단면을 도시한 것이다.

<110> 도12를 참조하면, 인-플랜 스위칭 모드 액정 표시장치의 스토리지 커패시터(310)는 하부기관(311)의 상부에 패터닝된 상단 게이트 라인(301)과; 상기 상단 게이트 라인(301)을 포함한 하부기관(311)의 상부 전면에 형성된 게이트 절연막(312)과; 상기 게이트 절연막(312)의 상부에 이격 패터닝된 스토리지 전극(308)과; 상기 결과물의 상부전면에 형성된 보호막(313)으로 구성된다.

<111> 한편, 도13은 본 발명의 제2실시예에 따른 스토리지 커패시터의 다른 예를 보인 액정 표시장치의 평면도로서, 도 13에 도시한 바와같이 스토리지 커패시터(320)를 제외한 구성요소들은 상기 도10과 동일하므로, 상세한 설명을 생략하기로 한다.

<112> 상기 도13에 도시한 스토리지 전극(321)은 상기 도10 및 도12의 스토리지 전극(308)과 동일하게 화소전극(307A)을 형성할 때, 동시에 패터닝하는 특징을 갖으며, 아래와 같이 패터닝하는 것이 바람직하다.

<113> 먼저, 상단 게이트 라인(301) 상에 오버-랩되는 스토리지 전극(321)의 면적은 종래의 도1에 도시한 게이트 라인(4) 상에 오버-랩되는 스토리지 전극(20)의 면적과 동일하게 패터닝한다.

<114> 그리고, 상기 게이트 절연막을 사이에 두고 상단 게이트 라인(301)과 오버-랩되는 스토리지 전극(321)은, 그 게이트 라인(301)의 중심부에서 오버-랩되는 영역이 그 게이트 라인(301)의 상단 및 하단 가장자리 상에서 오버-랩되는 영역에 비해 협소하게 패터닝함으로써, 스토리지 전극(321)이 상단 게이트 라인(301)의 길이 방향으로 최대한 확장되어 오버-랩될 수 있도록 하며, 결과적으로 '工' 형태로 형성된다.

<115> 또한, 상기 '工' 형태인 스토리지 전극(321)의 가로방향 오버-랩 영역이 상단 게이트 라인(301)의 하단 외부(즉, 화소영역)로 소정거리 만큼 돌출되도록 패터닝한다.

<116> 따라서, 상단 게이트 라인(301) 상에 오버-랩되는 스토리지 전극(321)의 면적이 증가되지 않게 되며, 이로 인해 스토리지 커패시터의 용량이 증가되는 것을 방지하므로, 상단 게이트 라인(301)에 인가되는 주사신호가 지연되지 않도록 한다.

<117> 또한, 상단 게이트 라인(301)의 하단 경계영역에서 발생하는 직류전계가 게이트 라인(301)의 경계영역 상에 게이트 절연막을 사이에 두고 오버-랩되는 스토리지 전극(321)에 의해 대부분 차단되므로, 그 게이트 라인(301) 하단의 액정층(도면상에 도시되지 않음)이 직류전계에 영향을 받지 않도록 한다.

<118> 상기 도13에 도시한 게이트 라인(301)의 상단 및 하단 경계영역에서 오버-랩되는 '工' 형태의 스토리지 전극(321)은 동일한 면적에서 비교할 경우에, 상기 도10에 도시한 게이트 라인(301)의 상단 및 하단 경계영역에서 오버-랩되는 사각 띠 형태의 스토리지 전극(308)에 비해, 게이트 라인(301)의 길이 방향으로 오버-랩되는 면적이 보다 확장될 수 있으므로, 게이트 라인(301)의 하단 경계영역에서 발생하는 직류전계를 보다 효과적으로 차단할 수 있다.

<119> 한편, 도14는 상기 도13의 G-G'선을 따라 절단한 인-플랜 스위칭 액정 표시장치의 단면도로서, 스토리지 커패시터(320) 영역의 단면을 도시한 것이다.

<120> 도14를 참조하면, 스토리지 전극(321)을 제외한 적층막들은 상기 도12와 동일하며, 도12에 도시한 스토리지 전극(308)의 경우에는 게이트 라인(301) 상에서 이격 패터닝되고, 도14에 도시한 스토리지 전극(321)의 경우에는 게이트 라인(301) 상에서 이격되지 않도록 패터닝된다. 이는 절단선의 위치에 따라 다르게 나타날 수 있다.

### 발명의 효과

<121> 상술한 바와같이, 본 발명에 의한 액정 표시장치의 스토리지 커패시터 및 액정표시장치에 의하면 다음과 같은 효과가 있다.

본 발명에 의하면, 하부전극과 절연막을 사이에 두고 오버-랩되는 상부전극의 오버-랩 면적을 종래의 일반적인 경우와 동일하게 형성하여 스토리지 커패시터의 용량이 증가되는 것을 방지함으로써, 하부전극에 인가되는 주사 신호가 지연되지 않도록 하면서도, 상기 상부전극의 오버-랩되는 면적이 하부전극의 상단 및 하단 경계영역 상에서 하부전극의 길이방향을 따라 최대한 확장되도록 함으로써, 하부전극의 상단 및 하단 경계영역에서 발생하는 직류전계가 그 상부전극에 의해 대부분 차단되도록 하여 하부전극의 상단 및 하단의 액정층이 직류전계에 영향을 받지 않도록 한다.

<122> 따라서, 액정의 특성불량을 방지할 수 있으며, 액정의 비정상적인 구동에 따른 잔상 발생을 방지할 수 있는 효과가 있다.

<123> 상기한 바와같이 설명한 내용을 통해 본 발명이 속하는 기술분야에서 종사하는 당업자라면, 본 발명의 기술 사상을 일탈하지 않는 범위 내에서 IPS, TN 등과 같은 특정 액정 모드에 구애받지 않고, 대부분의 액정모드에 상기의 기술내용을 다양하게 변경 및 수정하여 적용할 수 있을 것이다.

<124> 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 그 특허 청구의 범위에 의해 정하여 질 것이다.

## 도면의 간단한 설명

<1> 도1은 액정 표시장치의 일반적인 액정 셀에 대한 평면도.

<2> 도2a 내지 도2g는 도1에 있어서, A-A'선을 따라 절단한 액정 표시장치 제조과정의 수순단면도.

<3> 도3a 내지 도3d는 도1에 있어서, B-B'선을 따라 절단한 액정 표시장치 제조과정의 수순단면도.

<4> 도4는 액정층이 게이트 라인에 인가되는 직류전계에 의해 영향 받는 것을 보인 예시도.

<5> 도5는 도4에 있어서, 액정층이 게이트 라인에 인가되는 직류전계에 영향을 받지 않도록 한 예시도.

<6> 도6은 본 발명의 제1실시예에 따른 스토리지 커패시터의 하나의 예를 보인 액정 표시장치의 평면도.

<7> 도7a 내지 도7d는 도6에 있어서, C-C'선을 따라 절단한 액정 표시장치 제조과정의 수순단면도.

<8> 도8은 본 발명의 제1실시예에 따른 스토리지 커패시터의 다른 예를 보인 액정 표시장치의 평면도.

<9> 도9a 내지 도9d는 도8에 있어서, D-D'선을 따라 절단한 액정 표시장치 제조과정의 수순단면도.

**<10>** 도10은 본 발명의 제2실시예에 따른 스토리지 커패시터의 하나의 예가 적용된 인-플랜 스위칭 모드 액정 표시 장치의 평면도.

<11> 도11은 도10에 있어서, E-E'선을 따라 절단한 인-플랜 스위칭 모드 액정 표시장치의 화소영역 단면도.

<12> 도12는 도10에 있어서, F-F'선을 따라 절단한 인-플랜 스위칭 모드 액정 표시장치의 스토리지 커패시터 영역 단면도.

<13> 도13은 본 발명의 제2실시에 따른 스토리지 커패시터의 다른 예를 보인 액정 표시장치의 평면도.

<14> 도14는 도13에 있어서, G-G'선을 따라 절단한 인-플랜 스위칭 모드 액정 표시장치의 스토리지 커패시터 영역 단면도.

<15> \*\*\*도면의 주요부분에 대한 부호의 설명\*\*\*

<16>      100:스토리지    커패시터                      101:게이트 라인

<17>      102:스토리지 전극      111:데이터 라인

<18>      112:드레인 전극      113:화소전극

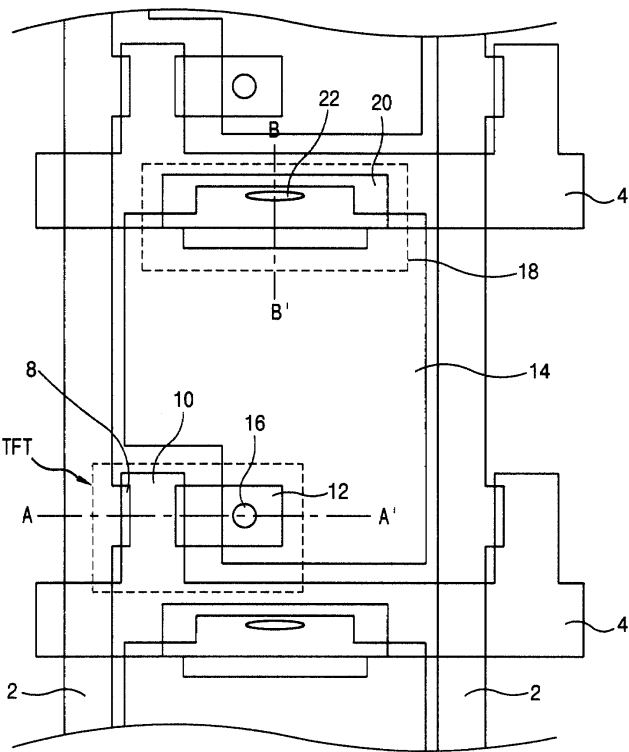
<19>      114:소스 전극      115:게이트 전극

<20>      116:드레인 콘택홀      117:스토리지 콘택홀

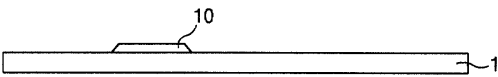
<21> TFT: 박막 트랜지스터

도면

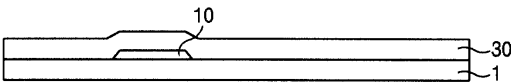
도면1



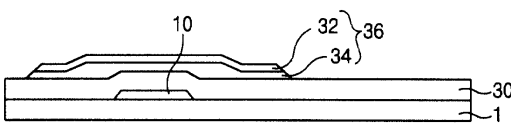
도면2a



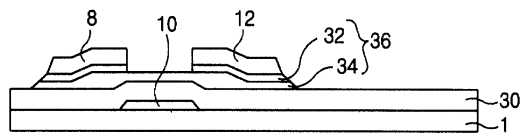
도면2b



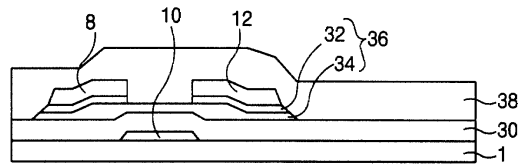
도면2c



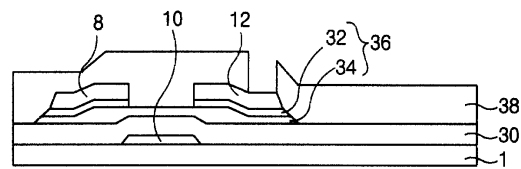
도면2d



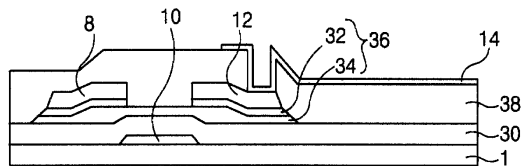
도면2e



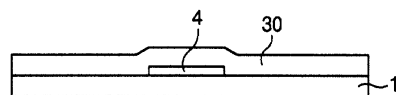
도면2f



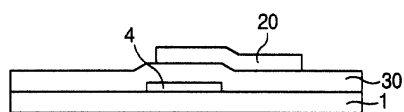
도면2g



도면3a

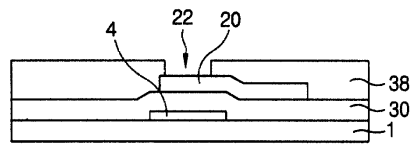


도면3b

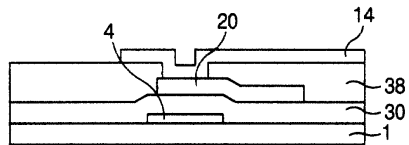




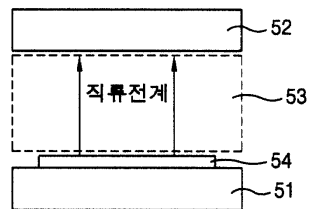
도면3c



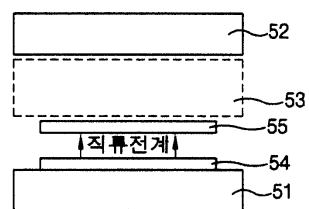
도면3d



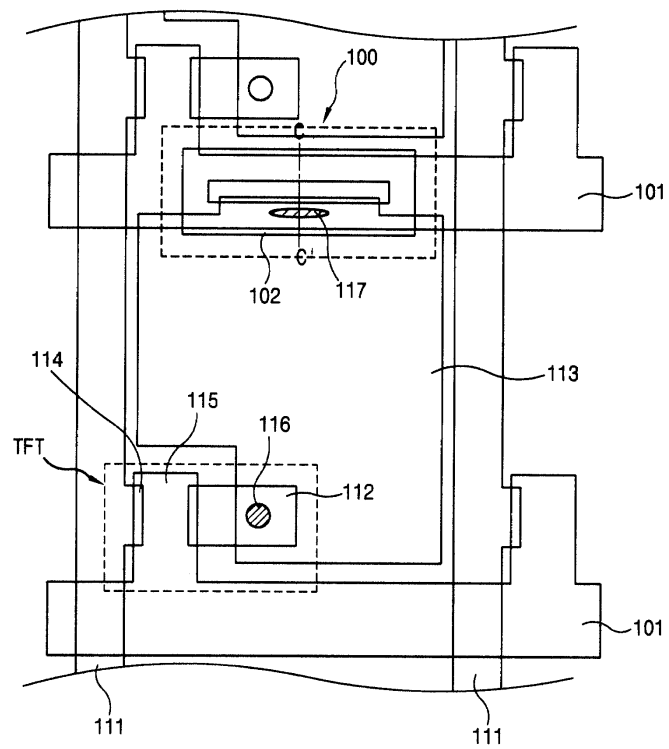
도면4



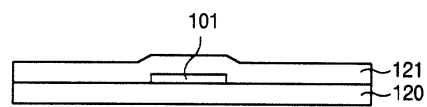
도면5



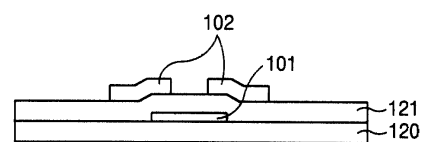
도면6



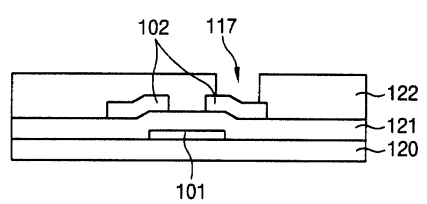
도면7a



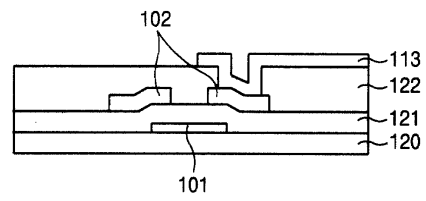
도면7b



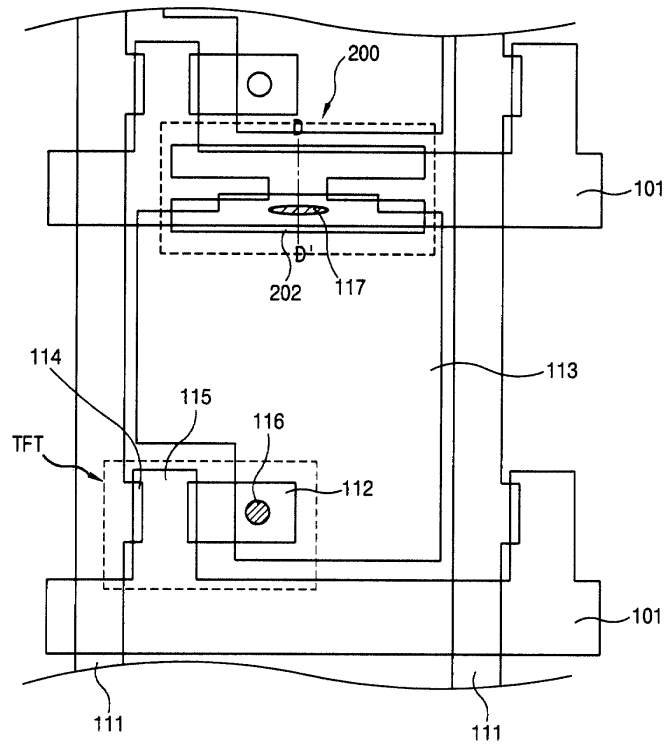
도면7c



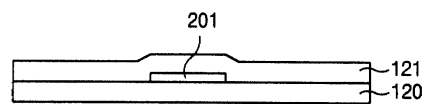
도면7d



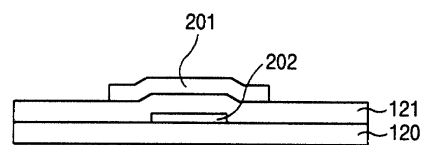
도면8



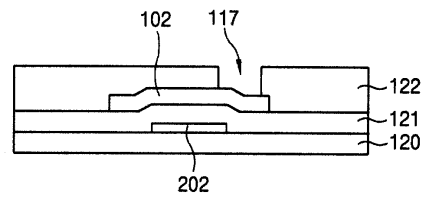
도면 9a



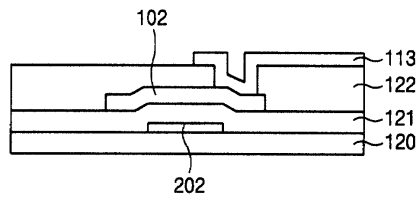
도면 9b



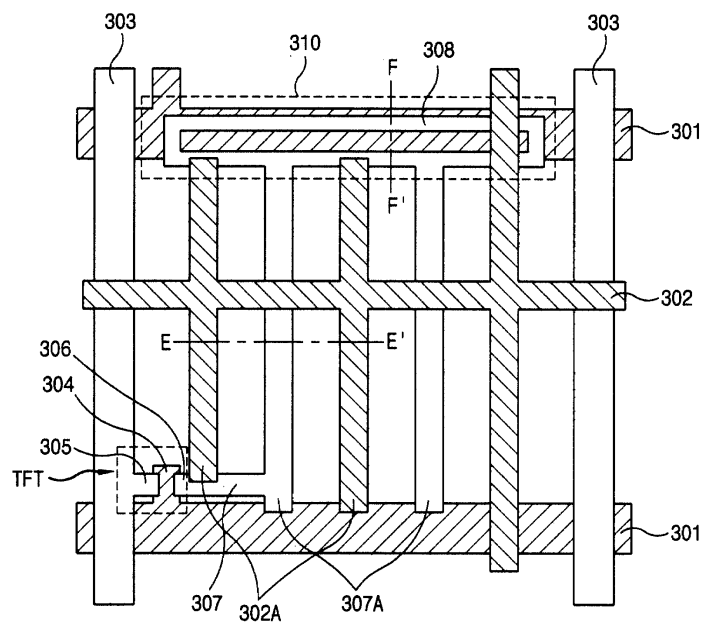
도면9c



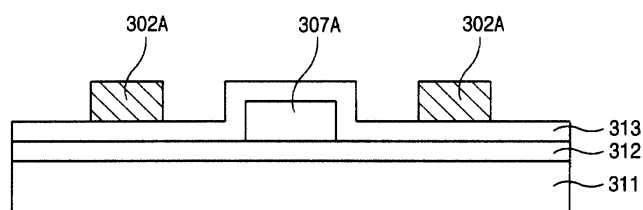
도면9d



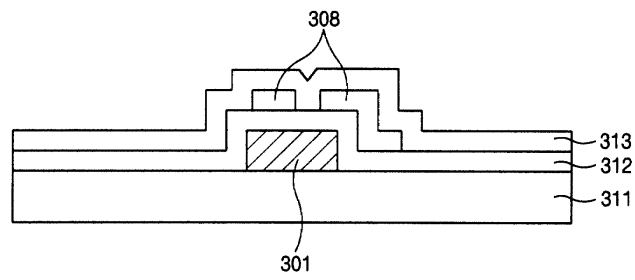
도면10



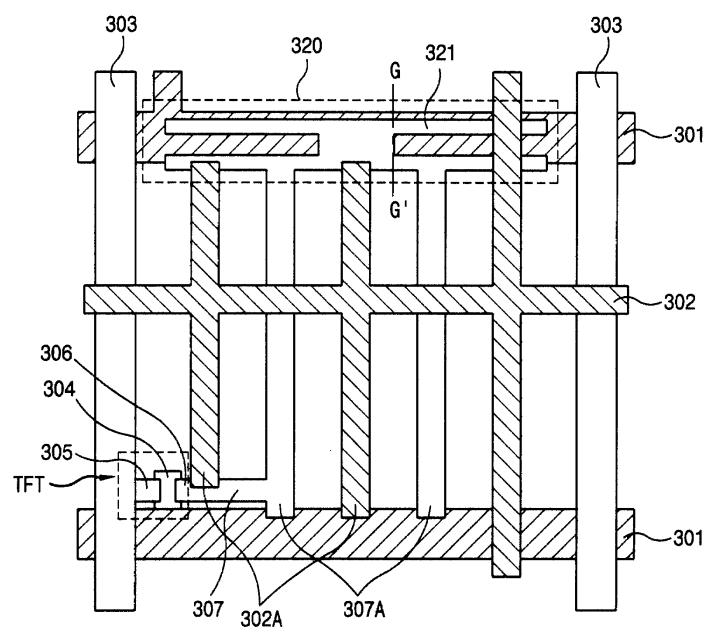
도면11



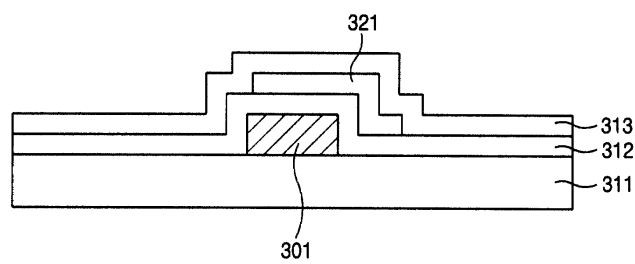
도면12



도면13



도면14



|                |                                 |         |            |
|----------------|---------------------------------|---------|------------|
| 专利名称(译)        | 存储电容器和具有其的液晶显示装置                |         |            |
| 公开(公告)号        | <a href="#">KR100807582B1</a>   | 公开(公告)日 | 2008-02-28 |
| 申请号            | KR1020010045896                 | 申请日     | 2001-07-30 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                        |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                       |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                       |         |            |
| [标]发明人         | HONG HYUNGKI                    |         |            |
| 发明人            | HONG, HYUNGKI                   |         |            |
| IPC分类号         | G02F1/133 G02F1/1343 G02F1/1362 |         |            |
| CPC分类号         | G02F1/134363 G02F1/136213       |         |            |
| 代理人(译)         | PARK, JANG WON                  |         |            |
| 其他公开文献         | KR1020030012052A                |         |            |
| 外部链接           | <a href="#">Espacenet</a>       |         |            |

#### 摘要(译)

本发明是一个存储电容器和一个涉及一种液晶显示装置，但本发明介于下电极并在具有该绝缘膜之间 - 中相同的方式的存储电容器，以形成上电极的常规normally-超过包裹区域被包裹可以防止施加到下电极的扫描信号被延迟并防止过度 - 通过在所述边界区域的底部的下电极的纵向方向上延伸尽可能，下部电极在界面处的区域中产生的直流电场的顶部和底部的液晶层的下部电极的上端和下端，以确保最阻断直流电流的上部电极通过不被受电场，因此能够防止液晶缺陷的特性，即有效地防止残留图像根据液晶的异常驱动发生威尔。

