



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0109217
(43) 공개일자 2008년12월17일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2007-0057274

(22) 출원일자 2007년06월12일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

최병국

인천 남동구 구월1동 팬더아파트 258(20/3) 7동 1307호

오재영

서울 영등포구 대림3동 현대3차아파트 303동 1204호

(74) 대리인

허용복

전체 청구항 수 : 총 12 항

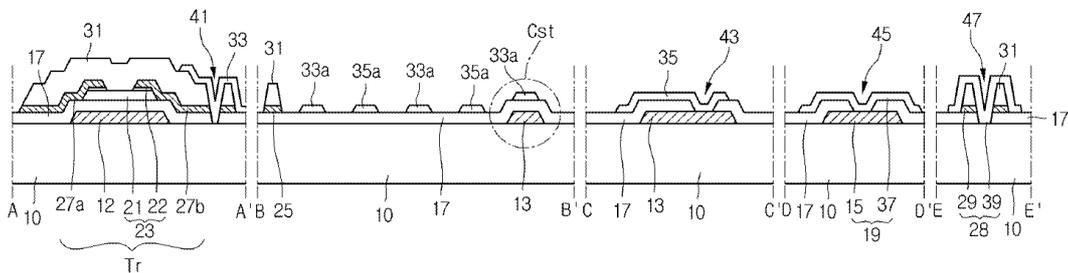
(54) 액정표시장치용 어레이기판 및 그 제조방법

(57) 요약

화질을 향상시킬 수 있는 액정표시장치용 어레이기판 및 그 제조 방법이 개시된다.

본 발명의 액정표시장치의 어레이기판은, 기판 상에 게이트라인, 게이트전극 및 공통라인이 배치되고, 게이트라인을 포함하는 기판 상에 게이트절연막이 배치되고, 게이트전극에 대응된 게이트절연막 상에 반도체층이 배치되고, 데이터라인, 소오스전극 및 드레인전극이 배치되며, 드레인전극과 전기적으로 연결된 화소전극이 배치된다. 이때, 반도체층은 적어도 게이트전극 내에 포함되도록 배치될 수 있다.

대표도



특허청구의 범위

청구항 1

기판 상에 배치된 게이트라인;

상기 게이트라인으로부터 연장 배치된 게이트전극;

상기 게이트라인과 평행하게 배치된 공통라인;

상기 게이트라인을 포함하는 상기 기판 상에 배치된 게이트절연막;

상기 게이트전극에 대응된 상기 게이트절연막 상에 배치된 반도체층;

상기 게이트라인과 교차하여 배치된 데이터라인;

상기 데이터라인으로부터 연장되어 상기 반도체층의 제1 영역에 배치된 소오스전극;

상기 소오스전극에 이격되어 상기 반도체층의 제2 영역에 배치된 드레인전극; 및

상기 드레인전극과 전기적으로 연결되어 배치된 화소전극을 포함하고,

상기 반도체층은 적어도 상기 게이트전극 내에 포함되도록 배치되는 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 2

제1항에 있어서,

상기 반도체층은 아일랜드 형상을 갖는 것을 특징으로 하는 액정표시장치용 어레이기판.

청구항 3

제1항에 있어서,

상기 반도체층은 적어도 상기 게이트전극의 폭보다 작도록 배치되는 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 4

제1항에 있어서,

상기 화소전극으로부터 연장되도록 배치된 다수의 화소전극 바들;

상기 공통라인과 전기적으로 연결되어 배치된 공통전극; 및

상기 공통전극으로부터 연장되도록 배치된 다수의 공통전극 바들을 더 포함하는 것을 특징으로 하는 액정표시장치용 어레이기판.

청구항 5

제4항에 있어서, 상기 공통라인과 상기 다수의 화소전극 바들 중 적어도 하나에 의해 스토리지 캐패시터가 형성되는 것을 특징으로 하는 액정표시장치용 어레이기판.

청구항 6

제1항에 있어서,

상기 게이트라인의 끝단에 배치된 게이트패드;

상기 화소전극과 동일층에 배치되며 상기 게이트패드와 전기적으로 연결된 게이트 연결전극;

상기 데이터라인의 끝단에 배치된 데이터패드; 및

상기 화소전극과 동일층에 배치되며 상기 데이터패드와 전기적으로 연결된 데이터 연결전극을 더 포함하는 것을

특징으로 하는 액정표시장치용 어레이기판.

청구항 7

기판 상에 게이트라인, 게이트전극, 공통라인을 형성하는 단계;

상기 게이트라인을 포함하는 상기 기판 상에 게이트절연막, 반도체 물질 및 제1 절연 물질을 증착하고 제1 하프톤 마스크로부터 패터닝된 제1 감광 패턴을 이용하여 패터닝하여 예비 반도체층과 제1 절연 패턴을 형성하는 단계;

상기 제1 감광 패턴을 애싱하여 제2 감광 패턴을 형성한 후, 상기 제2 감광 패턴을 마스크로 하여 상기 제1 절연 패턴을 과식각하는 단계;

상기 기판 상에 금속 물질을 증착하고 상기 제2 감광 패턴을 스트립 오프한 후, 상기 예비 반도체층을 패터닝하여 반도체층을 형성하는 단계;

상기 반도체층을 포함하는 상기 기판 상에 보호막을 증착하고 제2 하프톤 마스크로부터 패터닝된 제1 감광 패턴을 이용하여 패터닝하여 예비 드레인전극이 노출된 제1 콘택홀과 상기 공통라인이 노출된 제2 콘택홀을 형성하는 단계;

상기 제1 감광 패턴을 애싱하여 제2 감광 패턴을 형성한 후, 상기 제2 감광 패턴을 마스크로 하여 데이터라인, 소오스전극 및 드레인전극을 형성하는 단계; 및

상기 데이터라인을 포함하는 상기 기판 상에 상기 제1 콘택홀을 통해 상기 드레인전극에 전기적으로 연결된 화소전극을 형성하는 단계를 포함하고,

상기 반도체층은 적어도 상기 게이트전극 내에 포함되도록 형성되는 것을 특징으로 하는 액정표시장치용 어레이기판의 제조 방법.

청구항 8

제7항에 있어서, 상기 반도체층은 아일랜드 형상으로 형성되는 것을 특징으로 하는 액정표시장치용 어레이기판의 제조 방법.

청구항 9

제7항에 있어서, 상기 반도체층은 적어도 상기 게이트전극의 폭보다 작도록 형성되는 것을 특징으로 하는 액정표시장치용 어레이기판의 제조 방법.

청구항 10

제7항에 있어서, 상기 화소전극을 형성하는 단계는,

상기 화소전극으로부터 연장된 다수의 화소전극 바들을 형성하는 단계;

상기 제2 콘택홀을 통해 상기 공통라인에 전기적으로 연결된 공통전극을 형성하는 단계; 및

상기 공통전극으로부터 연장된 다수의 공통전극 바들을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치용 어레이기판의 제조 방법.

청구항 11

제10항에 있어서, 상기 공통라인과 상기 화소전극 바들 중 적어도 어느 하나에 의해 스토리지 캐패시터가 형성되는 것을 특징으로 하는 액정표시장치용 어레이기판의 제조 방법.

청구항 12

제10항에 있어서, 상기 각 화소전극 바들과 상기 각 공통전극 바들은 상기 게이트절연막 상에 형성되는 것을 특징으로 하는 액정표시장치용 어레이기판의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 액정표시장치에 관한 것으로서, 특히 화질을 향상시킬 수 있는 액정표시장치용 어레이기판 및 그 제조 방법에 관한 것이다.
- <17> 영상을 표시할 수 있는 다양한 표시 장치가 개발되고 있다. 이러한 표시 장치는 액정표시장치, 플라즈마 디스플레이 패널 및 유기발광표시장치 등을 포함한다.
- <18> 이 중에서, 액정표시장치는 액정의 광학적 이방성과 분극 성질을 이용하여 영상을 표시하는 장치이다. 상기 액정표시장치는 경량, 박형, 저소비 전력 등의 장점을 가진다. 이에 따라, 액정표시장치는 휴대 가능한 컴퓨터, 네비게이션 또는 텔레비전에 널리 채용되고 있다.
- <19> 하지만, 액정표시장치는 그 제조 공정이 복잡하고 공정 비용이 높은 단점이 있다.
- <20> 현재, 액정표시장치의 제조 공정 및 제조 비용을 줄이기 위한 연구가 활발히 진행되고 있다.
- <21> 액정표시장치는 마스크 수를 줄여 제조 공정 및 제조 비용을 획기적으로 줄일 수 있다.
- <22> 액정표시장치는 박막트랜지스터를 갖는 어레이기판, 컬러필터를 갖는 컬러필터기판 및 어레이기판과 컬러필터기판 사이에 게재된 액정층을 포함한다.
- <23> 종래의 액정표시장치의 어레이기판은 4마스크 공정에 의해 제조될 수 있다. 제1 마스크를 이용하여, 게이트라인 및 게이트전극을 형성하고, 제2 마스크를 이용하여 반도체층, 데이터라인 및 소오스/드레인전극을 형성하고, 제3 마스크를 이용하여 드레인전극이 노출된 콘택홀을 갖는 보호막이 형성되며, 제4 마스크를 이용하여 화소전극을 형성한다.
- <24> 하지만, 상술한 바와 같이, 종래의 액정표시장치의 어레이기판은 제2 마스크에 의해 동시에 데이터라인과 반도체층이 형성되기 때문에, 데이터라인 하부에 반도체층이 형성되게 된다. 이러한 경우, 백라이트로부터 생성된 광에 반도체층이 직접적으로 노출되게 된다. 이에 따라, 광에 의해 반도체층으로부터 누설전류가 발생하게 되고, 이러한 누설전류에 의해 데이터 흐름이 방해되어 화질이 저하되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <25> 본 발명은 누설전류의 발생을 억제하여 화질을 향상시킬 수 있는 액정표시장치용 어레이기판 및 그 제조 방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

- <26> 본 발명의 제1 실시예에 따르면, 액정표시장치의 어레이기판은, 기판 상에 배치된 게이트라인; 상기 게이트라인으로부터 연장 배치된 게이트전극; 상기 게이트라인과 평행하게 배치된 공통라인; 상기 게이트라인을 포함하는 상기 기판 상에 배치된 게이트절연막; 상기 게이트전극에 대응된 상기 게이트절연막 상에 배치된 반도체층; 상기 게이트라인과 교차하여 배치된 데이터라인; 상기 데이터라인으로부터 연장되어 상기 반도체층의 제1 영역에 배치된 소오스전극; 상기 소오스전극에 이격되어 상기 반도체층의 제2 영역에 배치된 드레인전극; 및 상기 드레인전극과 전기적으로 연결되어 배치된 화소전극을 포함하고, 상기 반도체층은 적어도 상기 게이트전극 내에 포함되도록 배치된다.
- <27> 본 발명의 제2 실시예에 따르면, 액정표시장치의 어레이기판의 제조 방법은, 기판 상에 게이트라인, 게이트전극, 공통라인을 형성하는 단계; 상기 게이트라인을 포함하는 상기 기판 상에 게이트절연막, 반도체 물질 및 제1 절연 물질을 증착하고 제1 하프톤 마스크로부터 패터닝된 제1 감광 패턴을 이용하여 패터닝하여 예비 반도체층과 제1 절연 패턴을 형성하는 단계; 상기 제1 감광 패턴을 에싱하여 제2 감광 패턴을 형성한 후, 상기 제2 감광 패턴을 마스크로 하여 상기 제1 절연 패턴을 과식각하는 단계; 상기 기판 상에 금속 물질을 증착하고 상기 제2 감광 패턴을 스트립 오픈한 후, 상기 예비 반도체층을 패터닝하여 반도체층을 형성하는 단계; 상기 반도체층을 포함하는 상기 기판 상에 보호막을 증착하고 제2 하프톤 마스크로부터 패터닝된 제1 감광 패턴을 이용하여 패터닝하여 예비 드레인전극이 노출된 제1 콘택홀과 상기 공통라인이 노출된 제2 콘택홀을 형성하는 단계;

상기 제1 감광 패턴을 애싱하여 제2 감광 패턴을 형성한 후, 상기 제2 감광 패턴을 마스크로 하여 데이터라인, 소오스전극 및 드레인전극을 형성하는 단계; 및 상기 데이터라인을 포함하는 상기 기판 상에 상기 제1 콘택홀을 통해 상기 드레인전극에 전기적으로 연결된 화소전극을 형성하는 단계를 포함하고, 상기 반도체층은 적어도 상기 게이트전극 내에 포함되도록 형성된다.

- <28> 이하에서는 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다. 본 발명을 설명함에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 또한, 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- <29> 도 1은 본 발명의 실시예에 따른 액정표시장치용 어레이기판의 일부를 도시한 평면도이다.
- <30> 도 1을 참조하면, 제1 방향을 따라 게이트라인(11)이 배치되고, 상기 게이트라인(11)의 끝단에 게이트패드부(19)가 배치된다.
- <31> 상기 게이트패드부(19)는 상기 게이트라인(11)으로부터 연장된 게이트패드(15)와, 콘택홀(45, 이하 편의상, 제3 콘택홀이라 함)을 통해 상기 게이트패드(15)와 전기적으로 연결된 게이트 연결전극(37)을 포함할 수 있다.
- <32> 상기 게이트라인(11)에 교차하는 제2 방향을 따라 데이터라인(25)이 배치되고, 상기 데이터라인(25)의 끝단에 데이터패드부(28)가 배치된다.
- <33> 상기 데이터패드부(28)는 상기 데이터라인(25)으로부터 연장된 데이터패드(29)와, 콘택홀(47, 이하 편의상, 제4 콘택홀이라 함)을 통해 상기 데이터패드(29)와 전기적으로 연결된 데이터 연결전극(39)을 포함할 수 있다.
- <34> 상기 게이트라인(11)과 상기 데이터라인(25)은 그 교차 영역에서 게이트절연막(미도시)에 의해 전기적으로 절연되어 있다.
- <35> 상기 게이트라인(11)과 평행하게 이격되어 공통라인(13)이 배치된다.
- <36> 상기 게이트라인(11)과 상기 데이터라인(25)의 교차에 의해 화소 영역(P)이 정의된다. 따라서, 상기 어레이기판에는 매트릭스 형태로 다수의 화소 영역(P)이 정의될 수 있다.
- <37> 상기 게이트라인(11)과 상기 데이터라인(25)의 교차 영역에 박막트랜지스터(Tr)가 배치된다. 상기 박막트랜지스터(Tr)는 상기 게이트라인(11)으로부터 연장되어 배치된 게이트전극(12)과, 상기 게이트전극(12) 상에 배치된 반도체층과, 상기 데이터라인(25)으로부터 연장되어 배치된 소오스전극과, 상기 소오스전극으로부터 이격되어 배치된 드레인전극을 포함한다.
- <38> 상기 반도체층(23)은 아일랜드(island) 형상을 가지며, 상기 게이트전극(12)의 폭보다 적어도 작도록 형성될 수 있다.
- <39> 따라서, 어레이기판의 배면에서 광이 조사되더라도, 게이트전극(12)에 의해 광이 차단된다. 광이 반도체층에 조사되지 않게 되므로, 광에 의해 반도체층으로부터 누설 전류가 발생되지 않게 된다. 이에 따라, 반도체층을 경유하는 신호의 누설을 방지하여 화질을 향상시킬 수 있다.
- <40> 본 발명은 반도체층이 게이트전극(12) 내에만 배치되도록 하여, 광에 의한 누설 전류를 방지하여 화질을 향상시키는 것을 그 주요 특징으로 한다.
- <41> 상기 박막트랜지스터(Tr)의 드레인전극에 제1 콘택홀(41)을 통해 전기적으로 연결된 화소전극(33)이 배치된다. 상기 화소전극(33)으로부터 연장되어 다수의 화소전극 바들(33a)이 배치된다. 상기 화소전극 바들(33a)은 상기 게이트라인(11)과 상기 공통라인(13) 사이에서 상기 게이트라인(11)에 수직인 방향으로 배치될 수 있다. 상기 화소전극 바들(33a)은 이에 한정되지 않고 상기 게이트라인(11)에 경사진 방향으로 배치될 수도 있다.
- <42> 상기 공통라인(13)에 제2 콘택홀(43)을 통해 전기적으로 연결된 공통전극(35)이 배치된다. 상기 공통전극(35)으로부터 연장되어 다수의 공통전극 바들(35a)이 배치된다. 상기 공통전극 바들(35a)은 상기 게이트라인(11)과 상기 공통라인(13) 사이에서 상기 게이트라인(11)에 수직인 방향으로 상기 화소전극 바들(33a)과 교대로 배치될 수 있다. 상기 화소전극 바들(33a)은 이에 한정되지 않고 상기 게이트라인(11)에 경사진 방향으로 배치될 수도 있다.
- <43> 상기 공통전극 바들(35a) 중 적어도 하나는 상기 공통라인(13)과 게이트라인(11)을 사이에 두고 배치되어, 스토

리지 캐패시터(Cst)를 형성한다. 상기 스토리지 캐패시터(Cst)는 데이터를 1 프레임 동안 유지하는 역할을 한다.

- <44> 본 발명은 공통전극(35)과 화소전극(33)이 어레이기판에 동시에 배치되어, 횡방향으로 발생된 전기에 의해 영상을 표시하는 IPS(in-plane switching) 모드 액정표시장치에 적용될 수 있다.
- <45> 본 발명은 이에 한정되지 않고, 화소전극이 어레이기판에 배치되고 공통전극이 컬러필터기판에 배치되어, 수직 방향으로 발생된 전기에 의해 영상을 표시하는 TN(twisted nematic) 모드 액정표시장치에 적용될 수 있다.
- <46> 도 2는 도 1의 액정표시장치용 어레이기판을 A-A라인, B-B라인, C-C라인, D-D라인 및 E-E라인을 따라 절단한 단면도이다.
- <47> 도 1 및 도 2를 참조하면, 기판(10) 상에 게이트라인(11), 게이트전극(12), 공통라인(13) 및 게이트패드(15)가 배치된다. 게이트전극(12)은 상기 게이트라인(11)으로부터 연장되어 배치된다. 상기 게이트패드(15)는 상기 게이트라인(11)의 끝단에 일체로 배치될 수 있다. 상기 공통라인(13)은 상기 게이트라인(11)과 평행하게 배치될 수 있다.
- <48> 상기 게이트라인(11)을 포함하는 기판(10) 상에 게이트절연막(17)이 배치된다.
- <49> 상기 게이트전극(12)에 대응하는 상기 게이트절연막(17) 상에 액티브층(21)과 오믹콘택층(22)을 포함하는 반도체층(23)이 배치된다.
- <50> 상기 반도체층(23)은 아일랜드(island) 형상을 가지고 상기 게이트전극(12)의 폭보다 적어도 작도록 배치될 수 있다. 이에 따라, 상기 기판(10)의 배면으로부터 조사된 광이 게이트전극(12)에 의해 모두 차단되므로, 상기 광이 반도체층(23)에 조사되지 않게 되어, 반도체층(23)에 누설 전류가 발생되지 않게 된다. 이에 따라, 광에 의한 반도체층(23)의 누설 전류에 따른 화질 저하를 방지할 수 있다.
- <51> 상기 반도체층(23)을 포함하는 상기 기판(10) 상에 상기 반도체층(23) 상에 소오스전극(27a)과 드레인 전극(27b)이 이격되어 배치되고, 상기 게이트라인(11)에 교차하여 데이터라인(25)이 배치되고, 상기 데이터라인(25)의 끝단에 상기 데이터패드(29)가 배치된다.
- <52> 상기 게이트라인(11)과 상기 데이터라인(25)의 교차에 의해 화소 영역(P)이 정의된다.
- <53> 상기 게이트전극(12), 상기 반도체층(23), 상기 소오스전극(27a) 및 상기 드레인전극(27b)으로 구성된 박막트랜지스터(Tr)가 형성될 수 있다.
- <54> 상기 데이터라인(25), 상기 소오스전극(27a), 상기 드레인전극(27b) 및 상기 데이터패드(27) 상에 보호막(31)이 배치된다. 상기 보호막(31)은 상기 드레인전극(27b)이 노출된 제1 콘택홀(41)과, 상기 데이터패드(29)가 노출된 제4 콘택홀(47)을 가질 수 있다.
- <55> 아울러, 상기 게이트절연막(17)은 상기 공통라인(13)이 노출된 제2 콘택홀(43)과 상기 게이트패드(15)가 노출된 제3 콘택홀(45)을 가질 수 있다.
- <56> 상기 보호막(31) 상에는 상기 제1 콘택홀(41)을 통해 상기 드레인전극(27b)과 전기적으로 연결된 화소전극(33)과 상기 제4 콘택홀(47)을 통해 상기 데이터패드(29)와 전기적으로 연결된 데이터 연결전극(39)이 배치된다. 상기 화소전극(33)에는 상기 화소전극(33)으로부터 연장된 다수의 화소전극 바들(33a)이 배치될 수 있다.
- <57> 상기 데이터패드(29)와 상기 데이터 연결전극(39)에 의해 데이터패드부(28)가 형성될 수 있다.
- <58> 상기 게이트절연막(17) 상에는 상기 제2 콘택홀(43)을 통해 상기 공통라인(13)과 전기적으로 연결된 공통전극(35)과, 상기 제3 콘택홀(45)을 통해 상기 게이트패드(15)와 전기적으로 연결된 게이트 연결전극(37)이 배치된다.
- <59> 상기 게이트패드(15)와 상기 게이트 연결전극(37)에 의해 게이트패드부(19)가 형성될 수 있다.
- <60> 상기 공통전극(35)에는 상기 공통전극(35)으로부터 연장된 다수의 공통전극 바들(35a)이 배치될 수 있다. 상기 공통전극 바들(35a)과 상기 화소전극 바들(33a)은 서로 교대로 배치될 수 있다.
- <61> 도 3a 내지 도 3j는 본 발명에 따른 액정표시장치용 어레이기판의 제조 공정을 도시한 도면이다.
- <62> 도 3a에 도시한 바와 같이, 기판(10) 상에 제1 금속 물질(미도시)을 증착하고 제1 마스크를 이용하여 상기 제1 금속 물질을 패터닝하여, 게이트라인(11), 게이트전극(12), 공통라인(13) 및 게이트패드(15)를 형성한다.

- <63> 상기 제1 금속 물질은 구리(Cu), 은(Ag), 알루미늄(Al), 알루미늄네오듐 합금(AlNd)을 포함할 수 있다.
- <64> 상기 게이트전극(12)은 상기 게이트라인(11)으로부터 연장 형성되고, 상기 게이트패드(15)는 상기 게이트라인(11)의 끝단에 형성될 수 있다.
- <65> 도 3b에 도시한 바와 같이, 게이트라인(11)을 포함하는 상기 기판(10) 상에 게이트절연막(17), 실리콘 물질(101), 불순물이 함유된 실리콘 물질(103), 제1 절연 물질(105), 제1 감광성 물질(미도시)을 순차적으로 증착한다. 이어서, 차단 영역(61), 반투과 영역(63) 및 투과 영역(65)을 갖는 제1 하프톤 마스크(60, 제2 마스크)를 상기 기판(10) 상에 위치시킨 후, 광을 조사하고 현상한다. 따라서, 상기 차단 영역(61)에 의해 광이 차단되므로, 상기 차단 영역(61)에 대응된 제1 감광성 물질은 그대로 유지되게 된다. 상기 반투과 영역(63)에 의해 광이 회절되므로, 상기 반투과 영역(63)에 대응된 상기 제1 감광성 물질은 소정 두께가 제거된다. 상기 투과 영역(65)에 의해 상기 광이 그대로 투과되므로, 상기 투과 영역(65)에 대응된 상기 제1 감광성 물질은 모두 제거되게 된다.
- <66> 이에 따라, 상기 제1 감광성 물질은 상기 차단 영역(61)에 대응된 제1 영역은 전혀 제거되지 않게 되고, 상기 반투과 영역(63)에 대응된 제2 영역은 소정 두께 제거되게 되며, 상기 투과 영역(65)에 대응된 제3 영역은 모두 제거되게 된다.
- <67> 이러한 형태를 반영한 제1 감광 패턴(107a)이 형성되게 된다.
- <68> 도 3c에 도시한 바와 같이, 상기 제1 감광 패턴(107a)을 마스크로 하여 상기 제1 절연 물질(105), 불순물이 함유된 실리콘 물질(103) 및 실리콘 물질(101)을 패터닝하여, 제1 절연 패턴(105a), 예비 오믹 콘택층(103a) 및 액티브층(21)을 형성한다.
- <69> 도 3d에 도시한 바와 같이, 상기 제1 감광 패턴(107a)을 애싱하여, 상기 제1 절연 패턴(105a)의 중심 영역에 제2 감광 패턴(107b)을 형성한다.
- <70> 도 3e에 도시한 바와 같이, 상기 제2 감광 패턴(107b)을 마스크로 하여 상기 제1 절연 패턴(105a)을 건식 식각하여, 상기 제2 감광 패턴(107b)의 저면 에지 영역에 대응된 상기 제1 절연 패턴(105a)을 과식각한다. 이에 따라, 상기 제2 감광 패턴(107b)의 저면 에지 영역에 대응된 상기 제1 절연 패턴(105a)은 언더컷 형상을 갖는다.
- <71> 도 3f에 도시한 바와 같이, 상기 기판(10) 상에 제2 금속 물질(111)을 증착한다. 상기 제2 금속 물질(111)은 구리(Cu), 은(Ag), 알루미늄(Al), 알루미늄네오듐 합금(AlNd)을 포함할 수 있다.
- <72> 상기 제2 금속 물질(111)은 예컨대 스퍼터링 방식을 이용하여 증착될 수 있다. 스퍼터링 방식으로 상기 제2 금속 물질(111)을 증착하는 경우, 상기 제2 금속 물질(111)이 예비 오믹 콘택층(103a)에 스퍼터링되어 예비 오믹 콘택층(103a)을 손상시킬 수 있다.
- <73> 하지만, 본 발명에서는 제2 감광 패턴(107b)이 상기 예비 오믹 콘택층(103a) 상에 형성되므로, 제2 감광 패턴(107b)에 의해 상기 제2 금속 물질(111)에 의해 상기 예비 오믹 콘택층(103a)의 손상을 방지하여 박막트랜지스터의 특성을 향상시킬 수 있다.
- <74> 도 3g에 도시한 바와 같이, 상기 제2 감광 패턴(107b)을 스트립 오프(strip off)시켜 제거하고, 상기 예비 오믹 콘택층(103a) 상에 형성된 제1 절연 패턴(105a)을 건식 식각으로 제거한 후, 상기 제1 절연 패턴(105a) 하부의 상기 예비 오믹 콘택층(103a)을 상기 액티브층(21)이 노출되도록 건식 식각한다. 이에 따라, 상기 예비 오믹 콘택층(103a)은 중앙 영역이 제거되어 서로 이격된 오믹 콘택층(22)이 형성될 수 있다.
- <75> 따라서, 상기 액티브층(21)과 상기 오믹 콘택층(22)으로 구성된 반도체층(23)이 형성될 수 있다. 상기 반도체층(23)은 아일랜드 형상을 가지고 상기 게이트전극(12)의 폭보다 적어도 작도록 형성될 수 있다.
- <76> 도 3h에 도시한 바와 같이, 상기 제2 금속 물질(111)을 포함하는 기판(10) 상에 보호막(31)을 형성하고, 그 위에 제2 감광성 물질(미도시)을 증착한다.
- <77> 상기 제2 감광성 물질 상에 차단 영역(71), 반투과 영역(73) 및 투과 영역(75)을 갖는 제2 하프톤 마스크(70, 제3 마스크)를 위치시킨 후, 광을 조사하고 현상한다.
- <78> 따라서, 상기 차단 영역(71)에 의해 광이 차단되므로, 상기 차단 영역(71)에 대응된 제2 감광성 물질은 그대로 유지되게 된다. 상기 반투과 영역(73)에 의해 광이 회절되므로, 상기 반투과 영역(73)에 대응된 상기 제2 감광성 물질은 소정 두께가 제거된다. 상기 투과 영역(75)에 의해 상기 광이 그대로 투과되므로, 상기 투과 영역

(75)에 대응된 상기 제2 감광성 물질은 모두 제거되게 된다.

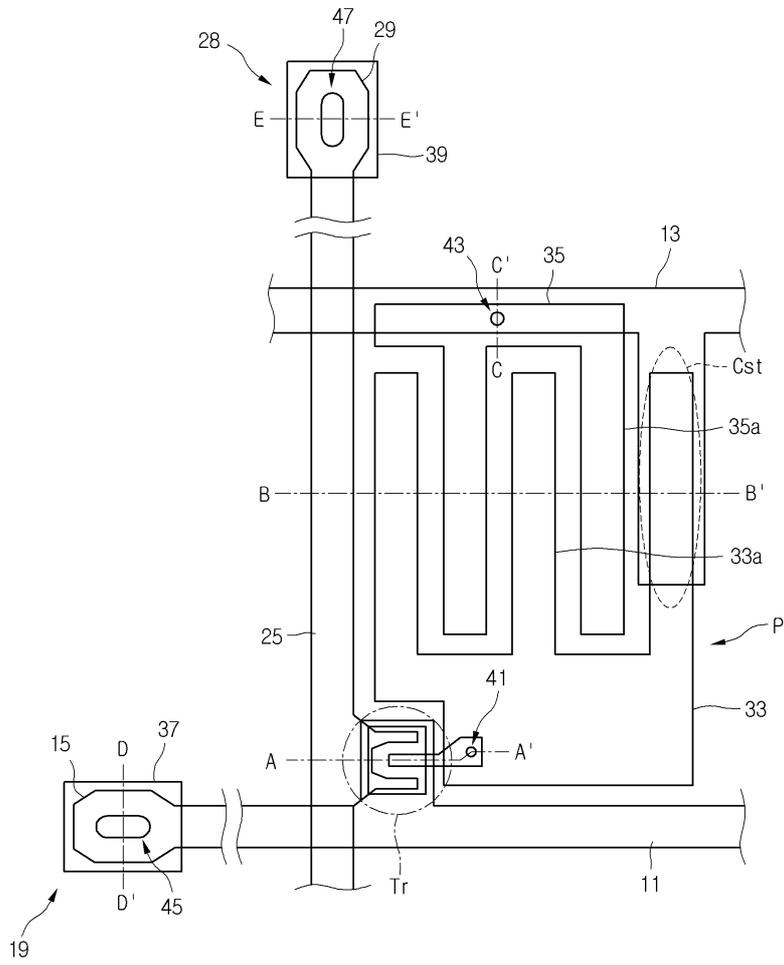
- <79> 이에 따라, 상기 제2 감광성 물질은 상기 차단 영역(71)에 대응된 제1 영역은 전혀 제거되지 않게 되고, 상기 반투과 영역(73)에 대응된 제2 영역은 소정 두께 제거되게 되며, 상기 투과 영역(75)에 대응된 제3 영역은 모두 제거되게 된다.
- <80> 이러한 형태를 반영한 제1 감광 패턴(123)이 형성되게 된다.
- <81> 도 3i에 도시한 바와 같이, 상기 제1 감광 패턴(123)을 마스크로 하여 상기 보호막(31), 상기 제2 금속 물질(111), 상기 게이트절연막(17)을 패터닝하여, 예비 드레인전극이 노출된 제1 콘택홀(41), 상기 공통라인(13)이 노출된 제2 콘택홀(43), 상기 게이트패드(15)가 노출된 제3 콘택홀(45) 및 예비 데이터패드가 노출된 제4 콘택홀(47)을 형성한다.
- <82> 상기 제1 감광 패턴(123)을 애싱하여, 데이터라인 형성 영역, 소오스전극 형성 영역, 드레인전극 형성 영역 및 데이터패드 형성 영역 상에 제2 감광 패턴(미도시)을 형성한다.
- <83> 상기 제2 감광 패턴을 마스크로 하여 패터닝하여, 상기 보호막(31) 및 상기 제2 금속 물질(111)을 제거한다. 이에 따라, 상기 보호막(31)에 의해 덮여진 데이터라인(25), 소오스전극(27a), 드레인전극(27b) 및 데이터패드(29)가 형성된다.
- <84> 따라서, 게이트전극(12), 상기 반도체층(23), 상기 소오스전극(27a) 및 상기 드레인전극(27b)으로 구성된 박막 트랜지스터(Tr)가 형성될 수 있다.
- <85> 도 3j에 도시한 바와 같이, 상기 데이터라인(25)을 포함하는 상기 기판(10) 상에 투명한 도전 물질을 증착하고 제4 마스크를 이용하여 상기 투명한 도전 물질을 패터닝하여, 화소전극(33), 화소전극 바들(33a), 공통전극(35) 및 공통전극 바들(35a), 게이트 연결전극(37) 및 데이터 연결전극(39)을 형성한다.
- <86> 상기 화소전극(33)은 상기 제1 콘택홀(41)을 통해 상기 드레인전극(27a)과 전기적으로 연결되고, 상기 공통전극(35)은 상기 제2 콘택홀(43)을 통해 상기 공통라인(13)과 전기적으로 연결될 수 있다.
- <87> 상기 다수의 화소전극 바들(33a)은 상기 화소전극(33)으로부터 연장 형성될 수 있고, 상기 다수의 공통전극 바들(35a)은 상기 공통전극(35)으로부터 연장 형성될 수 있다.
- <88> 상기 각 화소전극 바들(33a)과 상기 각 공통전극 바들(35a)은 상기 게이트절연막(17) 상에 형성될 수 있다.
- <89> 상기 게이트 연결전극(37)은 상기 제3 콘택홀(45)을 통해 상기 게이트패드(15)와 전기적으로 연결되고, 상기 데이터 연결전극(39)은 상기 제4 콘택홀(47)을 통해 상기 데이터패드(29)와 전기적으로 연결될 수 있다.
- <90> 상기 게이트패드(15)와 상기 게이트 연결전극(37)에 의해 게이트패드부(19)가 형성되고, 상기 데이터패드(29)와 상기 데이터 연결전극(39)에 의해 데이터패드부(28)가 형성될 수 있다.
- <91> 상기 공통라인(13)과 상기 화소전극 바들(33a) 중 어느 하나는 게이트절연막(17)을 사이에 두고 오버랩되도록 형성될 수 있다. 따라서, 상기 공통라인(13)과 상기 화소전극 바들(33a) 중 어느 하나에 의해 스토리지 캐패시터(Cst)가 형성될 수 있다.
- <92> 따라서, 본 발명은 기존이 4마스크 공정을 그대로 유지하므로, 공정 수의 증가나 공정 비용의 증가를 방지할 수 있다.
- <93> 본 발명은 반도체층이 아일랜드 형상을 가지고 게이트전극의 폭보다 적어도 작도록 형성됨으로써, 게이트전극에 의해 광이 차단되므로 광에 의해 반도체층의 누설 전류의 발생을 방지하여 화질을 향상시킬 수 있다.

발명의 효과

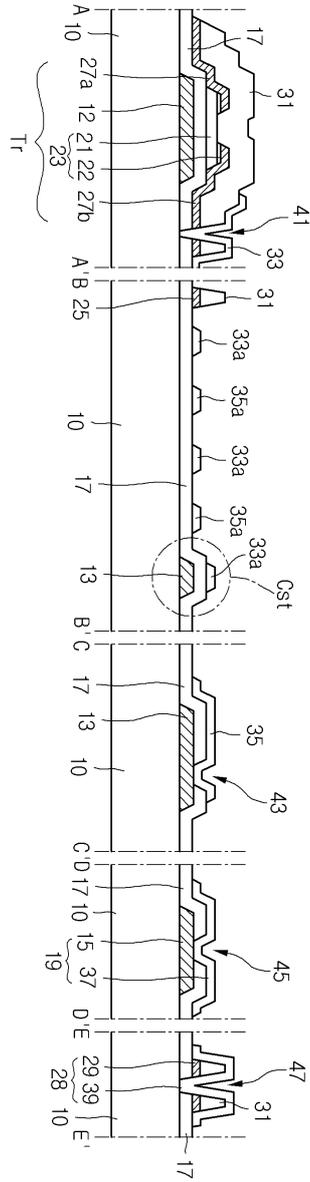
- <94> 본 발명에 의하면, 반도체층을 아일랜드 형상으로 게이트전극의 폭보다 적어도 작도록 형성함으로써, 광에 의한 반도체층의 누설 전류를 방지하여 화질을 향상시킬 수 있다.
- <95> 본 발명에 의하면, 적어도 기존과 동일 마스크를 이용함으로써, 공정수나 공정 비용의 증가를 방지할 수 있다.
- <96> 본 발명에 의하면, 금속 물질에 의한 반도체층의 손상을 차단함으로써, 박막트랜지스터의 특성을 향상시킬 수 있다.

도면

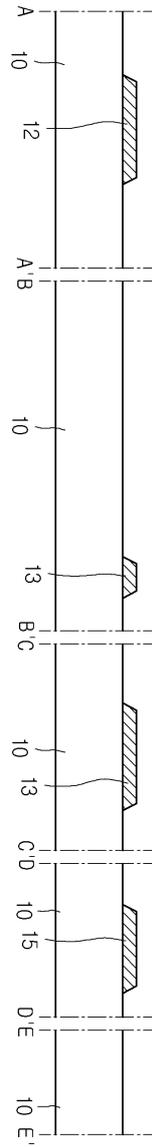
도면1



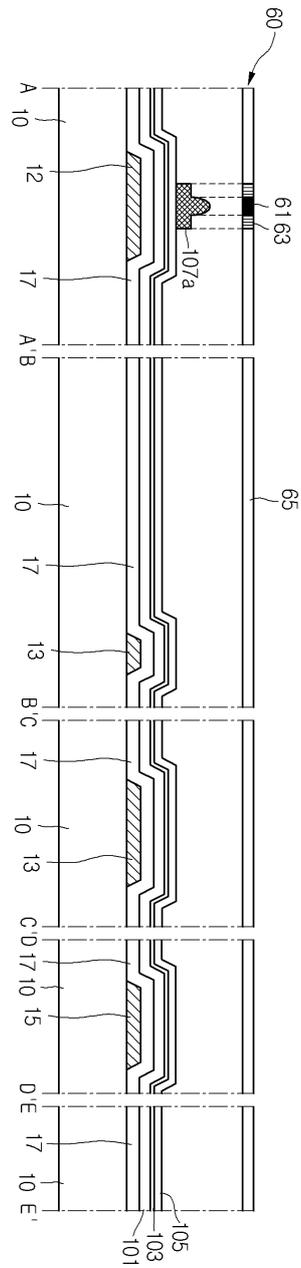
도면2



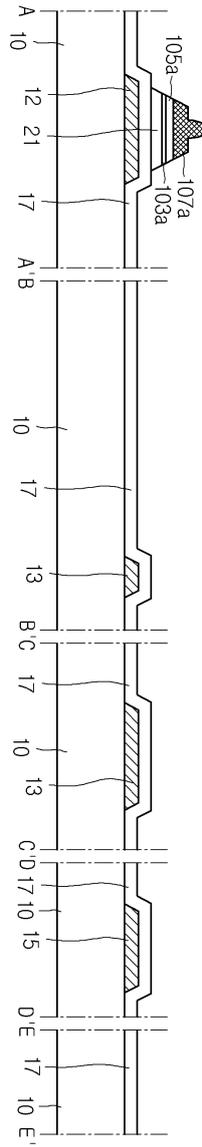
도면3a



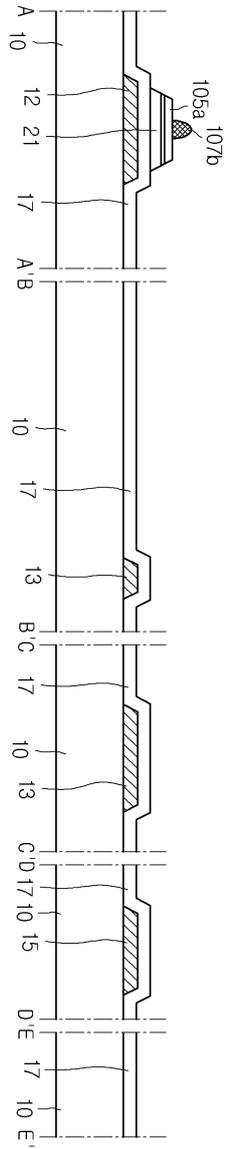
도면3b



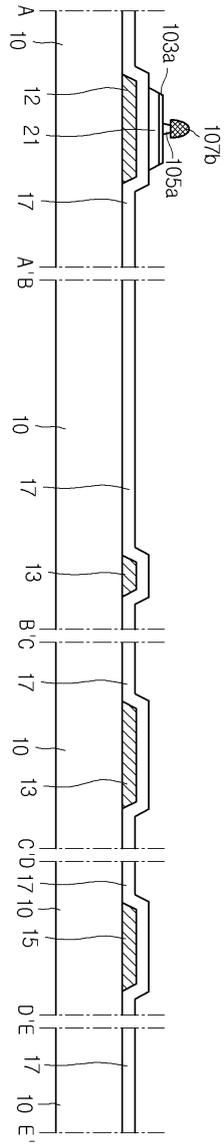
도면3c



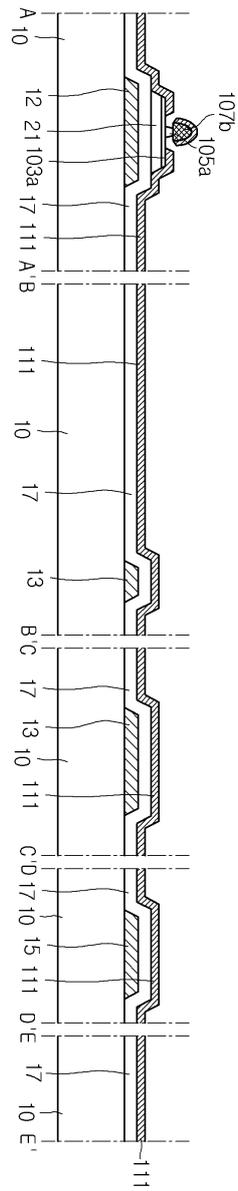
도면3d



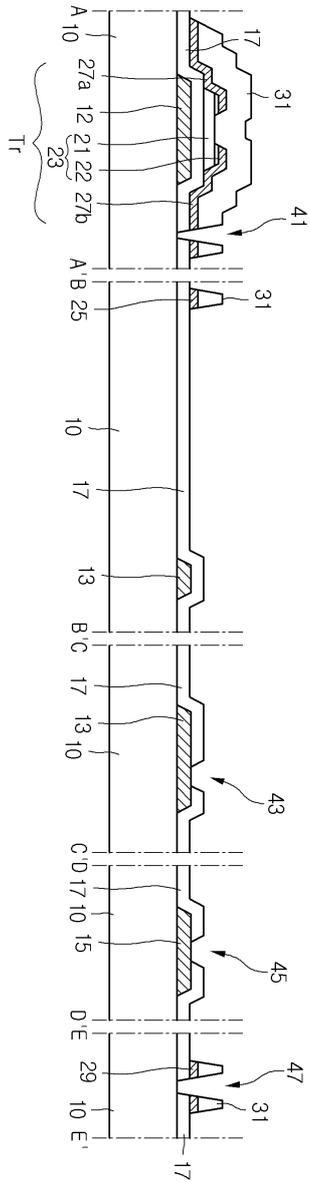
도면3e



도면3f



도면3i



专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR1020080109217A	公开(公告)日	2008-12-17
申请号	KR1020070057274	申请日	2007-06-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI BYUNG KOOK 최병국 OH JAE YOUNG 오재영		
发明人	최병국 오재영		
IPC分类号	G02F1/136		
CPC分类号	G02F1/1368 G02F1/134363 G02F1/136213 G02F1/136286 H01L27/124		
外部链接	Espacenet		

摘要(译)

公开了一种用于改善图像质量的液晶显示器的阵列基板及其制造方法。像素电极与漏电极数据线电连接，并且源电极和漏电极布置，栅极绝缘层布置在包括基板上的栅极线的基板上，并且栅极线，栅电极和公共线布置在栅极线上半导体层设置在与栅电极对应的栅极绝缘层上。此时，半导体层设置为至少包括在栅电极内。液晶显示器，阵列面板，漏电流，半导体层。

