



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0018773
(43) 공개일자 2008년02월28일

(51) Int. Cl.

G02F 1/1345 (2006.01)

(21) 출원번호 10-2006-0124754

(22) 출원일자 2006년12월08일

심사청구일자 없음

(30) 우선권주장

1020060081056 2006년08월25일 대한민국(KR)

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김동규

경기 용인시 수지구 풍덕천2동 삼성5차아파트
523-1305

나병선

경기 수원시 장안구 율전동 밤꽃마을뜨란채아파트
108-301

(74) 대리인

윤창일, 허성원, 서동현, 장기석

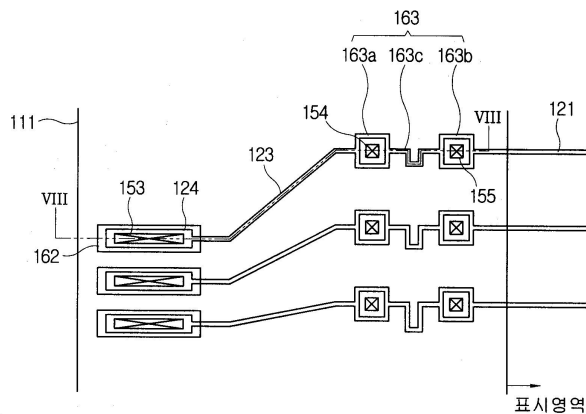
전체 청구항 수 : 총 20 항

(54) 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것이다. 본 발명에 따른 액정표시장치는 표시영역을 가지는 제1기판과, 상기 제1기판과 대면하는 제2기판과, 상기 제1기판과 상기 제2기판 사이에 위치하는 액정층을 포함하며, 상기 제1기판은, 상기 표시영역 내에 위치하는 게이트 본선과; 상기 표시영역 외부에 위치하는 게이트 패드와; 상기 게이트 본선과 상기 게이트 패드를 전기적으로 연결하며 상기 게이트 본선보다 저항이 높은 물질로 이루어진 저항부를 포함하는 것을 특징으로 한다. 이에 의해 게이트 신호 지연 차이로 인한 휘도불균일이 감소된 액정표시장치가 제공된다.

대표도 - 도7



특허청구의 범위

청구항 1

표시영역을 가지는 제1기판과, 상기 제1기판과 대면하는 제2기판과, 상기 제1기판과 상기 제2기판 사이에 위치하는 액정층을 포함하는 액정표시장치에 있어서,

상기 제1기판은,

상기 표시영역 내에 위치하는 게이트 본선과;

상기 표시영역 외부에 위치하는 게이트 패드와;

상기 게이트 본선과 상기 게이트 패드를 전기적으로 연결하며 상기 게이트 본선보다 저항이 높은 물질로 이루어진 저항부를 포함하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 제1기판은,

상기 게이트 본선에 연결되어 있는 박막트랜지스터와;

상기 박막트랜지스터에 전기적으로 연결되어 있는 화소전극을 더 포함하는 것을 특징으로 하는 표시장치.

청구항 3

제2항에 있어서,

상기 저항부는 상기 화소전극과 동일한 재질로 마련되어 있는 것을 특징으로 하는 표시장치.

청구항 4

제3항에 있어서,

상기 저항부는 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)를 포함하는 것을 특징으로 하는 표시장치.

청구항 5

제1항에 있어서,

상기 저항부는 연결하는 상기 게이트 본선과 상기 게이트 패드와의 거리가 길수록 저항값이 작게 마련되는 것을 특징으로 하는 표시장치.

청구항 6

제1항에 있어서,

상기 게이트 패드와 상기 저항부 사이에 위치하는 펜-아웃부를 더 포함하는 것을 특징으로 하는 액정표시장치,

청구항 7

제6항에 있어서,

상기 게이트 본선, 상기 게이트 패드 및 상기 펜-아웃부는 동일한 층으로 형성되어 있는 것을 특징으로 하는 액정표시장치.

청구항 8

제6항에 있어서,

상기 펜-아웃부 상에 형성되어 있으며, 상기 제1기판과 상기 제2기판을 결합시키는 실런트를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 9

제1항에 있어서,

상기 게이트 패드와 상기 저항부 사이에 위치하는 팬-아웃부를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 10

제9항에 있어서,

상기 게이트 패드, 상기 팬-아웃부 및 상기 저항부는 같은 층으로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 11

제1항에 있어서,

상기 저항부의 적어도 일부는 지그재그로 형성되어 있는 것을 특징으로 하는 표시장치.

청구항 12

제2 항에 있어서,

상기 액정층은 VA(vertical alignment) 모드인 것을 특징으로 하는 액정표시장치.

청구항 13

제12항에 있어서,

화소전극은 화소전극 절개패턴이 형성되어 있으며,

상기 제2기판은 공통전극 절개패턴이 형성되어 있는 공통전극을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 14

제13항에 있어서,

상기 화소전극은 서로 분리되어 있는 제1화소전극 및 제2화소전극을 포함하며, 상기 제1화소전극과 상기 제2화소전극에는 서로 다른 화소 전압이 인가되는 것을 특징으로 하는 액정표시장치.

청구항 15

제14항에 있어서,

상기 박막트랜지스터는 드레인 전극을 포함하며,

상기 드레인 전극은 상기 제1화소전극에 직접 데이터 전압을 인가하는 제1드레인 전극과 상기 제2화소전극과 결합용량을 형성하는 제2드레인 전극을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 16

제14항에 있어서,

상기 박막트랜지스터는 상기 제1화소전극에 연결되어 있는 제1박막트랜지스터와 상기 제2화소전극에 연결되어 있는 제2박막트랜지스터를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 17

제1항에 있어서,

상기 저항부의 총 저항은 상기 게이트 본선의 총 저항의 10% 내지 50%인 것을 특징으로 하는 액정표시장치.

청구항 18

제1항에 있어서,

상기 게이트 본선의 게이트 신호 지연의 변화는 100%내에서 이루어지는 것을 특징으로 하는 액정표시장치

청구항 19

표시영역을 가지는 제1기판과, 상기 제1기판과 대면하는 제2기판과, 상기 제1기판과 상기 제2기판 사이에 위치하는 액정층을 포함하는 액정표시장치에 있어서,

상기 제1기판은,

상기 표시영역 내에 위치하는 게이트 본선과;

상기 표시영역 외부에 위치하는 게이트 패드와;

상기 게이트 본선과 상기 게이트 패드를 전기적으로 연결하며 상기 게이트 본선보다 저항이 높은 물질로 이루어진 저항부와;

상기 게이트 본선에 연결되어 있는 박막트랜지스터와;

상기 박막트랜지스터에 전기적으로 연결되어 있으며 상기 저항부와 동일한 재질로 이루어진 화소전극을 포함하며,

상기 액정층은 VA모드인 액정표시장치.

청구항 20

표시영역과 비표시영역을 갖는 기판,

상기 표시영역 내에 위치하는 게이트 본선과;

상기 표시영역 외부에 위치하는 게이트 패드와;

상기 게이트 본선과 상기 게이트 패드를 전기적으로 연결하며 상기 게이트 본선보다 저항이 높은 물질로 이루어진 저항부와;

상기 게이트 본선에 연결되어 있는 박막트랜지스터와;

상기 박막트랜지스터에 전기적으로 연결되어 있으며 상기 저항부와 동일한 재질로 이루어진 화소전극을 포함하는 박막트랜지스터 어레이 기판.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <28> 본 발명은 액정표시장치에 관한 것으로, 더 상세하게는 게이트 신호 지연차이를 감소시켜 휘도균일성을 향상시킨 액정표시장치에 관한 것이다.
- <29> 액정표시장치는 박막트랜지스터가 형성되어 있는 제1기판과, 제1기판에 대향 배치되어 있는 제2기판, 그리고 이들 사이에 위치하는 액정층을 포함한다.
- <30> 박막트랜지스터 기판에 마련된 게이트선과 데이터선은 서로 교차하면서 화소를 형성하며 각 화소는 박막트랜지스터에 연결되어 있다. 게이트선에 게이트 신호(게이트 온전압(Von))가 인가되어 박막트랜지스터가 턴온되면 데이터선을 통해 인가된 데이터 전압(Vd)이 화소에 충전된다.
- <31> 화소에 충전된 화소 전압(Vp)과 제2기판의 공통전극에 형성된 공통전압(Vcom) 사이에 형성된 전계에 따라 액정층의 배열상태가 결정된다. 데이터 전압(Vd)은 프레임 별로 극성을 달리하여 인가된다.
- <32> 화소에 인가된 데이터 전압(Vd)은 게이트 전극과 소스 전극(드레인 전극) 간의 기생 용량(Cp)에 의해 강하되어 화소 전압(Vp)을 형성한다. 데이터 전압(Vd)과 화소 전압(Vp) 간의 전압 차이를 킥백 전압(Vkb)이라 한다.
- <33> 게이트선은 단부에 연결되어 있는 게이트 패드를 통해 게이트 신호를 인가 받는다. 게이트 패드에 인접한 화소

에는 지연이 적은 게이트 신호가 인가되고, 게이트 패드에서 먼 화소에는 게이트선의 저항에 의해 지연이 많이 된 게이트 신호가 인가된다.

<34> 그런데 게이트 신호의 지연 정도에 따라 킥백전압의 크기가 달라지고, 킥백전압의 변화에 의해 화소전압이 달라져 화면의 휘도가 불균일해지는 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

<35> 따라서 본 발명의 목적은 게이트 신호 지연 차이로 인한 휘도불균일이 감소된 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

<36> 상기 본 발명의 목적은 표시영역을 가지는 제1기판과, 상기 제1기판과 대면하는 제2기판과, 상기 제1기판과 상기 제2기판 사이에 위치하는 액정층을 포함하는 액정표시장치에 있어서, 상기 제1기판은, 상기 표시영역 내에 위치하는 게이트 본선과; 상기 표시영역 외부에 위치하는 게이트 패드와; 상기 게이트 본선과 상기 게이트 패드를 전기적으로 연결하며 상기 게이트 본선보다 저항이 높은 물질로 이루어진 저항부를 포함하는 것에 의하여 달성된다.

<37> 상기 제1기판은, 상기 게이트 본선에 연결되어 있는 박막트랜지스터와; 상기 박막트랜지스터에 전기적으로 연결되어 있는 화소전극을 더 포함하는 것이 바람직하다.

<38> 상기 저항부는 상기 화소전극과 동일한 재질로 마련되어 있는 것이 바람직하다.

<39> 상기 저항부는 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)를 포함하는 것이 바람직하다.

<40> 상기 저항부는 연결하는 상기 게이트 본선과 상기 게이트 패드와의 거리가 길수록 저항값이 작게 마련되는 것이 바람직하다.

<41> 상기 게이트 패드와 상기 저항부 사이에 위치하는 펜-아웃부를 더 포함하는 것이 바람직하다.

<42> 상기 게이트 본선, 상기 게이트 패드 및 상기 펜-아웃부는 동일한 층으로 형성되어 있는 것이 바람직하다.

<43> 상기 펜-아웃부 상에 형성되어 있으며, 상기 제1기판과 상기 제2기판을 결합시키는 실런트를 더 포함하는 것이 바람직하다.

<44> 상기 게이트 패드와 상기 저항부 사이에 위치하는 펜-아웃부를 더 포함하는 것이 바람직하다.

<45> 상기 게이트 패드, 상기 펜-아웃부 및 상기 저항부는 같은 층으로 이루어진 것이 바람직하다.

<46> 상기 저항부의 적어도 일부는 지그재그로 형성되어 있는 것이 바람직하다.

<47> 상기 액정층은 VA(vertical alignment) 모드인 것이 바람직하다.

<48> 화소전극은 화소전극 절개패턴이 형성되어 있으며, 상기 제2기판은 공통전극 절개패턴이 형성되어 있는 공통전극을 포함하는 것이 바람직하다.

<49> 상기 화소전극은 서로 분리되어 있는 제1화소전극 및 제2화소전극을 포함하며, 상기 제1화소전극과 상기 제2화소전극에는 서로 다른 화소 전압이 인가되는 것이 바람직하다.

<50> 상기 박막트랜지스터는 드레인 전극을 포함하며, 상기 드레인 전극은 상기 제1화소전극에 직접 데이터 전압을 인가하는 제1드레인 전극과 상기 제2화소전극과 결합용량을 형성하는 제2드레인 전극을 포함하는 것이 바람직하다.

<51> 상기 박막트랜지스터는 상기 제1화소전극에 연결되어 있는 제1박막트랜지스터와 상기 제2화소전극에 연결되어 있는 제2박막트랜지스터를 포함하는 것이 바람직하다.

<52> 상기 저항부의 총 저항은 상기 게이트 본선의 총 저항의 10% 내지 50%인 것이 바람직하다.

<53> 상기 게이트 본선의 게이트 신호 지연의 변화는 100%내에서 이루어지는 것이 바람직하다.

<54> 상기 본 발명의 목적은 표시영역을 가지는 제1기판과, 상기 제1기판과 대면하는 제2기판과, 상기 제1기판과 상기 제2기판 사이에 위치하는 액정층을 포함하는 액정표시장치에 있어서, 상기 제1기판은, 상기 표시영역 내에 위치하는 게이트 본선과; 상기 표시영역 외부에 위치하는 게이트 패드와; 상기 게이트 본선과 상기 게이트 패드

를 전기적으로 연결하며 상기 게이트 본선보다 저항이 높은 물질로 이루어진 저항부와; 상기 게이트 본선에 연결되어 있는 박막트랜지스터와; 상기 박막트랜지스터에 전기적으로 연결되어 있으며 상기 저항부와 동일한 재질로 이루어진 화소전극을 포함하며, 상기 액정층은 VA모드인 것이 의해서도 달성된다.

- <55> 상기 본 발명의 목적은 표시영역과 비표시영역을 갖는 기판, 상기 표시영역 내에 위치하는 게이트 본선과; 상기 표시영역 외부에 위치하는 게이트 패드와; 상기 게이트 본선과 상기 게이트 패드를 전기적으로 연결하며 상기 게이트 본선보다 저항이 높은 물질로 이루어진 저항부와; 상기 게이트 본선에 연결되어 있는 박막트랜지스터와; 상기 박막트랜지스터에 전기적으로 연결되어 있으며 상기 저항부와 동일한 재질로 이루어진 화소전극을 포함하는 박막트랜지스터 어레이 기판을 포함하는 액정표시장치에 의해서도 달성된다.
- <56> 이하 첨부된 도면을 참조로 하여 본 발명을 더욱 상세히 설명하겠다. 이하에서 어떤 막(층)이 다른 막(층)의 '상부에' 형성되어(위치하고) 있다는 것은, 두 막(층)이 접해 있는 경우 뿐 아니라 두 막(층) 사이에 다른 막(층)이 존재하는 경우도 포함한다.
- <57> 도 1 내지 도 3을 참조하여 본 발명에 따른 액정표시장치를 설명한다.
- <58> 액정표시장치(1)는 박막트랜지스터(T)가 형성되어 있는 제1기판(100), 제1기판(100)과 대향하는 제2기판(200), 양 기판(100, 200) 사이에 위치하는 액정층(300) 및 양 기판(100, 200)을 접합시키는 실런트(400)를 포함한다.
- <59> 제1기판(100)은 표시영역과, 표시영역을 둘러싸는 비표시영역으로 나누어진다. 표시영역의 게이트선(121)은 비표시영역의 팬-아웃부(123)를 통해 게이트 패드(124)와 연결된다.
- <60> 먼저 제1 기판(100)에 대하여 설명한다.
- <61> 제1절연기판(111) 상에 게이트 배선이 형성되어 있다. 게이트 배선은 금속 단일층 또는 다중층일 수 있다. 게이트 배선은 표시영역 내에 위치하며 가로 방향으로 뻗어 있는 게이트 본선(121), 게이트 본선(121)에서 연결되어 있는 게이트 전극(122), 게이트 본선(121)에서 비표시영역으로 연장되어 있는 팬-아웃부(123) 및 팬-아웃부(123)의 단부에 연결되어 있는 게이트 패드(124) 그리고 게이트선(121)과 평행하게 연장되어 있는 유지전극선(125)을 포함한다.
- <62> 게이트 패드(124)는 게이트 구동부(도시하지 않음)에 연결되어, 게이트 신호를 인가받는다. 게이트 패드(124)는 게이트 본선(121)에 비해 폭이 크게 마련되어 있다.
- <63> 제1절연기판(111)위에는 실리콘 질화물(SiNx) 등으로 이루어진 게이트 절연막(131)이 게이트 배선을 덮고 있다.
- <64> 게이트 전극(122)의 게이트 절연막(131) 상부에는 비정질 실리콘 등의 반도체로 이루어진 반도체층(132)이 형성되어 있으며, 반도체층(132)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 실리콘 등의 물질로 만들어진 저항 접촉층(133)이 형성되어 있다. 소스 전극(142)과 드레인 전극(143) 사이의 채널부에서는 저항 접촉층(133)이 제거되어 있다.
- <65> 저항 접촉층(133) 및 게이트 절연막(131) 위에는 데이터 배선이 형성되어 있다. 데이터 배선 역시 금속층으로 이루어진 단일층 또는 다중층일 수 있다. 데이터 배선은 세로방향으로 형성되어 게이트선(121)과 교차하여 화소를 형성하는 데이터선(141), 데이터선(141)의 분지이며 저항 접촉층(133)의 상부까지 연장되어 있는 소스 전극(142), 소스전극(142)과 분리되어 있으며 소스전극(142)의 반대쪽 저항 접촉층(133) 상부에 형성되어 있는 드레인 전극(143), 데이터선(141)에서 비표시영역으로 연장된 팬-아웃부(144) 및 팬-아웃부(144)의 단부에 연결되어 있는 데이터 패드(145)를 포함한다.
- <66> 데이터 패드(145)는 데이터 구동부(도시하지 않음)에 연결되어, 데이터 구동 신호를 인가받는다. 데이터 패드(145)는 데이터 본선(141)에 비해 폭이 크게 마련되어 있다.
- <67> 데이터 배선 및 이들이 가리지 않는 반도체층(132)의 상부에는 보호막(151)이 형성되어 있다. 보호막(151)에는 드레인 전극(143)을 드러내는 접촉구(152)가 형성되어 있다. 도 7 및 도 8을 보면 보호막(151)에는 접촉구(153, 154, 155)가 더 형성되어 있으며, 이 부분에는 게이트 절연막(131)도 같이 제거되어 있다.
- <68> 보호막(151)의 상부에는 화소전극(161)이 형성되어 있다. 화소전극(161)은 통상 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)등의 투명한 도전물질로 이루어진다. 화소전극(161)은 접촉구(152)를 통해 드레인 전극(143)과 연결되어 있다. 화소전극(161)에는 화소전극 절개패턴(166)이 형성되어 있다.
- <69> 화소전극(161)의 화소전극 절개패턴(166)은 후술하는 공통전극 절개패턴(252)과 함께 액정층(300)을 다수의 영

역으로 분할한다.

- <70> 이어 제2 기관(200)에 대하여 설명하겠다.
- <71> 제2절연기관(211) 위에 블랙매트릭스(221)가 형성되어 있다. 블랙매트릭스(221)는 일반적으로 적색, 녹색 및 청색 필터 사이를 구분하며, 제1기관(100)에 위치하는 박막트랜지스터의 직접적인 광조사를 차단하는 역할을 한다. 블랙매트릭스(221)는 통상 검은색 안료가 첨가된 감광성 유기물질로 이루어져 있다. 상기 검은색 안료로는 카본블랙이나 티타늄 옥사이드 등을 사용한다.
- <72> 컬러필터(231)는 블랙매트릭스(221)를 경계로 하여 적색, 녹색 및 청색 필터가 반복되어 형성된다. 컬러필터(231)는 백라이트 유닛(도시하지 않음)으로부터 조사되어 액정층(300)을 통과한 빛에 색상을 부여하는 역할을 한다. 컬러필터(231)는 통상 감광성 유기물질로 이루어져 있다.
- <73> 컬러필터(231)와 컬러필터(231)가 덮고 있지 않은 블랙매트릭스(221)의 상부에는 오버코트층(241)이 형성되어 있다. 오버코트층(241)은 컬러필터(231)를 평탄화하면서, 컬러필터(231)를 보호하는 역할을 한다. 오버코트층(241)은 감광성 아크릴계 수지일 수 있다.
- <74> 오버코트층(241)의 상부에는 공통전극(251)이 형성되어 있다. 공통전극(251)은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)등의 투명한 도전물질로 이루어진다. 공통전극(251)은 박막트랜지스터 기관의 화소전극(161)과 함께 액정층(300)에 직접 전압을 인가한다.
- <75> 공통전극(251)에는 공통전극 절개패턴(252)이 형성되어 있다. 공통전극 절개패턴(252)은 화소전극(161)의 화소전극 절개패턴(166)과 함께 액정층(300)을 다수의 영역으로 나누는 역할을 한다. 화소전극 절개패턴(166)과 공통전극 절개패턴(252)은 실시예에 한정되지 않고 다양한 형상으로 형성될 수 있다. 다른 실시예에서는 절개패턴(166, 252) 대신 돌기부가 마련되어 액정층(300)을 다수의 영역으로 나눌 수 있다.
- <76> 제1기관(100)과 제2기관(200)의 사이에는 액정층(300)이 위치한다. 액정층(300)은 VA(vertically aligned)모드로서, 액정분자는 전압이 가해지지 않은 상태에서는 길이방향이 수직을 이루고 있다. 전압이 가해지면 액정분자는 유전율 이방성이 음이기 때문에 전기장에 대하여 수직방향으로 눕는다.
- <77> 그런데 절개패턴(166, 252)이 형성되어 있지 않으면, 액정분자는 눕는 방위각이 결정되지 않아서 여러 방향으로 무질서하게 배열하게 되고, 배향 방향이 다른 경계면에서 전경선(disclination line)이 생긴다. 절개 패턴(166, 252)은 액정층(300)에 전압이 걸릴 때 프린지 필드를 만들어 액정 배향의 방위각을 결정해 준다. 또한 액정층(300)은 절개 패턴(166, 252)의 배치에 따라 다중영역으로 나누어진다.
- <78> 제1실시예에 따른 액정표시장치(1)는 노말리 블랙(normally black) 모드로서, 화소전압에 따른 투과율은 도 4와 같다. 도 4의 C부분에 도시한 저 계조에서의 투과율 변화는 TN(twisted nematic) 액정과 비교하여 약 3배 정도 급격하다.
- <79> 이상 설명한 액정표시장치(1)에서 게이트본선(121)은 단부에 연결되어 있는 게이트 패드(124)를 통해 게이트 신호를 인가 받는다. 게이트본선(121)의 저항에 의해 게이트 패드(124)에 인접한 박막트랜지스터(T), 즉 좌측의 박막트랜지스터(T)에는 지연이 적은 게이트 신호가 인가된다. 반면 게이트 패드(123)에서 먼 박막트랜지스터(T), 즉 우측의 박막트랜지스터(T)에는 지연이 많이 된 게이트 신호가 인가된다.
- <80> 게이트 신호 지연의 차이에 따른 화면 휘도의 변화를 도 5 내지 도 6c를 참조하여 설명한다.
- <81> 킥백 전압(V_{kb})은 다음과 같이 식 1로 표현된다.
- <82> 식 1
- <83>
$$V_{kb} = (V_{on} - V_{off}) * C_p / (C_{lc} + C_{st} + C_p)$$
- <84> 여기서 도 3 및 도 5에서와 같이 C_p는 게이트 전극과 소스 전극간의 기생용량(C_{gs}) + 게이트 전극과 드레인 전극간의 기생용량(C_{gd}), C_{lc}는 액정용량, C_{st}는 저장용량, V_{on}은 게이트 온 전압, V_{off}는 게이트 오프 전압을 나타낸다.
- <85> 게이트 신호의 지연이 크면 게이트 온 전압 인가가 불량해져 킥백전압은 작아지며, 포지티브 화소전압이 인가될 때보다 네가티브 화소전압이 인가될 때 킥백전압은 더 커진다.
- <86> 도 6a 및 도 6b는 각각 게이트 신호의 지연이 작은 표시영역 좌측의 화소와 게이트 신호의 지연이 큰 표시영역

우측의 화소를 대상으로 킥백전압을 나타낸 것이다.

- <87> 도 6a에 나타난 좌측 화소의 경우, 포지티브 화소전압 인가 시 킥백전압은 1V이고 네가티브 화소전압 인가 시 킥백전압은 1.2V이다. 도 8b에 나타난 우측 화소의 경우, 포지티브 화소전압 인가 시와 네가티브 화소전압 인가 시 모두 킥백전압은 0.8V이다.
- <88> 따라서 좌측 화소의 경우가 최종적으로 화소에 남게 되는 평균(root mean square) 화소 전압이 더 커지고, 화면은 좌측 화소에 해당하는 부분이 더 밝게 인식된다.
- <89> 도 6c를 보면 게이트 패드(124)에 가까이 갈수록 게이트 신호 지연이 작고 킥백전압(V_{kb})은 커진다. 반면, 게이트 패드(124)에서 멀어질수록 게이트 신호지연은 커지고 킥백전압(V_{kb})은 작아진다. 따라서 좌측 화소가 우측 화소에 비해 평균(root mean square) 화소 전압이 더 커져 밝게 된다.
- <90> 이상과 같이 화면 좌우의 휘도가 달라지고, 이에 따라 가로줄이 인식되는 문제가 발생한다. 이와 같은 문제는 게이트 본선(121)이 길어 게이트 신호지연이 크게 발생하는 대형 액정표시장치에서 더욱 심각해진다.
- <91> 본 발명의 제1실시예에서는 이와 같이 게이트 지연 차이에 의한 문제를 게이트 본선(121)과 게이트 패드(124) 사이에 저항부(163)를 형성시켜 해결한다.
- <92> 도 7 내지 도 9를 참조하여 저항부(163)에 대하여 설명한다.
- <93> 저항부(163)는 비표시영역에서 팬-아웃부(123)와 게이트 본선(121) 사이에 위치한다. 저항부(163)는 화소전극(161)과 동일한 층으로 이루어져 있으며, 팬-아웃부(123)와 연결되는 제1부분(163a), 게이트 본선(121)과 연결되는 제2부분(163b) 및 제1부분(163a)과 제2부분(163b) 사이에 위치하는 제3부분(163c)을 포함한다
- <94> 제1부분(163a)은 접촉구(154)를 통해 팬-아웃부(123)와 접촉하며, 제2부분(163b)는 접촉구(155)를 통해 게이트 본선(121)과 접촉한다.
- <95> 접촉구(153)에 의해 노출된 게이트 패드(124)는 화소전극(161)과 동일한 층으로 이루어진 접촉부재(162)가 덮고 있다.
- <96> 저항부(163)는 ITO, IZO 등으로 이루어지는데, 이들 물질은 게이트 본선(121)을 이루는 금속물질에 비하여 저항이 크다. 저항이 큰 저항부(163)에 의해 게이트 신호는 표시영역에 들어가기 전에 도 9와 같이 이미 지연이 발생된다.
- <97> 따라서 게이트 신호의 지연 변화 폭과 킥백전압(V_{kb}) 변화 폭이 감소한다. 또한 표시영역 좌우에서의 휘도 차이도 감소한다.
- <98> 게이트 본선(121)의 총 저항은 통상 4000 Ω 내지 7000 Ω 인데, 저항부(163)의 총저항은 게이트 본선(121)의 총 저항의 10% 내지 50%일 수 있다. 저항부(163)의 저항값은 저항부(163)의 두께, 폭 및 길이를 조절하여 변화시킬 수 있다.
- <99> 저항부(163)의 저항값은 게이트 지연 변화가 100% 내에서 변화하도록, 즉 표시영역 좌우측 화소의 게이트 지연값이 표시영역 좌측측 화소의 게이트 지연값의 2배 이내가 되도록 정해지는 것이 바람직하다.
- <100> 한편 게이트 본선(121)과 게이트 패드(124)의 거리는 다양한데, 이로 인해 게이트 본선(121)과 게이트 패드(124) 사이의 저항이 달라져 휘도가 달라지는 문제가 있다.
- <101> 저항부(163)의 제3부분(163c)의 길이는 해당하는 게이트 본선(121)과 게이트 패드(124)의 거리에 반비례하도록 마련되어 있다. 이에 의해 게이트 본선(121)과 게이트 패드(124)의 거리 차이로 인한 휘도의 불균일이 감소된다.
- <102> 실런트(400)는 팬-아웃부(123) 상에 위치하여, 저항부(163)는 실런트(400) 내에 위치한다. 저항부(163)가 외부에 노출되어 있지 않기 때문에 저항부(163)가 부식되는 문제가 발생하지 않는다.
- <103> 제조과정에서는 외부로부터 유입되는 정전기가 박막트랜지스터(T) 등을 손상하는 문제가 발생할 수 있다. 제1실시예에 따르면 게이트 패드(124)를 통해 유입된 정전기는 저항이 큰 저항부(163)에서 어느 정도 소멸되어, 정전기로 인한 문제가 감소한다.
- <104> 다른 실시예에서 저항부(163)는 화소전극(161)과 별도로, 게이트 본선(121)보다 저항이 높은 다른 물질로 이루어질 수 있다. 또 다른 실시예에서, 저항부(163)의 형태는 모두 동일하며, 게이트 본선(121)과 게이트 패드

(124) 간의 거리 차이는 팬-아웃부(123)의 형태를 변경하여 해결할 수 있다.

- <105> 이하에서는 휘도불균일을 조절하기 위하여 게이트 신호 지연을 조절한 이유에 대하여 설명한다.
- <106> 도 10은 표시영역에서의 게이트 신호 지연값에 따른 휘도 편차율을 나타내었다. 휘도편차율은 (표시영역 좌측의 휘도-표시영역 중앙부분의 휘도)/표시영역 중앙부분의 휘도*100으로서, 수치가 크면 휘도 차이가 큰 것을 나타낸다.
- <107> 도 10을 보면 게이트 신호 지연값이 약 43%증가($2.55\mu s$ 에서 $3.67\mu s$)할 경우, 휘도편차율은 약 64%증가(30.6%에서 50.3%)한다.
- <108> 도 11은 킥백전압에 비례하는 $C_p/(C_{lc}+C_{st}+C_p)$ 에 따른 휘도 편차율을 나타내었다. 도 11을 보면 $C_p/(C_{lc}+C_{st}+C_p)$ 이 24%증가(0.037에서 0.046)할 경우, 휘도편차율은 약 26.4%(35.6%에서 45%)증가한다.
- <109> 이상 도 10 및 도 11로부터 휘도불균일을 개선하기 위해서는 게이트 신호 지연값을 조절하는 것이 효과적임을 알 수 있다.
- <110> 게이트 신호 지연과 화소전압은 비표시영역에서의 저항, 즉 게이트 패드에서 게이트 본선까지의 저항에 의해 변화되는데 이를 도 12 및 도 13을 참조하여 설명한다.
- <111> 도 12 및 도 13에서 비표시영역에서의 저항은 $1/6k\Omega$, $1/3k\Omega$, $1/2k\Omega$, $2/3k\Omega$ 의 4가지 값을 가진다. $0k\Omega$ 으로 표시된 데이터는 저항부가 존재하지 않고, 게이트 본선과 게이트 패드가 일체로 형성된 경우이다.
- <112> 도 12를 보면 비표시영역의 저항이 커질수록, 게이트 신호 지연 값은 전체적으로 커짐을 알 수 있다. 한편 비표시영역 저항이 커질수록, 우측 게이트 신호 지연값/좌측 게이트 신호 지연값이 감소한다.
- <113> 즉 $0k\Omega$ 의 경우 우측 게이트 신호 지연값/좌측 게이트 신호 지연값은 $6.53(4.18/0.64)$ 인데 반해, $2/3k\Omega$ 의 경우 우측 게이트 신호 지연값/좌측 게이트 신호 지연값은 $1.77(8.12/4.57)$ 이다.
- <114> 도 13을 보면 비표시영역 저항이 커질수록, 화소전압은 전체적으로 작아짐을 알 수 있다. 한편 저항부 저항이 커질수록, 좌측 화소전압/우측 화소전압이 감소한다. 즉 $0k\Omega$ 의 경우 좌측 화소전압/우측 화소전압은 $1.028(3.3/3.21)$ 인데 반해, $2/3k\Omega$ 의 경우 좌측 화소전압/우측 화소전압은 $1.012(3.19/3.15)$ 이다.
- <115> 도 12와 도 13으로부터 비표시영역 저항을 증가시키면 게이트 신호 지연과 화소전압의 좌측 표시 영역과 우측 표시 영역에서의 차이를 감소시킬 수 있음을 알 수 있다. 다만, 비표시영역 저항이 커지면 게이트 신호 전달이 어려워지므로, 비표시영역 저항은 게이트 본선(121)의 총 저항 등을 감안하여 결정되어야 한다.
- <116> 이하 도 14 및 도 15를 참조하여 제2실시예에 대하여 설명한다.
- <117> 제2실시예에 따르면 게이트 패드(164)와 팬-아웃부(165)는 저항부(163)와 일체로 형성되어 있으며, ITO 또는 IZO로 이루어진다. 저항부(163)는 게이트 본선(121)과 접촉구(156)를 통해 연결된다. 제2실시예에서는 게이트 패드(164)와 팬-아웃부(165)도 제1실시예의 저항부(163)와 같은 역할을 한다.
- <118> 제1실시예와 같이 저항부(163)는 해당하는 게이트 본선(121)과 게이트 패드(164)의 거리에 반비례하도록 마련되어 있다. 이에 의해 게이트 본선(121)과 게이트 패드(164)의 거리 차이로 인한 휘도의 불균일이 감소된다.
- <119> 다른 실시예에서는 저항부(163) 없이, 팬-아웃부(165)만을 ITO 또는 IZO로 만들어 게이트 신호를 지연시킬 수 있다.
- <120> 도 16 내지 도 18을 참조하여 제3실시예를 설명한다.
- <121> 도 16을 보면 박막트랜지스터(T)에 2개의 액정용량(G_{LC1} , G_{LC2})이 연결되어 있다. 제1액정용량(G_{LC1})은 제1화소전극(PE1)과 공통전극(CE) 사이에 형성되며, 제1화소전극(PE1)은 박막트랜지스터(T)에 직접 연결되어 있다. 제2액정용량(G_{LC2})은 제2화소전극(PE2)과 공통전극(CE) 사이에 형성되며, 제2화소전극(PE2)는 결합 용량(C_p)을 거쳐서 간접적으로 박막트랜지스터(T)와 연결되어 있다.
- <122> 여기서 제1화소전극(PE1)과 제2화소전극(PE2)은 서로 분리되어 있다.
- <123> 제3실시예에 따르면 시인성이 향상되는데 이를 도 17을 참조하여 설명한다.
- <124> 제1화소 전극(PE1)에는 박막트랜지스터(T)를 통해 데이터 신호가 정상적으로 인가된다. 반면 제2화소 전극(PE2)은 박막트랜지스터(T)로부터 직접적으로 데이터 신호를 받지 못하고, 제2화소전극(PE2)과 박막트랜지스터(T)

사이의 절연막에 의해 발생하는 결합용량(C_p)으로 인하여 유도되는 전압에 의해 신호를 인가 받는다.

- <125> 따라서 제2화소 전극(PE2)에는 제1화소 전극(PE1)에 비하여 약한 신호가 인가되어, 제1화소전극(PE1)에 해당하는 화소영역의 휘도와 제2화소전극(PE2)에 해당하는 화소영역의 휘도가 다르게 된다. 제2화소전극(PE2)에 인가되는 전압은 제1화소전극(PE1)에 인가되는 전압의 50% 내지 90%이다.
- <126> 이와 같이 한 화소 내에 감마 커브가 다른 복수의 영역이 존재하는 것이다. 이에 의해 정면과 측면의 휘도 및 칼라가 서로 보상되어 측면시인성이 향상되는 것이다.
- <127> 도 18을 보면 화소전극(161)은 화소전극 분리패턴(167)에 의해 서로 분리된 제1화소전극(161a)과 제2화소전극(161b)을 포함한다. 제2화소전극(161b)은 사다리꼴이며, 3면이 제1화소전극(161a)으로 둘러싸여 있다. 제1화소전극(161a)과 제2화소전극(161b)에는 각각 화소전극 분리패턴(167)과 나란한 화소전극 절개패턴(166)이 형성되어 있다.
- <128> 드레인 전극(143)은 제1화소전극(161a)과 연결되어 제1화소전극(161a)에 직접 전기신호를 인가하는 제1드레인 전극(143a)과 제2화소전극(161b) 하부로 연장되어 있는 제2드레인 전극(143b)을 포함한다. 제2드레인 전극(143b)은 제2화소전극(161b)과 함께 결합용량(C_{cp})을 형성한다.
- <129> 화소전극 분리패턴(167)과 화소전극 절개패턴(166)은 공통전극 절개패턴(252)과 함께 액정층(300)을 다수의 영역으로 분할한다.
- <130> 한편, 유지전극선(125)은 화소전극(161)의 둘레를 따라 형성되어 있으며, 상하부의 유지전극선(125)은 접촉구(157)와 브릿지 전극(168)을 통해 서로 연결되어 있다.
- <131> 도 19를 참조하여 본 발명의 제4실시예를 설명한다.
- <132> 화소전극(161)은 전체적으로 사각형 형상이며 데이터선(141)의 연장방향으로 길게 형성되어 있다. 화소전극(161)은 상하로 대칭형상을 가지고 있다.
- <133> 화소전극(161)은 화소전극 분리패턴(167)에 의해 서로 분리되어 있는 제1화소전극(161a)과 제2화소전극(161b)을 포함한다. 제1화소전극(161a)은 화소의 중앙부에 위치하며 꺾쇠형상을 하고 있다. 제2화소전극(161b)은 제1화소전극(161a)의 내부, 상부, 하부를 감싸고 있다. 제2화소전극(161b)은 제1화소전극(161a)에 비해 넓게 형성되어 있다.
- <134> 박막트랜지스터(T)는 제1화소전극(161a)에 연결되어 있는 제1박막트랜지스터(TFT1)과 제2화소전극(161b)에 연결되어 있는 제2박막트랜지스터(TFT2)를 포함한다.
- <135> 각 박막트랜지스터(TFT1, TFT2)의 드레인 전극(143)은 화소전극(161)과 중첩되어 저장용량(C_{st})을 형성하는 역할을 하며, 저장용량은 드레인 전극(143)과 화소전극(161)의 중첩 면적에 비례한다.
- <136> 제4실시예에서는 독립된 박막트랜지스터(TFT1, TFT2)를 이용하여 각 화소전극(161a, 161b)에 서로 다른 화소전압을 인가할 수 있다. 제4실시예에서의 시인성 개선 원리는 제3실시예와 동일하며 반복 설명은 생략한다.
- <137> 이상 설명한 제3실시예와 제4실시예에서 비표시영역의 구성은 제1실시예 또는 제2실시예를 따른다.
- <138> 한편 제3실시예와 제4실시예에서는 화소전극(161)이 나누어져 있어서 액정용량(C_{lc})과 저장용량(C_{st})이 작다. 이로 인해 킥백전압(V_{kb})이 커져(식 1 참조) 휘도 차이가 더욱 문제된다. 따라서 제3실시예와 제4실시예의 경우에는 저항부를 이용한 게이트 신호 지연의 균일화가 더욱 필요하다.
- <139> 비록 본발명의 실시예가 도시되고 설명되었지만, 본발명이 속하는 기술분야의 통상의 지식을 가진 당업자라면 본발명의 원칙이나 정신에서 벗어나지 않으면서 본 실시예를 변형할 수 있음을 알 수 있을 것이다. 본발명의 범위는 첨부된 청구항과 그 균등물에 의해 정해될 것이다.

발명의 효과

- <140> 이상 설명한 바와 같이, 본 발명에 따르면, 게이트 신호 지연 차이로 인한 휘도불균일이 감소된 액정표시장치가 제공된다.

도면의 간단한 설명

- <1> 도 1은 본 발명의 제1실시예에 따른 액정표시장치에서 제1기판의 배치도이고,

- <2> 도 2는 도 1의 A부분의 확대도이고,

<3> 도 3은 도 2의 III-III을 따른 단면도이고,

<4> 도 4는 본 발명의 제1실시예에 따른 액정표시장치에서 화소전압에 따른 투과율을 나타낸 도면이고,

<5> 도 5는 본 발명의 제1실시예에 따른 액정표시장치에서 화소의 등가회로도이고,

<6> 도 6a 내지 도 6c는 게이트 신호 지연에 따른 휘도불균일을 설명하기 위한 도면이고,

<7> 도 7은 도 1의 B부분의 확대도이고,

<8> 도 8은 도 7의 VIII-VIII을 따른 단면도이고,

<9> 도 9는 본 발명의 제1실시예에 따른 액정표시장치에서 휘도불균일 개선을 설명하기 위한 도면이고,

<10> 도 10은 게이트 신호 지연과 휘도와와 관계를 나타낸 도면이고,

<11> 도 11은 기생용량과 휘도와의 변화를 나타낸 도면이고,

<12> 도 12는 저항부의 저항값에 따른 게이트 신호 지연을 나타낸 도면이고,

<13> 도 13은 저항부의 저항값에 따른 화소전압을 나타낸 도면이고,

<14> 도 14는 본 발명의 제2실시예에 따른 액정표시장치를 설명하기 위한 도면이고,

<15> 도 15은 도 14의 XV-XV를 따른 단면도이고,

<16> 도 16은 본 발명의 제3실시예에 따른 액정표시장치에서 화소의 등가회로도이고,

<17> 도 17은 본 발명의 제3실시예에 따른 액정표시장치에서 시인성 개선 원리를 나타낸 것이고

<18> 도 18은 본 발명의 제3실시예에 따른 액정표시장치의 배치도이고,

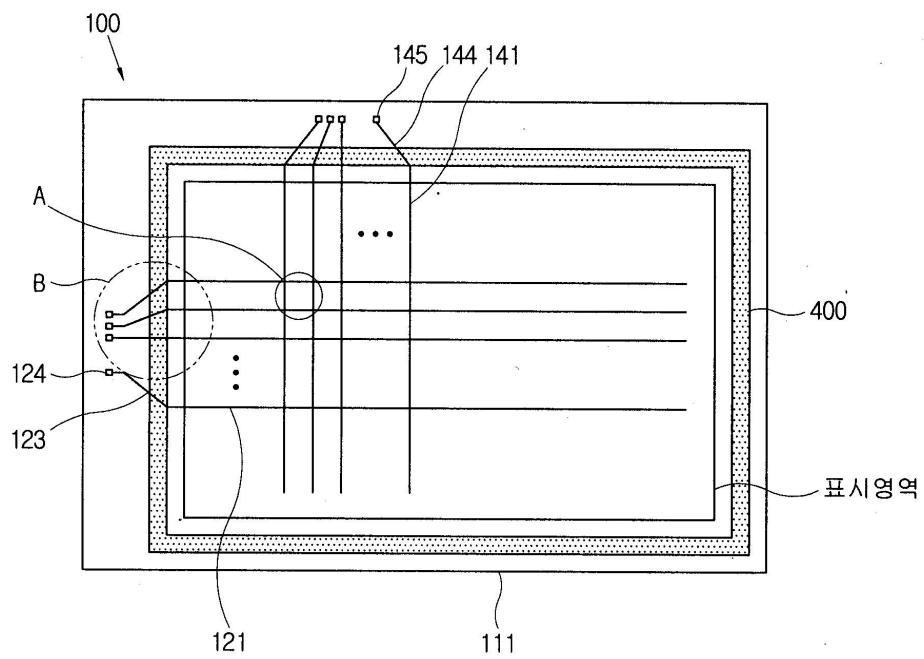
<19> 도 19는 본 발명의 제4실시예에 따른 액정표시장치의 배치도이다.

<20> * 도면의 주요부분의 부호에 대한 설명 *

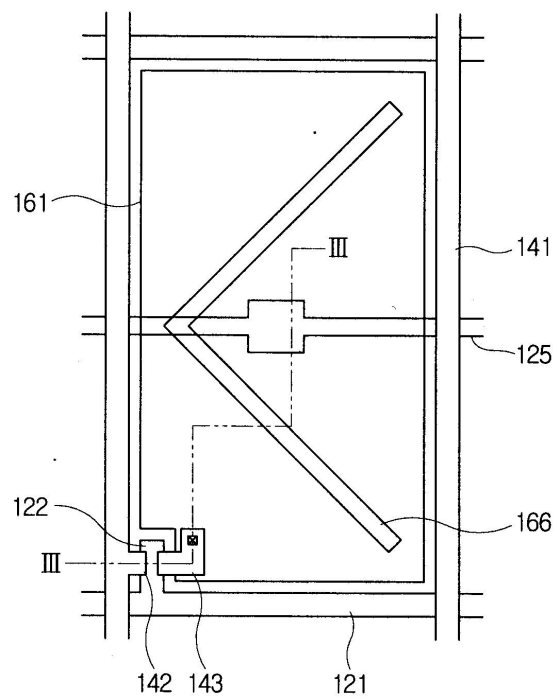
<21> 121 : 게이트선	122 : 게이트 전극
<22> 123 : 팬-아웃부	124 : 게이트 패드
<23> 131 : 게이트 절연막	151 : 보호막
<24> 161 : 화소전극	166 : 화소전극 절개패턴
<25> 163 : 저항부	200 : 제2기관
<26> 251 : 공통전극	252 : 공통전극 절개패턴
<27> 300 : 실리콘트	

도면

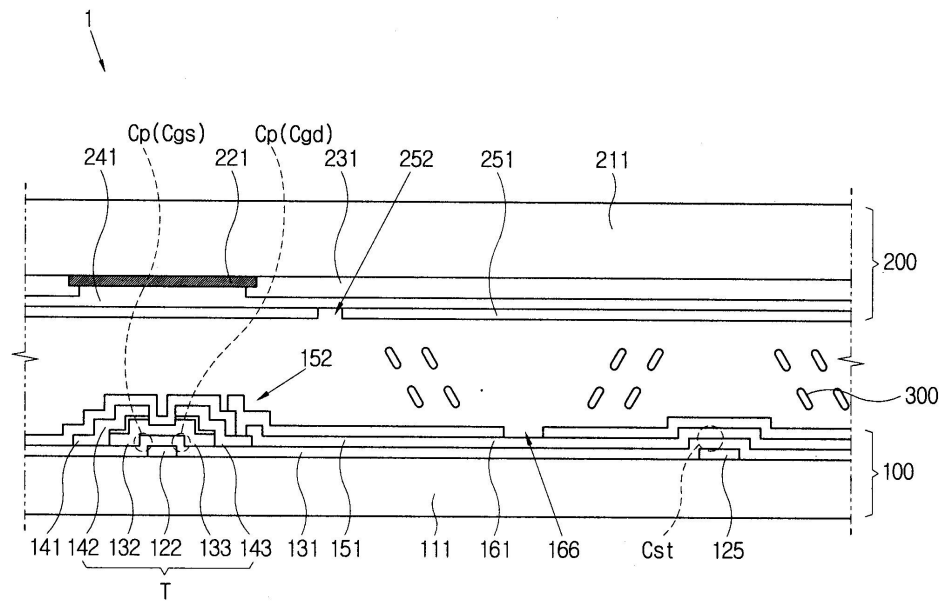
도면1



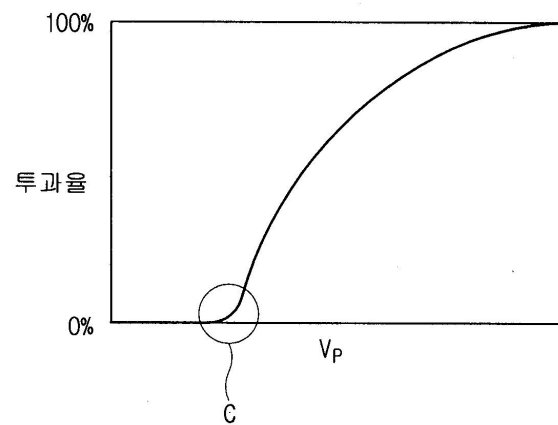
도면2



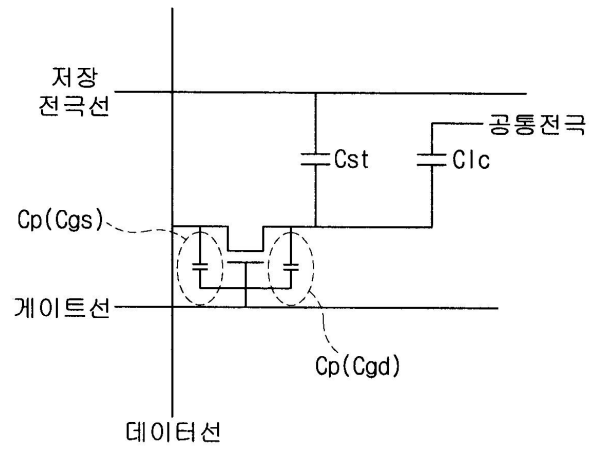
도면3



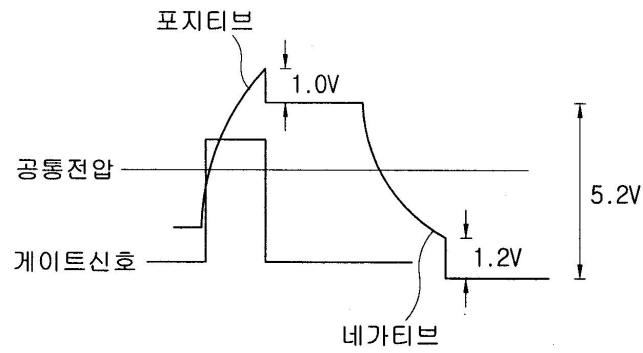
도면4



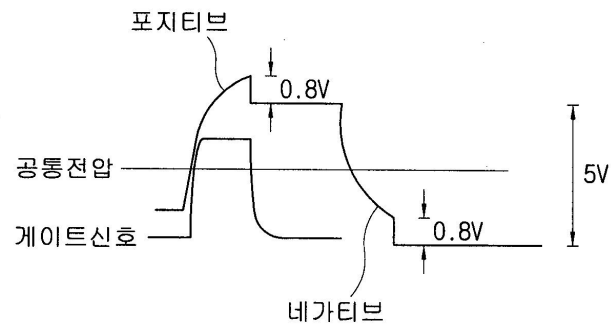
도면5



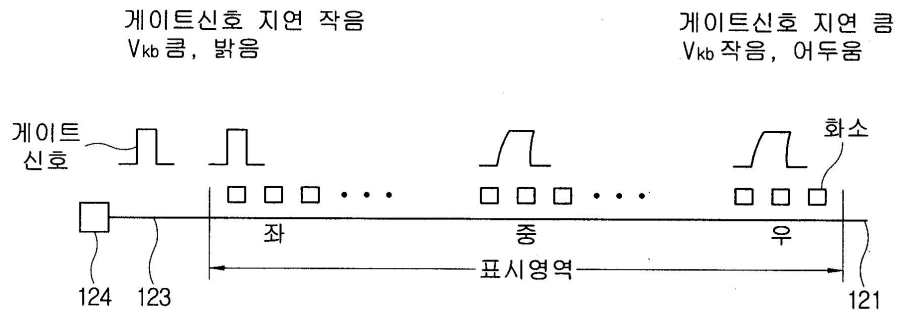
도면6a



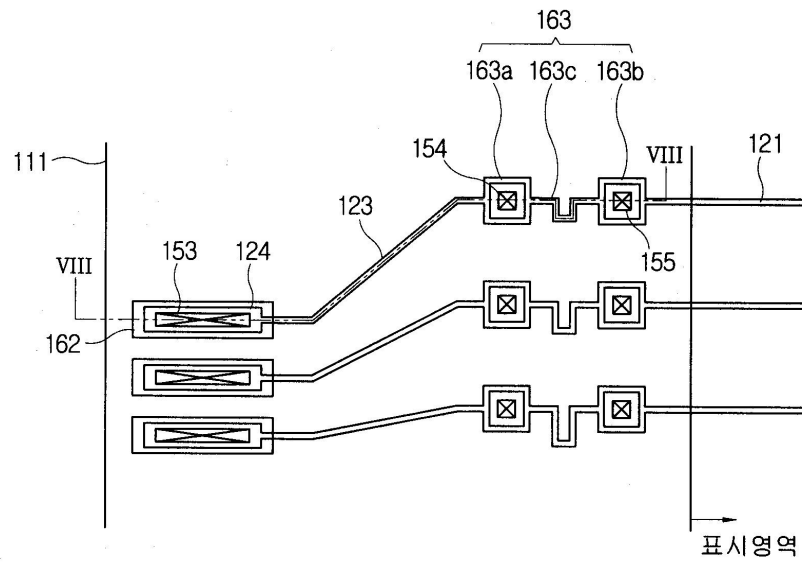
도면6b



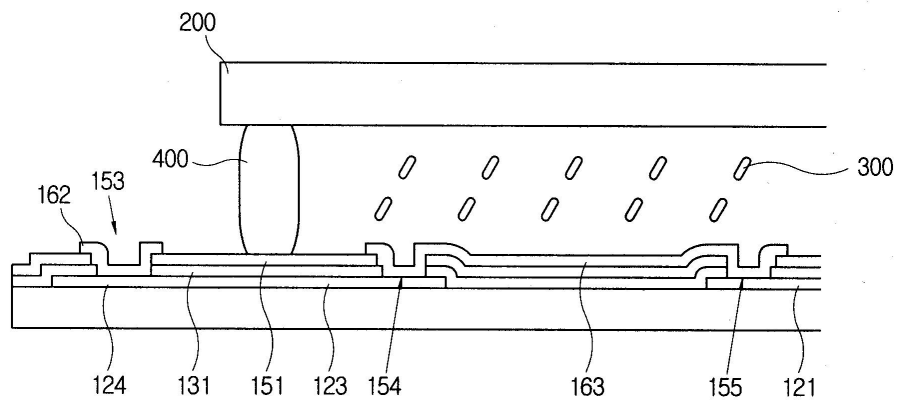
도면6c



도면7

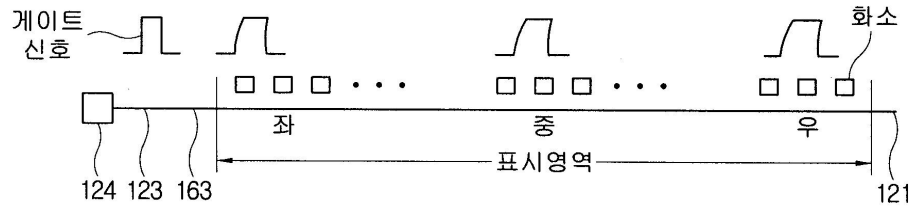


도면8

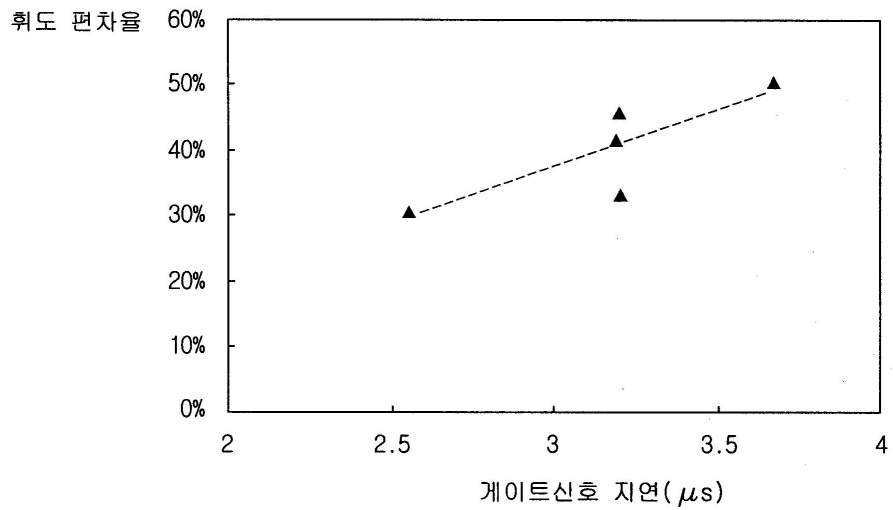


도면9

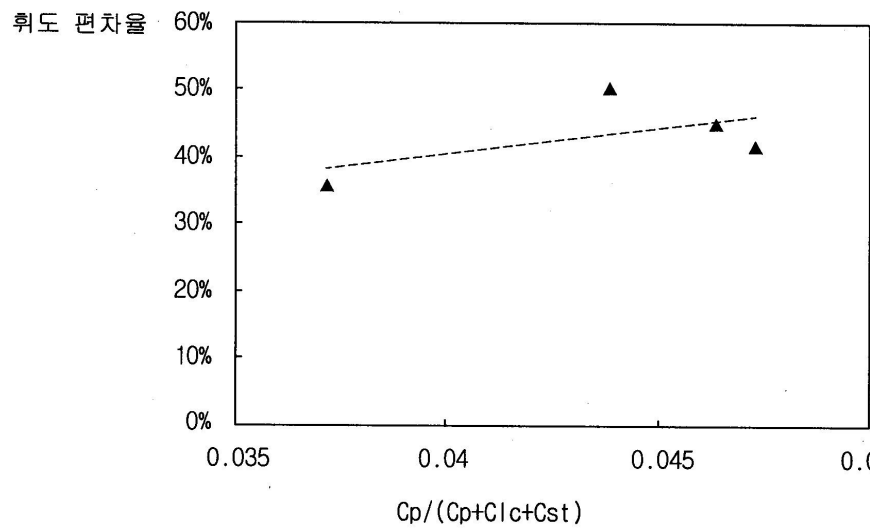
게이트신호 지연 변화 감소, 밝기변화 감소



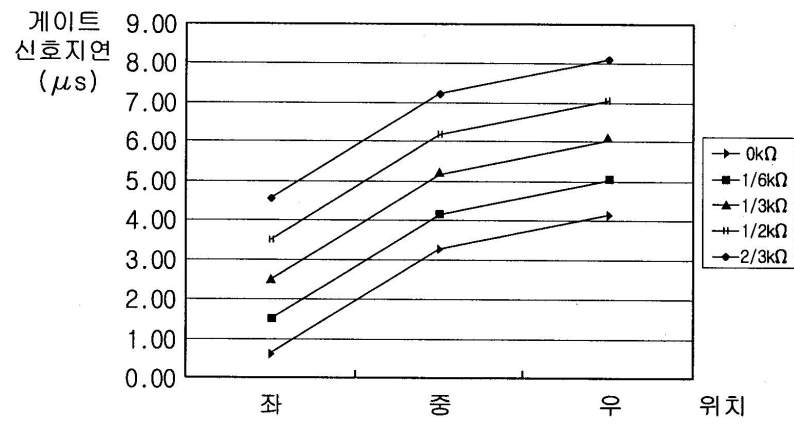
도면10



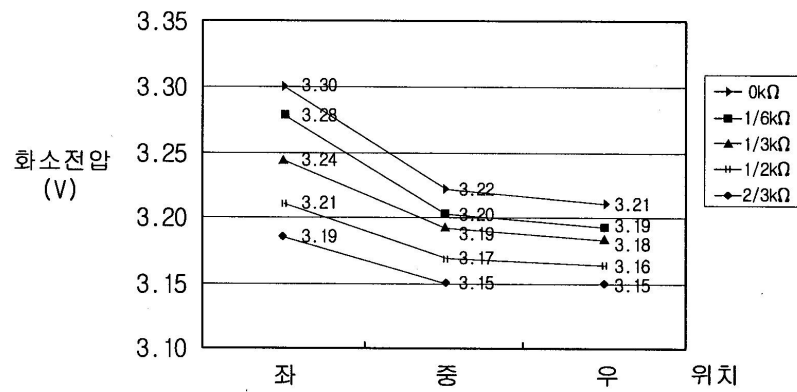
도면11



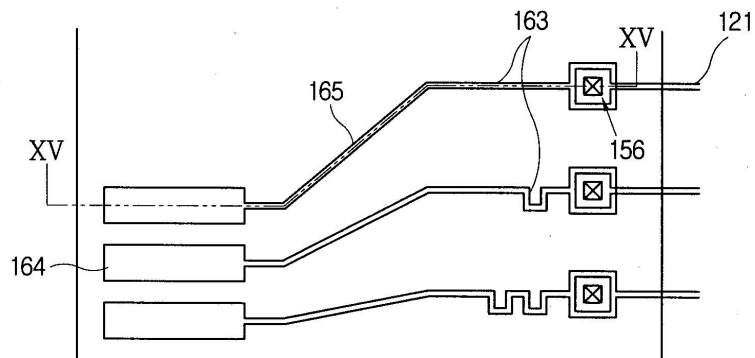
도면12



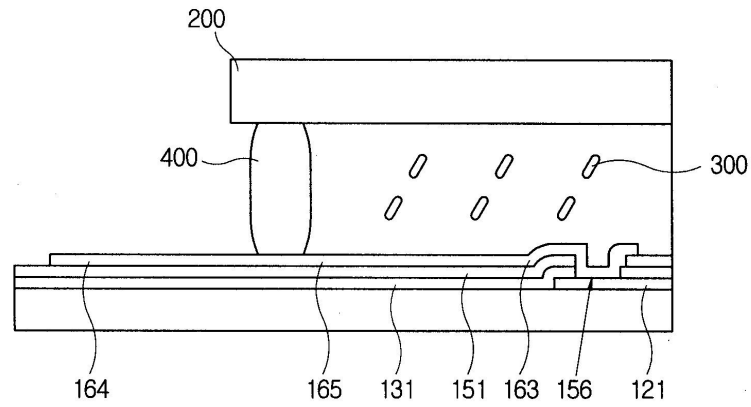
도면13



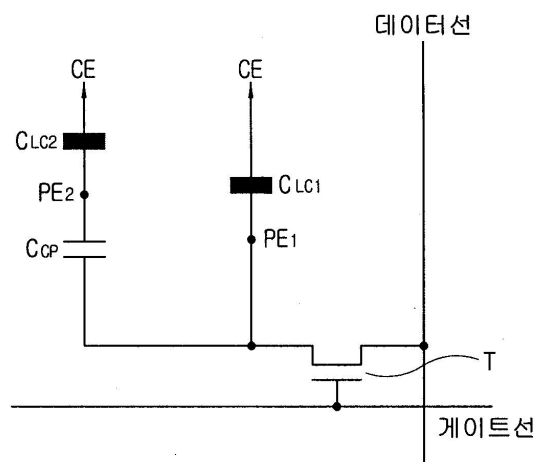
도면14



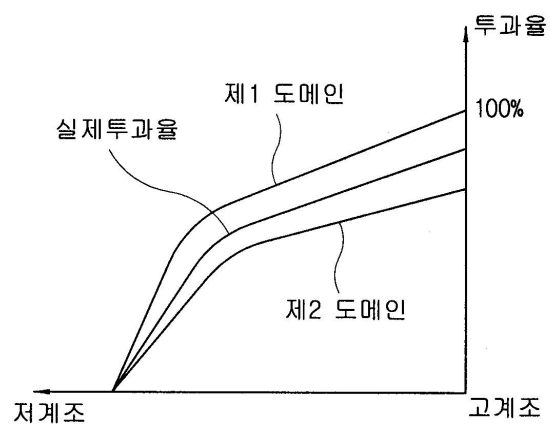
도면15



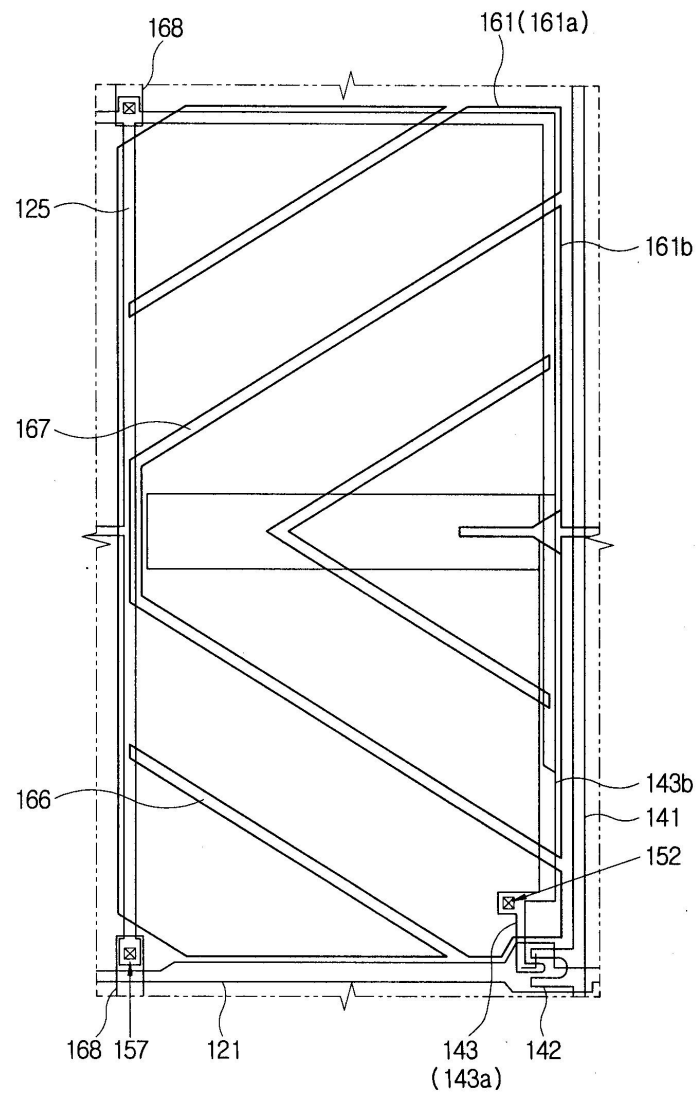
도면 16



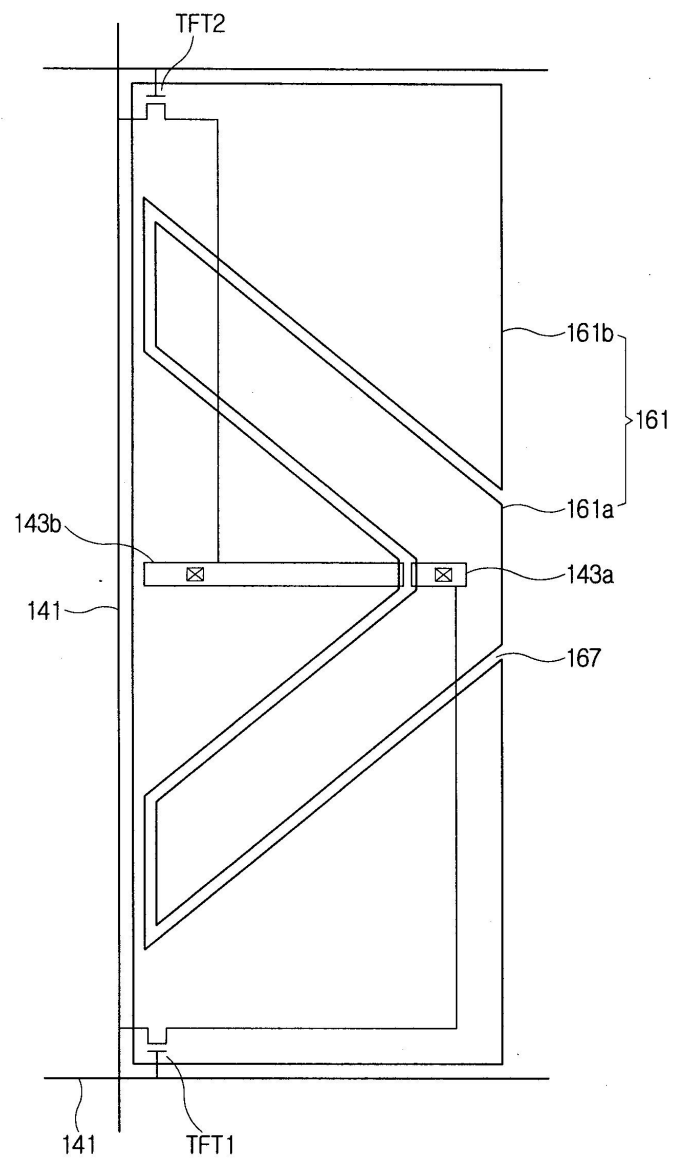
도면17



도면18



도면19



专利名称(译)	液晶显示器		
公开(公告)号	KR1020080018773A	公开(公告)日	2008-02-28
申请号	KR1020060124754	申请日	2006-12-08
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM DONG GYU 김동규 NA BYOUNG SUN 나병선		
发明人	김동규 나병선		
IPC分类号	G02F1/1345		
CPC分类号	G02F1/1345 G02F1/136286 G02F2001/136295 G02F2201/123 H01L29/786		
代理人(译)	PARK , YOUNG WOO		
优先权	1020060081056 2006-08-25 KR		
其他公开文献	KR101392160B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器。根据本发明的液晶显示器包括位于第二基板之间的液晶层，该第二基板面对具有显示区域的第一基板，并且面对第一基板和第一基板以及第二基板。并且第一基板包括电阻部分，该电阻部分由高于栅极主轨道的栅极主轨道的电阻构成：位于栅极焊盘的显示区域内，位于显示区域外部，栅极主轨道和栅极焊盘电连接。本发明提供一种液晶显示器，其中，由栅极信号延迟差引起的亮度不均匀性降低。

