

특허청구의 범위

청구항 1

기관;

상기 기관상에 서로 교차되어 형성되어 화소영역을 정의하는 게이트 배선과 데이터 배선;

상기 게이트 배선과 대응되어 형성된 공통배선;

상기 화소영역에 형성된 박막트랜지스터;

상기 박막트랜지스터상에 위치하며, 적어도 4개의 측벽으로 이루어진 개구영역이 다수개 형성된 보호막;

상기 박막트랜지스터와 연결되며, 다수 개로 형성된 화소전극; 및

상기 공통배선과 전기적으로 연결되며, 다수 개로 형성된 공통전극을 포함하며,

상기 개구영역을 이루는 적어도 하나의 측벽에는 굴곡부가 형성된 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 개구영역은 서로 대면하는 제 1, 제 2 측벽과, 상기 제 1, 제 2 측벽의 양단부와 각각 연결되는 제 3, 제 4 측벽을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 굴곡부는 상기 제 3, 제 4 측벽 중 적어도 어느 하나에 형성된 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 굴곡부는 예각을 가지는 모서리를 적어도 하나를 가지는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 굴곡부는 둥글거나 뾰족하게 형성하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 2 항에 있어서,

상기 제 1 측벽 또는 제 2 측벽 중 어느 하나의 측벽에는 상기 화소전극이 형성되고, 다른 하나의 측벽에는 상기 공통전극이 형성된 것을 특징으로 하는 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 다수의 화소전극을 각각 전기적으로 연결하는 제 1 연결전극을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 제 1 연결전극은 상기 박막트랜지스터와 전기적으로 연결된 것을 특징으로 하는 액정표시장치.

청구항 9

제 7 항에 있어서,

상기 제 1 연결전극은 ITO 또는 IZO 중 어느 하나로 형성된 것을 특징으로 하는 액정표시장치.

청구항 10

제 1 항에 있어서,

상기 다수의 공통전극을 각각 전기적으로 연결하는 제 2 연결전극을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 11

제 10 항에 있어서,

상기 제 2 연결전극은 상기 공통배선과 전기적으로 연결된 것을 특징으로 하는 액정표시장치.

청구항 12

제 10 항에 있어서,

상기 제 2 연결전극은 ITO 또는 IZO 중 어느 하나로 형성된 것을 특징으로 하는 액정표시장치.

청구항 13

기관상에 게이트 배선 및 공통 배선을 형성하는 단계;

상기 게이트 배선을 포함하는 기관 전면에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막상에 반도체층, 소스/드레인 전극 및 데이터 배선을 형성하는 단계;

상기 소스/드레인 전극을 포함하는 게이트 절연막상에 보호막을 형성하는 단계;

상기 보호막에 제 1, 제 2, 제 3, 제 4 측벽으로 이루어지고, 서로 대응되어 위치하는 상기 제 3, 제 4 측벽에 굴곡부를 구비하는 개구영역을 다수개 형성하는 단계;

상기 각 개구영역의 제 1 측벽과, 상기 제 1 측벽에 대응된 제 2 측벽에 각각 화소전극과 공통전극을 형성하는 단계; 및

상기 다수의 화소전극을 서로 연결하는 제 1 연결전극과, 상기 다수의 공통전극을 서로 연결하는 제 2 연결전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 14

제 13 항에 있어서,

상기 굴곡부는 예각을 가지는 모서리를 적어도 하나를 가지도록 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 15

제 13 항에 있어서,

상기 굴곡부는 둥글거나 뾰족하게 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 16

제 13 항에 있어서,

상기 보호막에 상기 드레인 전극과 상기 공통배선을 각각 일부분 노출하는 제 1, 제 2 콘택홀을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 17

제 16 항에 있어서,

상기 개구영역과 상기 제 1, 제 2 콘텍홀은 동시에 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 18

제 13 항에 있어서,

상기 제 1 연결전극과 상기 제 2 연결전극은 동일한 도전물질로 하나의 마스크를 이용하여 형성되는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 19

제 13 항에 있어서,

상기 화소전극과 상기 공통전극은 상기 개구영역을 포함하는 감광성막 패턴의 전면에서 스퍼터링법을 통해 도전막을 형성한 뒤, 상기 감광성막 패턴과 상기 감광성막 패턴 상에 형성된 도전막을 제거하여 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 액정표시장치에 관한 것으로서, 더욱 구체적으로 광시야각을 가지는 액정표시장치 및 이의 제조 방법에 관한 것이다.
- <17> 오늘날, 액정표시장치는 고 해상도 및 저 전력소비와 같은 고품질화를 실현하기 위한 연구뿐만 아니라, 공정을 단순화시켜, 생산성을 극대화시킴으로써, 가격 경쟁력을 키우기 위한 많은 노력을 하고 있다.
- <18> 상기 액정표시장치는 박막트랜지스터 어레이 기판과 컬러필터 어레이 기판이 서로 일정간격으로 이격되어 배치되며, 상기 두 기판 사이에 액정이 형성되어 있다. 여기서, 상기 두 기판의 내면에는 각각 전극이 형성되어 있으며, 상기 두 전극에 전압을 인가하여 상기 액정을 구동함으로써, 상기 액정을 통과한 광의 투과율을 조절하여 화상을 표현한다.
- <19> 이와 같은 액정표시장치는 상기 박막트랜지스터 어레이 기판과 상기 컬러필터 어레이 기판을 각각 형성한 뒤, 상기 두 기판 사이에 액정을 형성하는 공정을 수행하여 제조할 수 있다. 이때, 상기 박막트랜지스터 어레이 기판과 상기 컬러필터 어레이 기판을 각각 제조하기 위해서는 박막 증착 공정, 세정 공정, 포토리소그래피 공정 및 식각 공정을 포함하는 공정을 여러 번 반복하여 수행하여 제조할 수 있다.
- <20> 이와 같이 공정을 여러 번 수행하여 상기 액정표시장치를 제조함에 따라, 공정시간 및 공정비가 증가하여 생산성이 저하될 뿐만 아니라, 불량률이 발생할 확률이 높아진다.
- <21> 또한, 상기 액정이 굴절을 이방성을 가지기 때문에, 상기 액정을 통해 화상을 표시하는 액정표시장치는 시야각이 좁아진다. 이로써, 상기 액정표시장치의 시야각을 넓히기 위하여 횡전계 액정표시장치가 제안되었다. 그러나, 상기 횡전계 액정표시장치는 개구율 및 투과율이 낮다는 문제점을 가진다.

발명이 이루고자 하는 기술적 과제

- <22> 본 발명은 제조 공정 수를 줄여, 생산성을 향상시킬 수 있는 액정표시장치 및 이의 제조 방법을 제공함에 그 목적이 있다.
- <23> 또, 개구율을 향상시키며, 광시야각을 가지는 액정표시장치 및 이의 제조 방법을 제공함에 다른 목적이 있다.

발명의 구성 및 작용

- <24> 상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 액정표시장치를 제공한다. 상기 액정표시장치는 기판; 상기 기판상에 서로 교차되어 형성되어 화소영역을 정의하는 게이트 배선과 데이터 배선; 상기 게이트 배선과

대응되어 형성된 공통배선; 상기 화소영역에 형성된 박막트랜지스터; 상기 박막트랜지스터상에 위치하며, 적어도 4개의 측벽으로 이루어진 개구영역이 다수개 형성된 보호막; 상기 박막트랜지스터와 연결되며, 다수 개로 형성된 화소전극; 및 상기 공통배선과 전기적으로 연결되며, 다수 개로 형성된 공통전극을 포함하며, 상기 개구영역을 이루는 적어도 하나의 측벽은 굴곡부가 형성되어 있다.

<25> 상기 기술적 과제를 이루기 위하여 본 발명의 다른 일 측면은 액정표시장치의 제조 방법을 제공한다. 상기 제조 방법은 기관상에 게이트 배선 및 공통 배선을 형성하는 단계; 상기 게이트 배선을 포함하는 기관 전면면에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막상에 반도체층, 소스/드레인 전극 및 데이터 배선을 형성하는 단계; 상기 소스/드레인 전극을 포함하는 게이트 절연막상에 보호막을 형성하는 단계; 상기 보호막에 제 1, 제 2, 제 3, 제 4 측벽으로 이루어지고, 서로 대응되어 위치하는 상기 제 3, 제 4 측벽에 굴곡부가 형성된 개구영역을 다수개 형성하는 단계; 상기 각 개구영역의 제 1 측벽과, 상기 제 1 측벽에 대응된 제 2 측벽에 각각 화소전극과 공통전극을 형성하는 단계; 및 상기 다수의 화소전극을 서로 연결하는 제 1 연결전극과, 상기 다수의 공통전극을 서로 연결하는 제 2 연결전극을 형성하는 단계를 포함한다.

<26> 이하, 본 발명에 의한 액정표시장치의 도면들을 참고하여 본 발명의 실시예를 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<27> 도 1a 및 도 1b는 본 발명의 실시예에 따른 액정표시장치를 설명하기 위해 도시한 도면들이다. 도 1a는 상기 액정표시장치의 하나의 화소를 도시한 평면도이고, 도 1b는 도 1a를 I-I'로 취한 단면도이다.

<28> 도 1a 및 도 1b를 참조하면, 기관(100)상에 서로 교차되어 형성됨으로써 화소영역을 정의하는 게이트 배선(101)과 데이터 배선(107)이 형성되어 있다. 또, 상기 기관(100) 상에 상기 게이트 배선(101)과 대응되게 배치된 공통 배선(103)이 형성되어 있다.

<29> 여기서, 상기 게이트 배선(101), 상기 데이터 배선(107) 및 상기 공통배선(103)은 그 끝단부에 각각 게이트 패드 전극(105a), 데이터 패드 전극(109a) 및 공통전압 패드 전극(104a)이 형성되어 있다. 이때, 도면에는 도시되지 않았으나, 상기 각 패드 전극(105a, 106a, 107a)은 외부회로부인 PCB(printed circuit board; 도면에는 도시하지 않음)와 TCP(Tape Carrier Package)를 이용하는 TAB(Tape Automated Bonding) 방식에 의해 서로 전기적으로 연결될 수 있다.

<30> 상기 게이트 배선(101)과 상기 데이터 배선(107) 사이에는 게이트 절연막(110)이 개재되어 있다. 상기 게이트 절연막(110)은 산화 실리콘막, 질화 실리콘막 또는 이들의 적층막 중 어느 하나일 수 있다.

<31> 상기 화소영역에는 적어도 하나의 박막트랜지스터(Tr)가 형성되어 있다. 여기서, 상기 박막트랜지스터(Tr)는 상기 게이트 배선(101)이 분기되어 형성된 게이트 전극(102), 상기 게이트 전극(102) 상에 형성된 게이트 절연막(110), 상기 게이트 절연막(110)상에 형성된 반도체층(106), 및 상기 반도체층(106) 양 단부에 분리되어 각각 형성된 소스/드레인 전극(108a, 108b)을 포함한다.

<32> 상기 박막트랜지스터(Tr)를 포함하는 상기 기관(100) 전면에는 보호막(120)이 형성되어 있다. 여기서, 상기 보호막(120)은 산화 실리콘막, 질화 실리콘막 또는 이들의 적층막 중 어느 하나일 수 있다.

<33> 상기 화소영역에 대응된 상기 보호막(120)에는 다수개의 개구영역(P)이 형성되어 있다. 상기 개구영역(P)은 상기 보호막(120)과 상기 게이트 절연막(110)을 식각하여 형성되는 것으로, 상기 기관(100)을 노출하는 노출영역과, 서로 마주보며 대응된 제 1, 제 2 측벽(P1, P2)과, 상기 제 1, 제 2 측벽(P1, P2)의 양 단부에 각각 연결되는 제 3, 제 4 측벽(P3, P4)을 포함한다. 여기서, 상기 제 3, 제 4 측벽(P3, P4)에는 일부가 꺾겨서 생성되는 굴곡부가 형성되어 있다. 이로써, 상기 굴곡부에는 에각을 가지는 모서리를 가지게 된다. 이때, 상기 모서리의 형태는 둥글거나 뾰족하게 형성한다. 이에 대해서, 상기 액정표시장치의 제조 방법에서 더욱 상세하게 설명한다.

<34> 상기 각 개구영역(P)의 제 1 측벽(P1)에는 공통전극(160)이 위치하고, 상기 제 1 측벽(P1)에 대응된 제 2 측벽(P2)에는 화소전극(170)이 위치한다. 여기서, 상기 공통전극(160)과 상기 화소전극(170)은 동일한 도전물질로 형성될 수 있다. 즉, 상기 공통전극(160)과 상기 화소전극(170)은 투명성 도전물질로서, ITO 또는 IZO 중 어느 하나일 수 있다. 또는 상기 화소전극(170)과 상기 공통전극(160)은 불투명한 도전물질로서, 금속물질, 나노와이어, 나노튜브 중 어느 하나로 형성할 수 있다. 이는 상기 화소전극(170)과 상기 공통전극(160)은 상기 기관

(100)에 수직으로 형성되는바, 종래의 액정표시장치에 비해 큰 개구율을 가지게 되므로, 상기 화소전극(170)과 상기 공통전극(160)을 불투명한 도전물질로 형성하여도, 개구율에 크나큰 영향을 미치지 않는다.

- <35> 여기서, 상기 개구영역(P)의 폭을 조절함으로써, 상기 공통전극(160)과 상기 화소전극(170)간의 간격을 제어할 수 있다. 이로써, 상기 공통전극(160)과 상기 화소전극(170)간의 간격을 완성된 액정표시장치를 구성하는 두 기관간의 셀갭보다 크게 형성하여 횡전계를 형성하여, 시야각이 개선된 액정표시장치를 제조할 수 있다.
- <36> 또는, 상기 공통전극(160)과 상기 화소전극(170)의 간격을 상기 두 기관간의 셀갭보다 작게 형성하여 프린지 필드(fringe field)를 형성하여 시야각이 개선된 액정표시장치를 제조할 수 있다. 이때, 상기 공통전극(160)과 상기 화소전극(170)이 중첩되어 형성되어 발생할 수 있는 잔상 문제를 해결할 수 있다.
- <37> 상기 보호막(120)에 상기 박막트랜지스터(Tr)와 상기 공통배선(103)을 각각 노출하는 제 1, 제 2 콘택홀(C1, C2)이 더 형성되어 있을 수 있다. 여기서, 상기 제 1, 제 2 콘택홀(C1, C2)의 측벽에 상기 화소전극(170)과 동일한 도전물질이 형성된 도전막 패턴(180)이 각각 더 형성되어 있을 수 있다.
- <38> 상기 제 1 콘택홀(C1)을 통해 노출된 상기 박막트랜지스터(Tr)와 전기적으로 연결된 제 1 연결전극(192)이 더 형성되어 있으며, 상기 제 1 연결전극(192)은 상기 다수개의 화소전극(170)과 각각 연결되어 있다. 즉, 상기 제 1 연결전극(192)은 상기 다수개의 화소전극(170)과 상기 박막트랜지스터(Tr)를 전기적으로 연결하는 역할을 한다. 더 나아가, 상기 제 1 연결전극(192)을 상기 공통배선(103)과 중첩되도록 형성하여, 캐패시터(Cp)를 형성할 수 있다.
- <39> 상기 제 2 콘택홀(C2)을 통해 노출된 상기 공통배선(103)과 전기적으로 연결된 제 2 연결전극(194)이 형성되어 있으며, 상기 제 2 연결전극(194)은 상기 다수개의 공통전극(160)과 각각 연결되어 있다. 즉, 상기 제 2 연결전극(194)은 상기 다수개의 공통전극(160)과 상기 공통배선(103)을 전기적으로 연결하는 역할을 한다.
- <40> 이때, 상기 제 1 연결전극(192)과 상기 제 2 연결전극(194)을 동일한 도전물질로 형성될 수 있으며, 상기 도전물질은 투명한 도전물질로서 ITO 또는 IZO 중 어느 하나일 수 있다.
- <41> 상기 보호막(120)에 상기 게이트 패드 전극(104a), 상기 데이터 패드 전극(109a) 및 상기 공통전압 패드 전극(105a)을 각각 노출하는 제 3, 제 4, 제 5 콘택홀(C3, C4, C5)이 더 형성되어 있을 수 있다. 이때, 상기 제 3, 제 4, 제 5 콘택홀(C3, C4, C5)의 측벽에도 상기 화소전극(170)과 동일한 도전물질이 형성된 도전막 패턴이 각각 형성되어 있을 수 있다.
- <42> 상기 제 3, 제 4, 제 5 콘택홀(C3, C4, C5)에 의해 노출된 상기 게이트 패드 전극(104a), 상기 데이터 패드 전극(109a) 및 상기 공통전압 패드 전극(105a)상에 각각 게이트 패드 접촉 전극(105b), 데이터 패드 접촉 전극(109b) 및 공통전압 패드 접촉 전극(105b)이 형성되어 있다. 여기서, 상기 게이트 패드 접촉 전극(104b), 상기 데이터 패드 접촉 전극(109b) 및 상기 공통전압 패드 접촉 전극(105b)은 외부에 노출되므로, 부식에 의한 불량을 방지하기 위해 내식성을 가지는 도전물질로 형성할 수 있다. 즉, 상기 도전물질은 ITO 또는 IZO 중 어느 하나일 수 있다.
- <43> 도 2a 내지 도 2e는 본 발명의 제 1 실시예의 액정표시장치에서, 보호막에 형성되는 다양한 개구영역의 형태를 도시한 평면도들이다.
- <44> 도 2a에서와 같이, 보호막에 형성된 개구영역(P)은 상기 기관을 노출하는 노출영역과, 서로 마주보는 제 1, 제 2 측벽(P1, P2)과, 상기 제 1, 제 2 측벽(P1, P2)의 양 단부와 연결된 제 3, 제 4 측벽(P3, P4)을 포함한다. 여기서, 상기 제 3, 제 4 측벽(P3, P4)은 일부가 꺾인 형태를 가지는 굴곡부가 형성되어 있다. 이때, 상기 굴곡부는 예각을 가지며 뾰족하게 형성된 모서리가 위치할 수 있다. 이때, 상기 모서리는 상기 개구영역(P)의 내부를 향하여 형성되거나, 도 2b에서와 같이, 상기 개구영역(P)의 외부를 향하도록 형성할 수 있다.
- <45> 도 2c에서와 같이, 상기 제 3, 제 4 측벽(P3, P4)은 다수개의 모서리를 가지는 굴곡부가 형성될 수 있다.
- <46> 도 2d에서와 같이, 상기 모서리는 둥글게 형성할 수 있다. 즉, 상기 모서리를 둥글게 형성할 수 있다. 도 2e에서와 같이 둥근 모서리를 다수개 형성할 수 있다. 즉, 상기 굴곡부는 울퉁불퉁한 주름 형태로 형성될 수 있다.
- <47> 도 3a 내지 도 3e는 본 발명의 실시예에 따른 액정표시장치의 제조 방법을 설명하기 위해 도시한 평면도들이고, 도 4a 내지 도 4f는 도 3a 내지 도 3e를 I-I'로 취한 단면도들이다.
- <48> 도 3a 및 도 4a를 참조하면, 기관(100)을 제공한다. 상기 기관(100)상에 스퍼터링법에 의해 제 1 도전막을 형성한 뒤, 상기 제 1 도전막을 패터닝하여 게이트 배선(101), 상기 게이트 배선(101)과 연결된 게이트

전극(102)과, 상기 게이트 배선(101)과 대응된 공통 배선(103)을 형성한다.

- <49> 이와 동시에 상기 게이트 배선(101)과 상기 공통 배선(103)의 각 끝단부에 위치하는 게이트 패드 전극(104a)과 공통전압 패드 전극(105a)을 더 형성할 수 있다.
- <50> 여기서, 상기 제 1 도전막은 Mo, Cu, MoW, MoTa, MoNb, Cr, W 및 AlNd으로 이루어진 군에서 선택된 적어도 하나로 형성할 수 있다.
- <51> 상기 게이트 전극(102)을 포함하는 기판 전면에서 걸쳐 게이트 절연막(110)을 형성한다. 상기 게이트 절연막(110)은 화학기상증착법을 통해 형성된 산화 실리콘막, 질화 실리콘막 또는 이들의 적층막일 수 있다.
- <52> 도 3b 및 도 4b를 참조하면, 상기 게이트 전극(102)에 대응된 상기 게이트 절연막(110)상에 반도체층(106)을 형성한다. 상기 반도체층(106)은 활성층과 오믹콘택층으로 형성되어 있을 수 있다. 여기서, 상기 활성층은 비정질 실리콘으로 형성되어 있으며, 상기 오믹 콘택층은 불순물이 도핑된 비정질 실리콘으로 형성될 수 있다.
- <53> 또, 상기 게이트 절연막(110)상에 상기 게이트 배선(101)과 교차되는 데이터 배선(107)과, 상기 반도체층(106) 양 단부상에 각각 위치하는 소스/드레인 전극(108a, 108b)을 형성한다. 여기서, 상기 반도체층(106)과 상기 소스/드레인 전극(108a, 108b)은 동일한 마스크를 이용하여 형성할 수 있다.
- <54> 이와 동시에, 상기 데이터 배선(107)의 끝단부에 위치하는 데이터 패드 전극(109a)이 더 형성될 수 있다.
- <55> 이로써, 상기 기판(100) 상에 화소영역을 정의하는 상기 게이트 배선(101)과 상기 데이터 배선(107)이 형성되어 있으며, 상기 화소영역에는 박막트랜지스터(Tr)가 형성된다.
- <56> 상기 박막트랜지스터(Tr)를 포함하는 상기 게이트 절연막(110)상에 보호막(120)을 형성한다. 상기 보호막(120)은 산화 실리콘막, 질화 실리콘막 또는 이들의 적층막 중 어느 하나일 수 있다. 이때, 상기 보호막(120)은 화학기상증착법을 통해 형성할 수 있다.
- <57> 도 3c 및 도 4c를 참조하면, 상기 보호막(120)상에 개구영역(P)이 형성된 제 1 감광성막 패턴(130)을 형성한다. 상기 개구영역(P)은 서로 마주보며 대응된 제 1, 제 2 측벽(P1, P2)과, 상기 제 1, 제 2 측벽(P1, P2)의 양단부와 각각 연결되며 서로 마주보는 제 3, 제 4 측벽(P3, P4)를 가진다. 이때, 상기 제 3, 제 4 측벽(P3, P4)는 일부가 꺾인 굴곡부를 가지도록 형성한다. 여기서, 상기 제 1 감광성막 패턴(130)은 상기 보호막(120)상에 상기 제 1 감광성막을 형성한 뒤, 마스크를 이용한 노광 및 현상 공정을 거쳐 형성한다. 이때, 상기 마스크는 상기 개구영역(P)에 대응된 투과부를 가지는데, 상기 제 3, 제 4 측벽에 대응된(P3, P4)영역에는 굴곡부를 가진다. 이때, 상기 마스크의 굴곡부를 투과하는 광에서 회절 현상이 발생하여 상기 마스크의 굴곡부에 대응된 제 1 감광성막에는 굴곡부가 형성되지 않은 영역보다 적은 양의 광이 조사된다.
- <58> 이로 인하여, 상기 굴곡부에 대응되는 감광성막의 경화도가 낮게 형성된다. 이때, 상기 굴곡부는 예각을 가지며, 상술한 바와 같이 등각계 형성하거나 뾰족하게 형성할 수 있다. 또, 상기 굴곡부는 다수의 모서리를 가지도록 형성할 수도 있다. 이는, 상기 굴곡부가 많은 굴곡을 가지게 되거나, 뾰족한 모서리를 가질수록 회절이 더 많이 발생하여, 상기 굴곡부에 위치하는 감광성막의 경화도를 더 감소시킬 수 있다.
- <59> 상기 제 1 감광성막 패턴(130)에 따라, 상기 보호막(120) 및 상기 게이트 절연막(110)을 건식식각하여, 상기 보호막(120)에 개구영역(P)을 형성한다. 이로써, 상기 개구영역(P)은 서로 마주보며 대응된 제 1, 제 2 측벽(P1, P2)과, 상기 제 1, 제 2 측벽(P1, P2)의 양단부와 각각 연결되며, 굴곡부를 가지는 제 3, 제 4 측벽(P3, P4)를 가지게 된다. 이때, 상술한 바와 같이, 상기 굴곡부에 근접하여 위치하는 감광성막의 경화도가 낮기 때문에, 상기 보호막(120) 및 상기 게이트 절연막(110)의 식각공정에서 상기 굴곡부에 근접하여 위치하는 감광성막이 동시에 식각되거나, 상기 감광성막이 상기 보호막(120)보다 더 많이 식각될 수 있다. 반면, 상기 굴곡부와 일정간격을 둔 영역의 감광성막에는 충분한 에너지가 조사되어 경화도가 높기때문에, 상기 식각공정에서 내성을 가지게 된다. 이때, 상기 개구영역(P)을 형성하기 위한 식각 공정 시간을 증가할수록, 상기 제 1, 제 2 측벽부(P1, P2)에 위치하는 상기 보호막은 제 1 감광성막 패턴(130)에 대해 언더컷 형상으로 형성된다.
- <60> 이와 동시에, 상기 보호막(120)에 상기 드레인 전극(108b) 및 상기 공통 배선(103), 상기 게이트 패드 전극(104a), 상기 데이터 패드 전극(109a), 상기 공통전압 패드 전극(105a)을 각각 노출하는 제 1, 제 2, 제 3, 제 4, 제 5 콘택홀(C1, C2, C3, C4, C5)를 형성할 수 있다. 이때, 상기 제 1, 제 2, 제 3, 제 4, 제 5 콘택홀(C1, C2, C3, C4, C5)의 측벽도 상기 제 1 감광성막 패턴(130)에 대해 언더컷 형상을 가질 수 있다.
- <61> 도 4c를 참조하면, 상기 개구영역(P)을 포함하는 상기 제 1 감광성막 패턴(130) 전면에서 제 2 도전막(140)을 형

성한다. 여기서, 상기 제 2 도전막(140)은 투명성 도전물질로서, ITO 또는 IZO 중 어느 하나일 수 있다. 또는 상기 도전막(140)은 불투명한 도전물질로서, 금속물질, 나노와이어, 나노튜브 중 어느 하나로 형성할 수 있다. 이때, 상기 제 2 도전막은 스퍼터링법을 통해 증착될 수 있다.

- <62> 상기 제 2 도전막(140)은 상기 제 1 감광성막 패턴(130)에 대해 언더컷 형상으로 형성된 상기 제 1, 제 2 측벽(P1, P2)에도 형성된다.
- <63> 상기 제 2 도전막(140)상에 제 2 감광성막(150)을 형성한다. 이때, 상기 제 2 감광성막(150)은 상기 제 1 감광성막 패턴(130)에 대해 언더컷 영역을 채워지며 형성된다.
- <64> 상기 제 2 감광성막(150)에 노광 및 현상공정을 거쳐, 도 4e에서와 같이, 상기 언더컷에 채워진 제 2 감광성막 패턴(150')을 형성한다. 즉, 상기 제 2 감광성막 패턴(150')은 상기 제 1, 제 2 측벽(P1, P2)에 형성된다.
- <65> 상기 제 1 감광성막 패턴(130)을 박리시킴으로써, 상기 제 1 감광성막 패턴(130)상에 위치하는 제 2 도전막(140)도 동시에 제거된다. 이후, 상기 제 2 감광성막 패턴(150')을 제거함으로써, 도 3d 및 도 4f에서와 같이, 상기 제 1, 제 2 측벽(P1, P2)에 각각 위치하는 공통전극(160)과 화소전극(170)이 형성된다.
- <66> 이때, 상기 제 1, 제 2, 제 3, 제 4, 제 5 콘텍홀(C1, C2, C3, C4, C5)의 측벽도 언더컷 형상을 가지므로, 상기 제 1, 제 2, 제 3, 제 4, 제 5 콘텍홀(C1, C2, C3, C4, C5)의 측벽에도 상기 화소전극(170)과 동일한 도전물질로 이루어진 도전막 패턴(180)이 형성될 수 있다.
- <67> 여기서, 상기 화소전극(170)과 상기 공통전극(160)을 완벽하게 분리하기 위해서는, 상기 개구영역(P)의 굴곡부를 많은 굴곡을 가지도록 형성하거나, 예각을 가지는 뾰족한 모서리를 가지도록 형성하는 것이 바람직하다. 이는, 상술한 바와 같이 상기 굴곡부에 인접하여 형성된 감광성막의 경화도가 낮게 형성되는 것을 이용하여, 상기 화소전극(170)과 상기 공통전극(160)이 분리되는 패터닝 공정이 수행되기 때문이다.
- <68> 도 3e 및 도 4g를 참조하면, 상기 화소전극(170) 및 상기 공통전극(160)을 포함하는 상기 보호막(120) 전면에 걸쳐 도전물질을 증착한 뒤, 패터닝하여 상기 드레인 전극(108b)과 상기 공통배선(103)과 각각 연결되는 제 1, 제 2 연결전극(192, 194)을 동시에 형성한다.
- <69> 여기서, 상기 제 1 연결전극(192)은 다수개로 형성된 상기 화소전극(170)을 서로 전기적으로 연결하는 역할을 한다. 또, 상기 제 1 연결전극(192)을 상기 공통배선(103)에 중첩되도록 형성하여 캐패시터(Cp)를 형성할 수 있다.
- <70> 상기 제 2 연결전극(194)은 다수개로 형성된 상기 공통전극(160)을 서로 전기적으로 연결하는 역할을 한다.
- <71> 상기 제 1, 제 2 연결전극(192, 194)은 투명성 도전물질로 형성한다. 이를테면, 상기 제 1, 제 2 연결전극(192, 194)은 ITO 또는 IZO 중 어느 하나로 형성할 수 있다.
- <72> 이와 동시에, 상기 패드전극상에 패드접촉전극이 형성된다. 여기서, 상기 패드전극은 상기 게이트 패드 전극(104a), 상기 데이터 패드 전극(109a), 상기 공통전압 패드 전극(105a)을 포함하며, 상기 패드접촉 전극은 상기 패드전극은 상기 게이트 패드 전극(104a), 상기 데이터 패드 전극(109a), 상기 공통전압 패드 전극(105a)상에 각각 위치하는 게이트 패드 접촉 전극(104b), 데이터 패드 접촉 전극(109b), 공통전압 패드 접촉 전극(105b)을 포함한다. 여기서, 상기 패드접촉 전극은 상기 제 1, 제 2 연결전극(192, 194)와 동일한 도전 물질로, 내식성이 강한 ITO 또는 IZO 중 어느 하나로 형성할 수 있어, 부식에 의한 불량을 방지할 수 있다.
- <73> 이와 같이, 상기 개구영역의 굴곡부에 인접하거나, 굴곡부가 없는 영역에 위치하는 감광성막의 경화도 차이를 이용하여, 서로 대응된 측벽에 각각 화소전극과 공통전극을 동시에 형성할 수 있어, 공정 수를 절감할 수 있으며, 또, 상기 화소전극과 상기 공통전극을 기판에 대해 수직으로 형성함으로써 개구율이 향상된 액정표시장치를 제조할 수 있다.

발명의 효과

- <74> 상기한 바와 같이 본 발명에 따르면, 공통전극과 화소전극을 기판에 대해 수직적으로 형성하여 개구율을 향상시킬 수 있는 액정표시장치를 제조할 수 있었다.
- <75> 또, 상기 공통전극과 상기 화소전극을 개구영역의 굴곡부에 인접하거나, 굴곡부가 없는 영역에 위치하는 감광성막의 경화도 차이를 이용한 패터닝 공정을 수행하여, 화소전극과 공통전극을 동시에 형성할 수 있어, 공정 수를 절감할 수 있었다.

<76> 또, 상기 개구영역의 폭을 조절하여 횡전계 또는 프린지 필드를 형성할 수 있어, 시야각이 개선된 액정표시장치를 제공할 수 있다.

<77> 상기에서는 본 발명의 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

<1> 도 1a 및 도 1b는 본 발명의 실시예에 따른 액정표시장치를 설명하기 위해 도시한 도면들이다.

<2> 도 2a 내지 도 2e는 본 발명의 제 1 실시예의 액정표시장치에서, 보호막에 형성되는 다양한 개구영역의 형태를 도시한 평면도들이다.

<3> 도 3a 내지 도 3e는 본 발명의 실시예에 따른 액정표시장치의 제조 방법을 설명하기 위해 도시한 평면도들이다.

<4> 도 4a 내지 도 4f는 도 3a 내지 도 3e를 I-I'로 취한 단면도들이다.

<5> (도면의 주요 부분에 대한 부호의 설명)

<6> 100: 기관 101 : 게이트 배선

<7> 103 : 공통배선 107 : 데이터 배선

<8> 110 : 게이트 절연막 120 : 보호막

<9> 130 : 제 1 감광성막 패턴 150' : 제 2 감광성막 패턴

<10> 160 : 공통전극 170 : 화소전극

<11> 192 : 제 1 연결전극 194 : 제 2 연결전극

<12> Tr : 박막트랜지스터 P : 개구영역

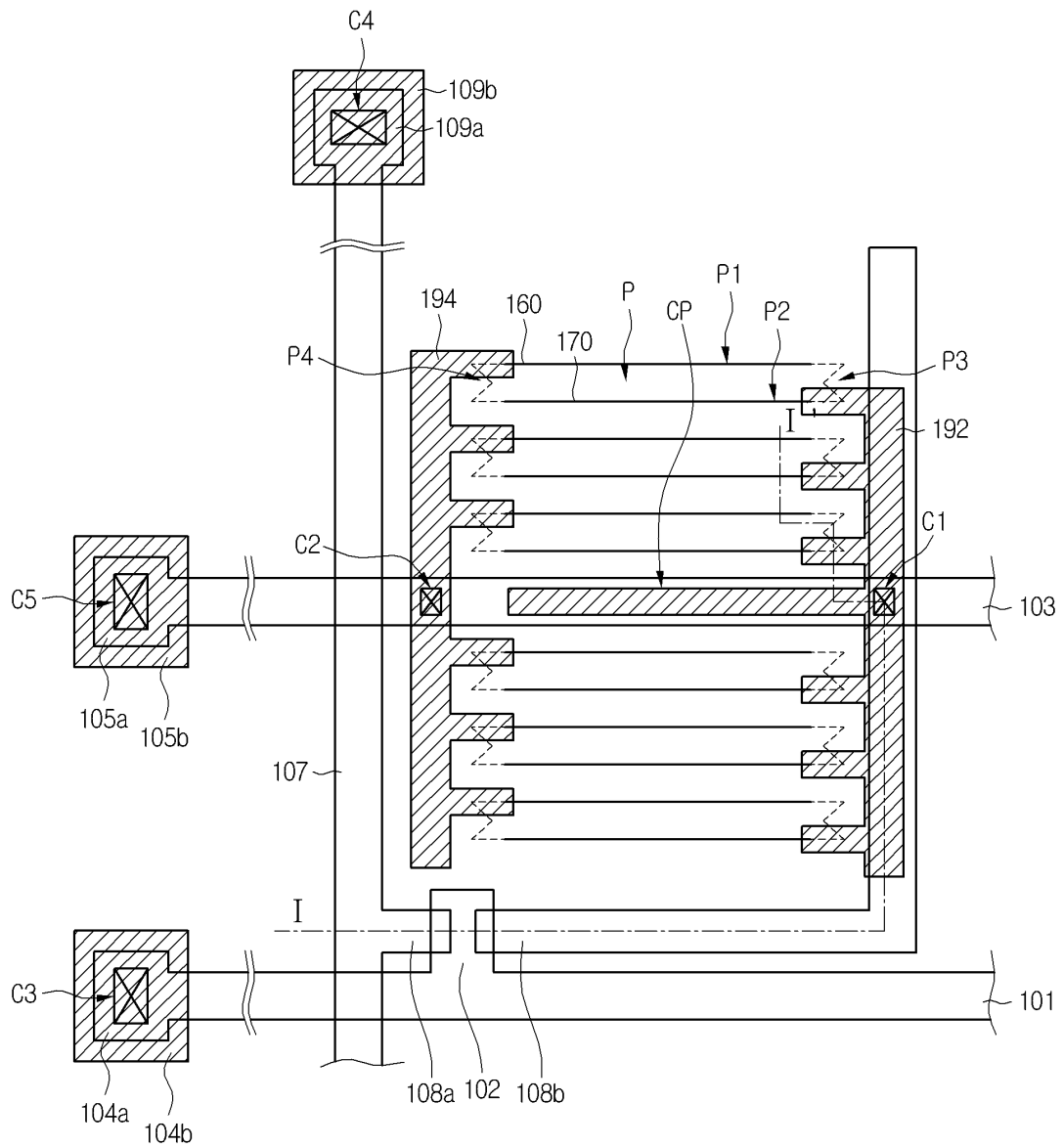
<13> P1 : 제 1 측벽 P2 : 제 2 측벽

<14> P3 : 제 3 측벽 P4 : 제 4 측벽

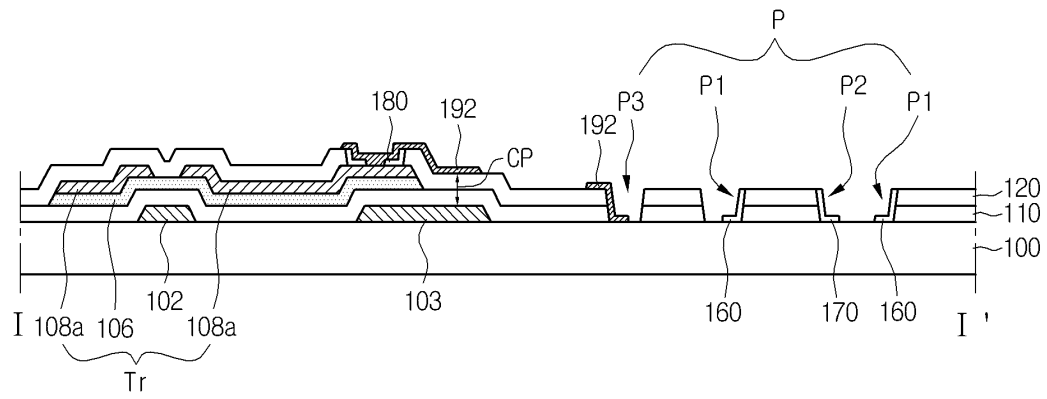
<15>

도면

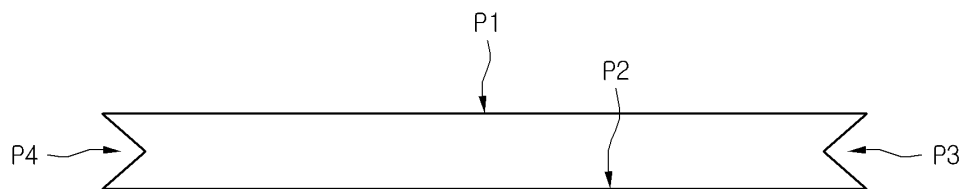
도면1a



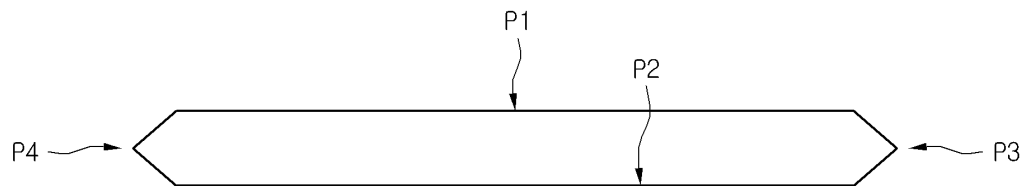
도면 1b



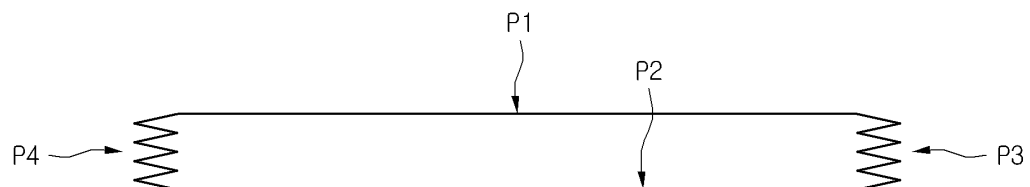
도면2a



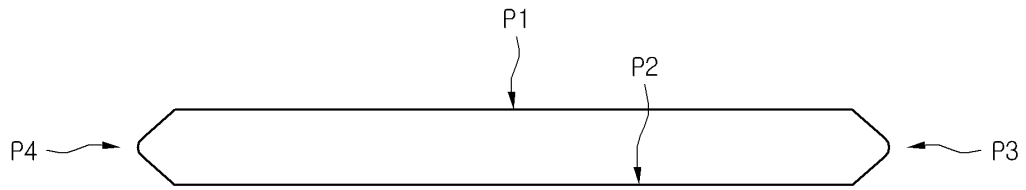
도면 2b



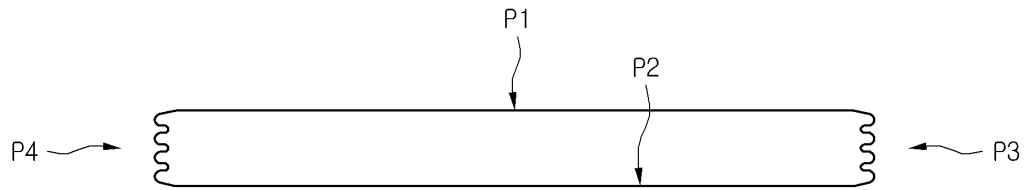
도면2c



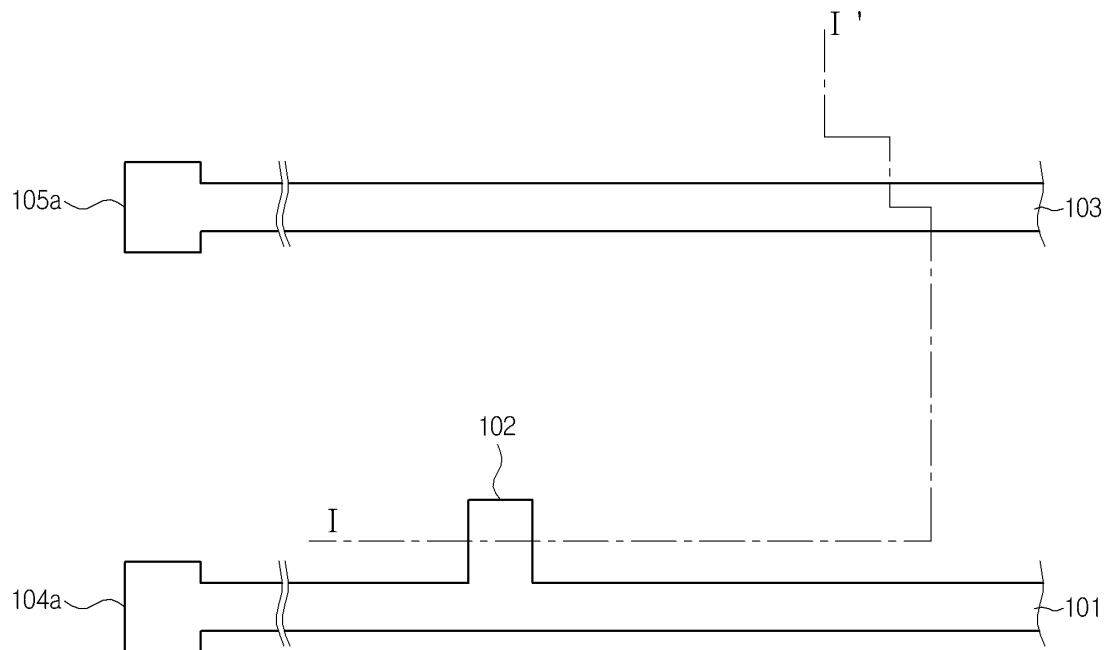
도면2d



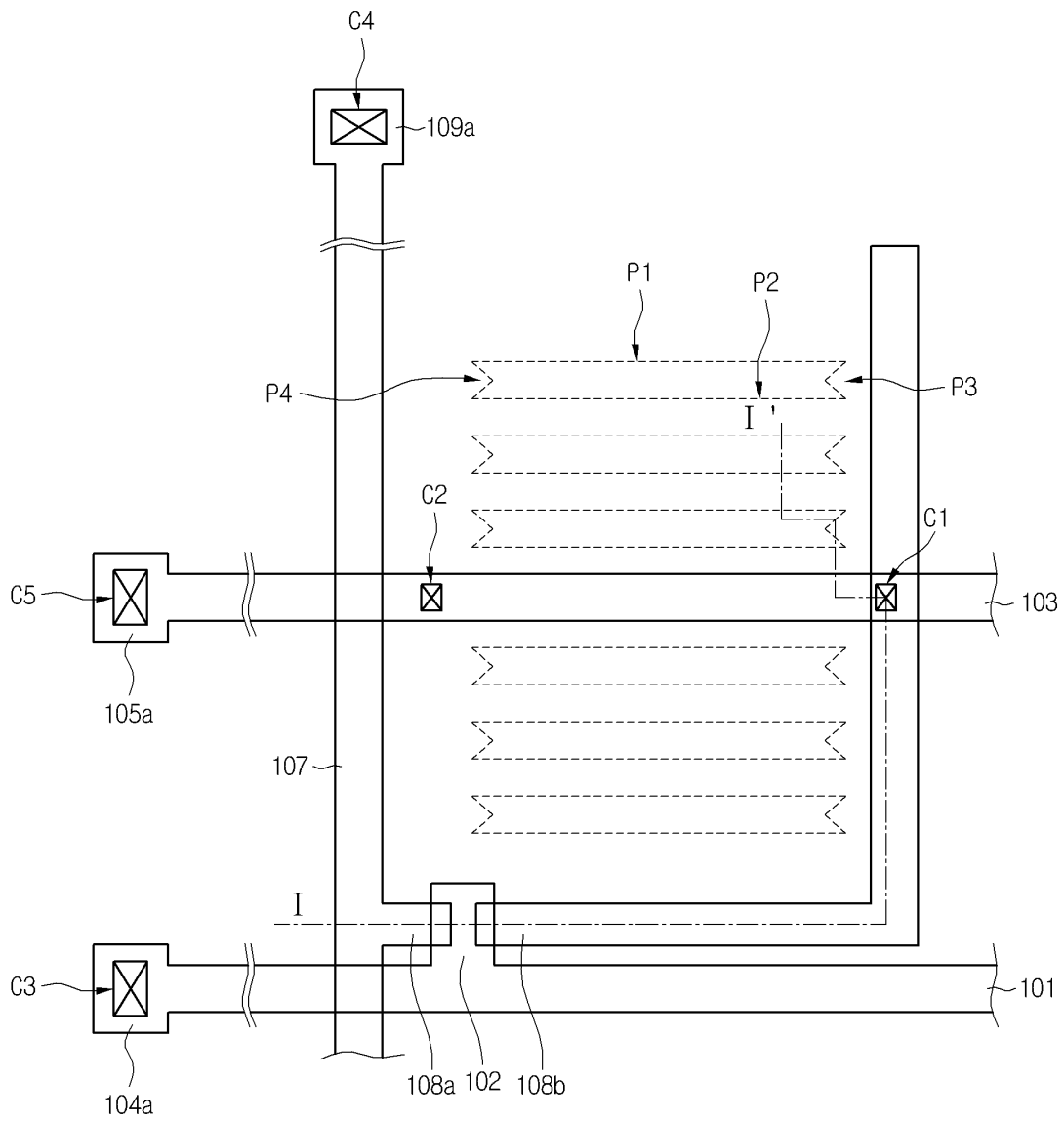
도면2e



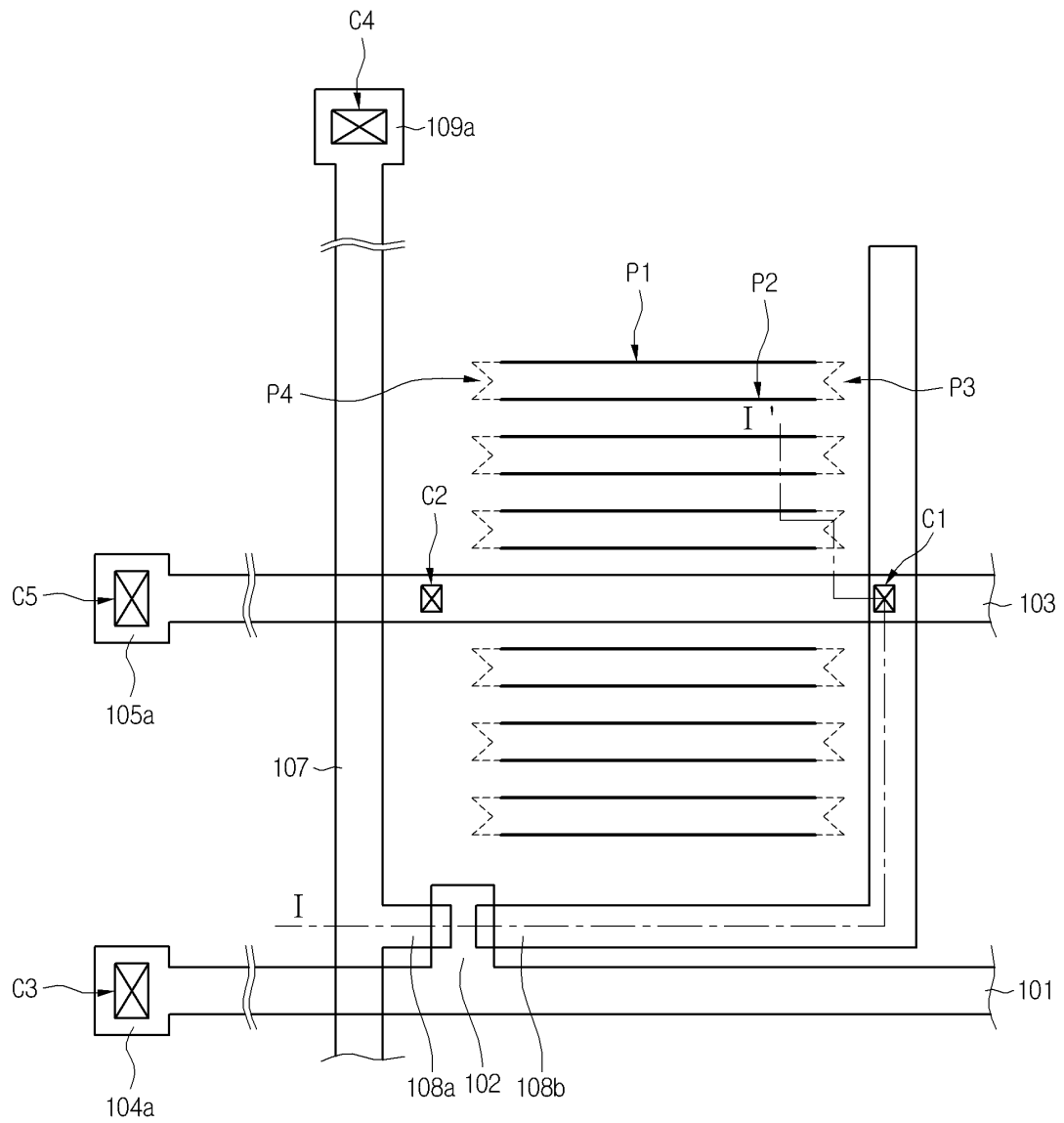
도면3a



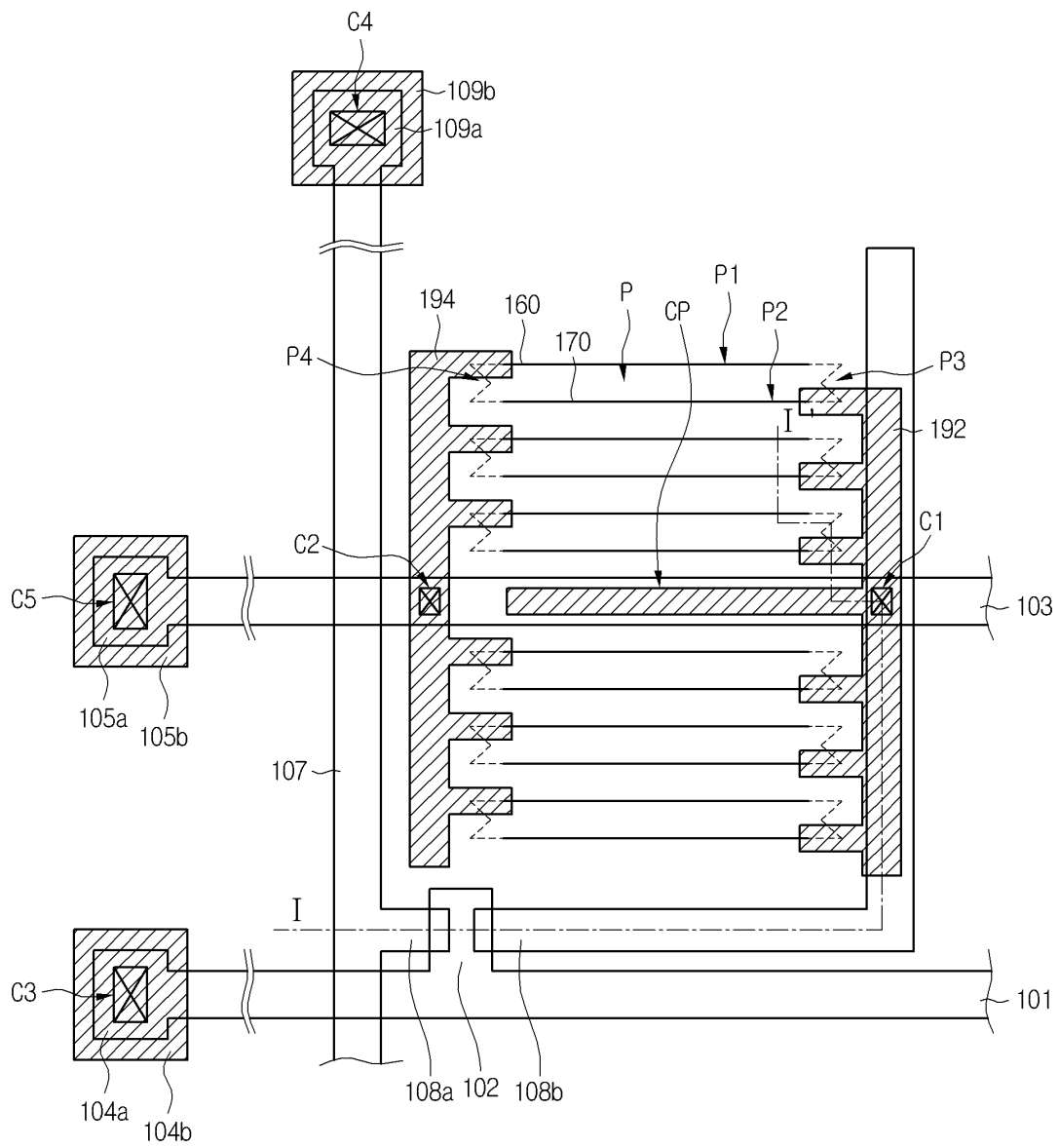
도면3c



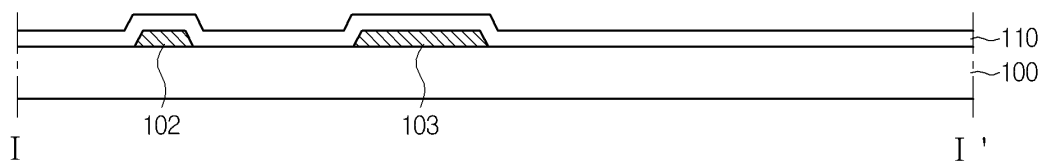
도면3d



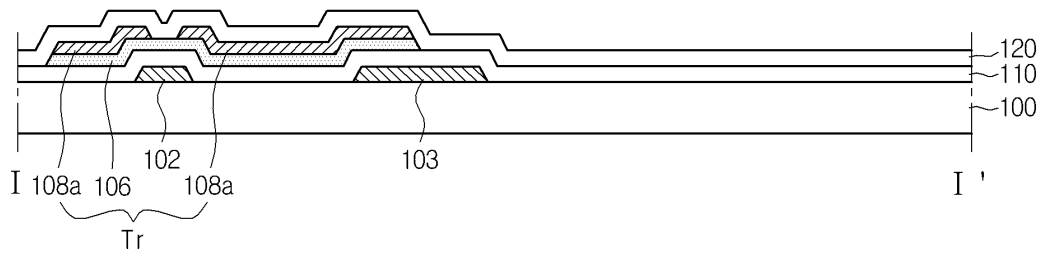
도면3e



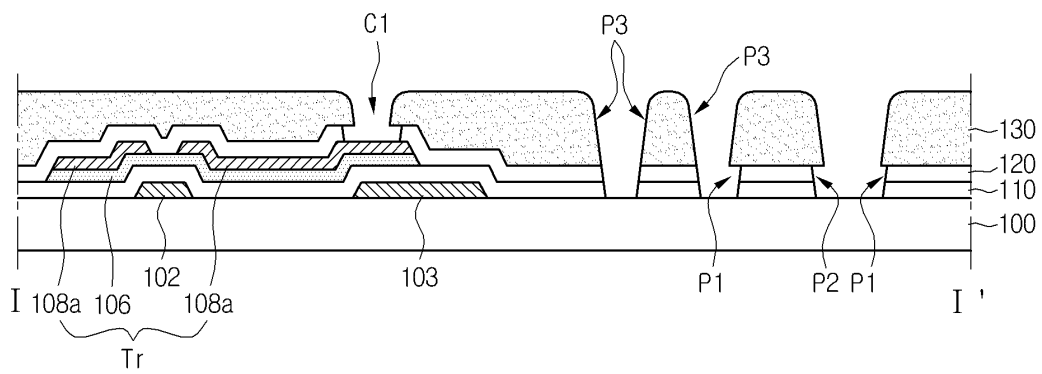
도면4a



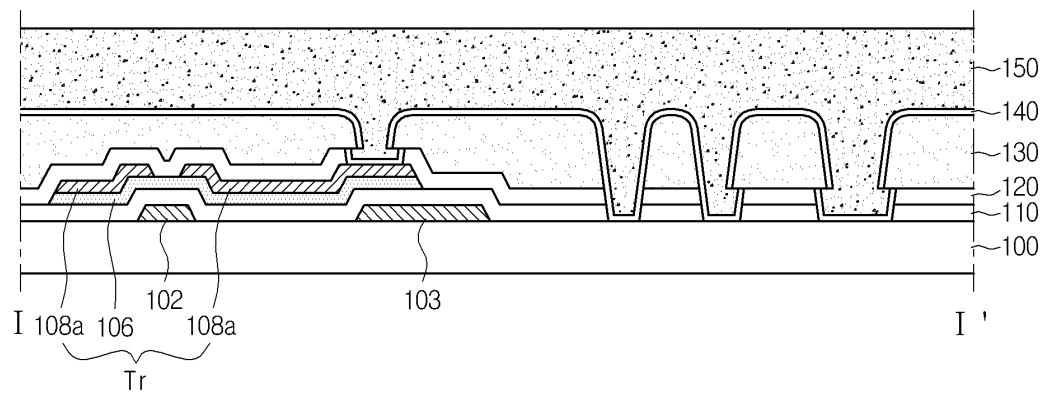
도면4b



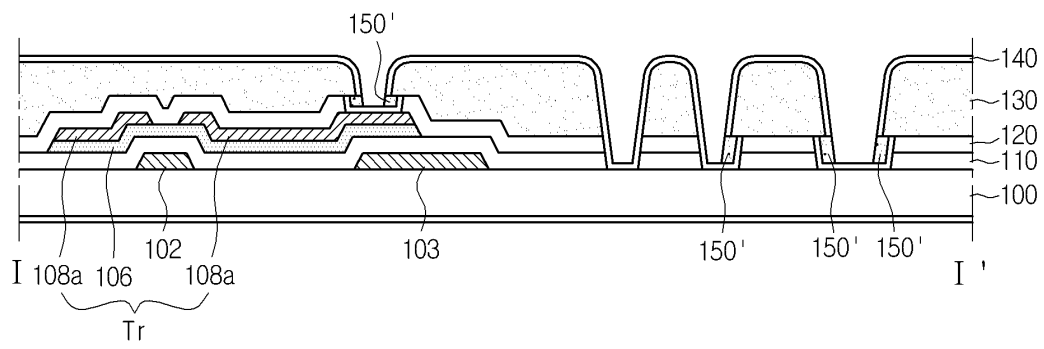
도면4c



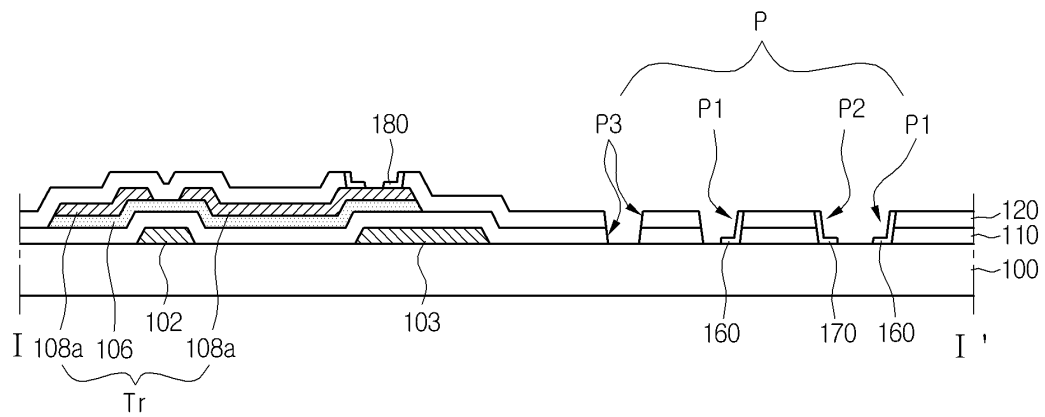
도면4d



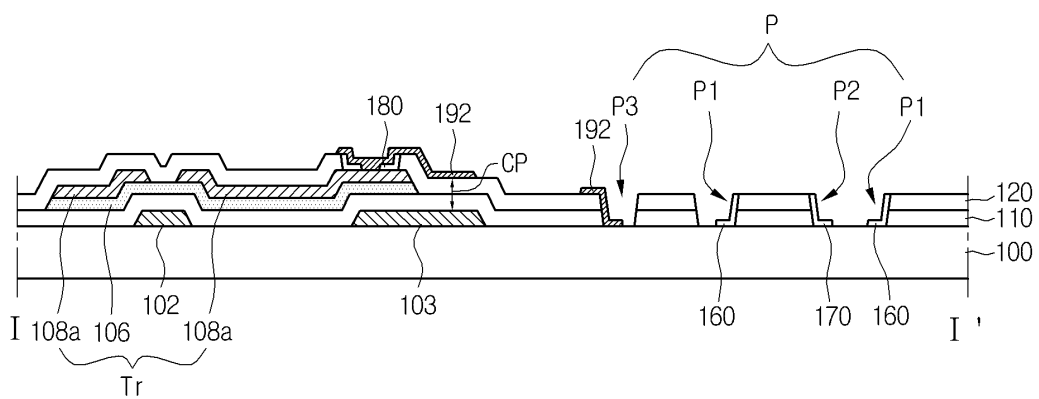
도면4e



도면4f



도면4g



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020070112946A	公开(公告)日	2007-11-28
申请号	KR1020060046531	申请日	2006-05-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YANG JOON YOUNG 양준영 LEE JUNG IL 이정일		
发明人	양준영 이정일		
IPC分类号	G02F1/136		
CPC分类号	G02F1/1343 G02F1/136286 G02F2001/136231 H01L29/786		
其他公开文献	KR101234420B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器。并且液晶显示器包括形成多个的像素电极，其连接到保护膜：薄膜晶体管，其中开口区域由形成在栅极布线上的薄膜晶体管构成，并且至少4个侧壁定位在薄膜晶体管上在多层上形成薄膜晶体管，并且公共电极与公共线电连接并形成多个。并且在包括开口区域的至少一个侧壁中，形成弯曲部分。同时，根据是否形成的弯曲部分图案化像素电极和公共电极的差异，使光敏树脂硬化。以这种方式，可以减少过程的数量。形成在栅极布线上的薄膜晶体管限定了在基板上交叉形成的像素区域：基板和数据线：公共线：对应于栅极布线并形成的像素区域。视角，开口率和液晶显示器。

