



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/133 (2006.01)

(11) 공개번호 10-2007-0063169
(43) 공개일자 2007년06월19일

(21) 출원번호 10-2005-0123129
(22) 출원일자 2005년12월14일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 김태성
경기도 수원시 영통구 영통동 신나무실 신원아파트 642동 1501호

(74) 대리인 팬코리아특허법인

전체 청구항 수 : 총 13 항

(54) 액정 표시 장치

(57) 요약

본 발명은 액정 표시 장치에 관한 것이다. 본 발명에 따른 액정 표시 장치는 각각 제1 및 제2 부화소로 이루어진 복수의 화소를 포함하는 액정 표시판 조립체, 제1 비트수를 가지는 제1 예비 신호를 상기 제1 비트수보다 적은 제2 비트수의 제1 출력 영상 신호로 변환하고, 상기 제1 비트수를 가지며 제2 예비 신호를 상기 제1 비트수보다 많은 제2 비트수의 제2 출력 영상 신호로 변환하는 영상 신호 변환부, 그리고 상기 제1 및 제2 출력 영상 신호에 해당하는 데이터 전압을 상기 화소에 각각 인가하는 데이터 구동부를 포함한다.

대표도

도 8

특허청구의 범위

청구항 1.

각각 제1 및 제2 부화소로 이루어진 복수의 화소를 포함하는 액정 표시판 조립체,

제1 비트수를 가지는 제1 예비 신호를 상기 제1 비트수보다 적은 제2 비트수의 제1 출력 영상 신호로 변환하고, 상기 제1 비트수를 가지며 제2 예비 신호를 상기 제1 비트수보다 많은 제2 비트수의 제2 출력 영상 신호로 변환하는 영상 신호 변환부, 그리고

상기 제1 및 제2 출력 영상 신호에 해당하는 데이터 전압을 상기 화소에 각각 인가하는 데이터 구동부

를 포함하는 액정 표시 장치.

청구항 2.

제1항에서,

상기 제1 출력 영상 신호는 상기 제1 부화소에 인가되는 데이터 전압에 상응하며, 상기 제2 출력 영상 신호는 상기 제2 부화소에 인가되는 데이터 전압에 상응하는 액정 표시 장치.

청구항 3.

제1항에서,

상기 제1 출력 영상 신호는 상기 제1 예비 신호에 제1 보정 변수를 더한 값이며, 상기 제2 출력 영상 신호는 상기 제2 예비 신호에 제2 보정 변수를 더한 값인 액정 표시 장치.

청구항 4.

제3항에서,

상기 영상 신호 변환부는 각각 상기 제1 및 제2 예비 신호를 기억하는 제1 및 제2 룩업 테이블, 각각 상기 제1 및 제2 보정 변수를 기억하는 제3 및 제4 룩업 테이블을 포함하는 액정 표시 장치.

청구항 5.

제3항에서,

상기 영상 신호 변환부는 각각 제1 및 제2 출력 영상 신호를 기억하는 제1 및 제2 룩업 테이블을 포함하는 액정 표시 장치.

청구항 6.

제1항에서,

상기 제1 부화소에 인가되는 데이터 전압과 상기 제2 부화소에 인가되는 데이터 전압은 서로 다른 액정 표시 장치.

청구항 7.

제1항에서,

상기 제1 부화소의 면적과 상기 제2 부화소의 면적은 서로 다른 액정 표시 장치.

청구항 8.

제7항에서,

상기 제1 부화소의 면적은 상기 제2 부화소의 면적보다 작으며, 상기 제1 부화소에 인가되는 데이터전압은 상기 제2 부화소에 인가되는 데이터 전압보다 높은 액정 표시 장치.

청구항 9.

제8항에서,

상기 제1 부화소의 면적과 상기 제2 부화소의 면적비는 1:1.8 내지 1:2인 액정 표시 장치.

청구항 10.

제9항에서,

상기 제1 부화소과 상기 제2 부화소는 하나의 영상 정보로부터 얻어진 서로 다른 데이터 전압을 인가받는 액정 표시 장치.

청구항 11.

제10항에서,

상기 제1 부화소는 제1 부화소 전극을 포함하고, 상기 제2 부화소는 제2 부화소 전극을 포함하고,

상기 제1 부화소 전극과 연결되어 있는 제1 박막 트랜지스터,

상기 제2 부화소 전극과 연결되어 있는 제2 박막 트랜지스터,

상기 제1 박막 트랜지스터에 연결되어 있는 제1 신호선,

상기 제2 박막 트랜지스터에 연결되어 있는 제2 신호선, 그리고

상기 제1 및 제2 박막 트랜지스터와 연결되어 있으며 상기 제1 및 제2 신호선과 교차하는 제3 신호선

을 더 포함하는 액정 표시 장치.

청구항 12.

제11항에서,

상기 제1 및 제2 박막 트랜지스터는 각각 상기 제1 및 제2 신호선으로부터의 신호에 따라 턴온되어 상기 제3 신호선으로부터의 신호를 전달하는 액정 표시 장치.

청구항 13.

제11항에서,

상기 제1 및 제2 박막 트랜지스터는 각각 상기 제3 신호선으로부터의 신호에 따라 턴온되어 상기 제1 및 상기 제2 신호선으로부터의 신호를 전달하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

액정 표시 장치는 또한 각 화소 전극에 연결되어 있는 스위칭 소자 및 스위칭 소자를 제어하여 화소 전극에 전압을 인가하기 위한 게이트선과 데이터선 등 다수의 신호선을 포함한다.

이러한 액정 표시 장치에서 외부의 그래픽 소스(graphics source)로부터 적색(red), 녹색(green), 청색(blue) 등과 같은 기본색(primary color)의 영상 신호가 입력된다. 액정 표시 장치의 신호 제어부는 이 영상 신호를 적절히 처리한 후 IC(integrated circuit) 등으로 이루어진 데이터 구동부에 제공한다. 데이터 구동부는 인가된 영상 신호에 해당하는 아날로그 계조 전압을 선택하여 액정 표시판 조립체에 인가한다.

일반적으로 신호 제어부에 입력되는 영상 신호의 비트 수와 데이터 구동부에서 처리할 수 있는 비트 수가 동일해야 하는 것이 이상적이지만, 액정 표시 장치의 제조 원가를 낮추기 위해 처리 능력이 낮은 데이터 구동부를 이용할 수 있다. 예를 들면, 신호 제어부에 인가되는 영상 신호가 10 비트인 경우, 10 비트의 영상 신호를 처리하는 데이터 구동부는 매우 고가이므로, 10 비트보다 낮은 처리 능력, 예를 들어 8 비트의 영상 신호를 처리하는 데이터 구동부를 이용하면 제품의 단가가 낮아진다.

발명이 이루고자 하는 기술적 과제

따라서 적은 비트수를 표현하는 데이터 구동부로 더 많은 비트수의 색을 표현하기 위하여 여러 화소를 공간적으로 묶어서 해상도를 포기하는 대신 표현할 수 있는 경우의 수를 늘리는 방법 또는 시간적으로 몇 프레임 단위를 묶어서 중간 통을 표현하는 방법이 사용되고 있다. 그러나 이러한 방법들은 해상도가 떨어지고, 플리커(flicker)가 발생하는 등 화질 열화 현상이 수반된다.

이에 따라 본 발명이 이루고자 하는 기술적 과제는 표시 장치의 구동부를 교체하지 않고도, 화질 열화 없이 표현 가능한 색상의 개수를 증가시켜 표시 장치의 색 재현성을 향상시키는 것이다.

발명의 구성

이러한 기술적 과제를 이루기 위한 본 발명의 한 실시예에 따른 액정 표시 장치는 각각 제1 및 제2 부화소로 이루어진 복수의 화소를 포함하는 액정 표시판 조립체, 제1 비트수를 가지는 제1 예비 신호를 상기 제1 비트수보다 적은 제2 비트수의 제1 출력 영상 신호로 변환하고, 상기 제1 비트수를 가지며 제2 예비 신호를 상기 제1 비트수보다 많은 제2 비트수의 제2 출력 영상 신호로 변환하는 영상 신호 변환부, 그리고 상기 제1 및 제2 출력 영상 신호에 해당하는 데이터 전압을 상기 화소에 각각 인가하는 데이터 구동부를 포함한다.

상기 제1 출력 영상 신호는 상기 제1 부화소에 인가되는 데이터 전압에 상응하며, 상기 제2 출력 영상 신호는 상기 제2 부화소에 인가되는 데이터 전압에 상응할 수 있다.

상기 제1 출력 영상 신호는 상기 제1 예비 신호에 제1 보정 변수를 더한 값이며, 상기 제2 출력 영상 신호는 상기 제2 예비 신호에 제2 보정 변수를 더한 값일 수 있다.

상기 영상 신호 변환부는 각각 상기 제1 및 제2 예비 신호를 기억하는 제1 및 제2 룩업 테이블, 각각 상기 제1 및 제2 보정 변수를 기억하는 제3 및 제4 룩업 테이블을 포함할 수 있다.

상기 영상 신호 변환부는 각각 제1 및 제2 출력 영상 신호를 기억하는 제1 및 제2 룩업 테이블을 포함할 수 있다.

상기 제1 부화소에 인가되는 데이터 전압과 상기 제2 부화소에 인가되는 데이터 전압은 서로 다를 수 있다.

상기 제1 부화소의 면적과 상기 제2 부화소의 면적은 서로 다를 수 있다.

상기 제1 부화소의 면적은 상기 제2 부화소의 면적보다 작으며, 상기 제1 부화소에 인가되는 데이터 전압은 상기 제2 부화소에 인가되는 데이터 전압보다 높을 수 있다.

상기 제1 부화소의 면적과 상기 제2 부화소의 면적비는 1:1.8 내지 1:2일 수 있다.

상기 제1 부화소과 상기 제2 부화소는 하나의 영상 정보로부터 얻어진 서로 다른 데이터 전압을 인가받는 액정 표시 장치.

상기 제1 부화소는 제1 부화소 전극을 포함하고, 상기 제2 부화소는 제2 부화소 전극을 포함하고, 상기 제1 부화소 전극과 연결되어 있는 제1 박막 트랜지스터, 상기 제2 부화소 전극과 연결되어 있는 제2 박막 트랜지스터, 상기 제1 박막 트랜지스터에 연결되어 있는 제1 신호선, 상기 제2 박막 트랜지스터에 연결되어 있는 제2 신호선, 그리고 상기 제1 및 제2 박막 트랜지스터와 연결되어 있으며 상기 제1 및 제2 신호선과 교차하는 제3 신호선을 더 포함할 수 있다.

상기 제1 및 제2 박막 트랜지스터는 각각 상기 제1 및 제2 신호선으로부터의 신호에 따라 턴온되어 상기 제3 신호선으로부터의 신호를 전달할 수 있다.

상기 제1 및 제2 박막 트랜지스터는 각각 상기 제3 신호선으로부터의 신호에 따라 턴온되어 상기 제1 및 상기 제2 신호선으로부터의 신호를 전달할 수 있다.

그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

이제 본 발명의 액정 표시 장치에 대하여 첨부한 도면을 참고로 하여 상세하게 설명한다.

먼저, 도 1 및 도 2를 참고하여 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 상세하게 설명한다.

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이와 연결된 게이트 구동부(400) 및 데이터 구동부(500), 데이터 구동부(500)에 연결된 게조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.

액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(G_1 - G_n , D_1 - D_m)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 그 사이에 들어 있는 액정층(3)을 포함한다.

신호선(G_1-G_n , D_1-D_m)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_1-G_n)과 데이터 신호를 전달하는 복수의 데이터선(D_1-D_m)을 포함한다. 게이트선(G_1-G_n)은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선(D_1-D_m)은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.

각 화소(PX)는 한 쌍의 부화소를 포함하며, 각 부화소는 액정 축전기(liquid crystal capacitor)(Clca, Clcb)를 포함한다. 두 부화소 중 적어도 하나는 게이트선, 데이터선 및 액정 축전기(Clca, Clcb)와 연결된 스위칭 소자(도시하지 않음)를 포함한다.

액정 축전기(Clca/Clcb)는 하부 표시판(100)의 부화소 전극(PEa/PEb)과 상부 표시판(200)의 공통 전극(CE)을 두 단자로 하며 부화소 전극(PEa/PEb)과 공통 전극(CE) 사이의 액정층(3)은 유전체로서 기능한다. 한 쌍의 부화소 전극(PEa, PEb)은 서로 분리되어 있으며 하나의 화소 전극(PE)을 이룬다. 공통 전극(CE)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가 받는다. 액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다.

한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(CF)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(CF)는 하부 표시판(100)의 부화소 전극(PEa, PEb) 위 또는 아래에 형성할 수도 있다.

표시판(100, 200)의 바깥 면에는 편광자(polarizer)(도시하지 않음)가 구비되어 있는데, 두 편광자의 편광축은 직교할 수 있다. 반사형 액정 표시 장치의 경우에는 두 개의 편광자(12, 22) 중 하나가 생략될 수 있다. 직교 편광자인 경우 전기장이 없는 액정층(3)에 들어온 입사광을 차단한다.

다시 도 1을 참고하면, 계조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 두 벌의 계조 전압 집합(또는 기준 계조 전압 집합)을 생성한다. 두 벌 중 한 벌은 공통 전압(Vcom)에 대하여 양의 값을 가지고 다른 한 벌은 음의 값을 가진다.

게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선(G_1-G_n)과 연결되어 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(G_1-G_n)에 인가한다.

데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D_1-D_m)에 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 신호로서 데이터선(D_1-D_m)에 인가한다. 그러나 계조 전압 생성부(800)가 모든 계조에 대한 전압을 모두 제공하는 것이 아니라 정해진 수의 기준 계조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 계조 전압을 분압하여 전체 계조에 대한 계조 전압을 생성하고 이 중에서 데이터 신호를 선택한다.

신호 제어부(600)는 영상 신호 변환부(610)를 포함하며, 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어한다. 영상 신호 변환부(610)는 일정 비트수를 갖는 영상 신호를 다른 비트수의 영상 신호로 변환시킨다.

이러한 구동 장치(400, 500, 600, 800) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이들 구동 장치(400, 500, 600, 800)가 신호선(G_1-G_n , D_1-D_m) 및 박막 트랜지스터 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다. 또한, 구동 장치(400, 500, 600, 800)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.

그러면 이러한 액정 표시판 조립체 구조의 한 예에 대하여 도 3 내지 도 6 및 앞에서 설명한 도 1 및 도 2를 참고하여 상세하게 설명한다.

도 3은 본 발명의 한 실시예에 따른 액정 표시판 조립체의 한 화소에 대한 등가 회로도이다.

도 3을 참고하면, 본 실시예에 따른 액정 표시판 조립체는 복수 쌍의 게이트선(GLa, GLb), 복수의 데이터선(DL) 및 복수의 유지 전극선(SL)을 포함하는 신호선과 이에 연결된 복수의 화소(PX)를 포함한다.

각 화소(PX)는 한 쌍의 부화소(PXa, PXb)를 포함하며, 각 부화소(PXa/PXb)는 각각 해당 게이트선(GLa/GLb) 및 데이터선(DL)에 연결되어 있는 스위칭 소자(Qa/Qb)와 이에 연결된 액정 축전기(Clca/Clcb), 그리고 스위칭 소자(Qa/Qb) 및 유지 전극선(SL)에 연결되어 있는 유지 축전기(storage capacitor)(Csta/Cstb)를 포함한다.

각 스위칭 소자(Qa/Qb)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선(GLa/GLb)과 연결되어 있고, 입력 단자는 데이터선(DL)과 연결되어 있으며, 출력 단자는 액정 축전기(Clca/Clcb) 및 유지 축전기(Csta/Cstb)와 연결되어 있다.

액정 축전기(Clca/Clcb)의 보조적인 역할을 하는 유지 축전기(Csta/Cstb)는 하부 표시판(100)에 구비된 유지 전극선(SL)과 화소 전극(PE)이 절연체를 사이에 두고 중첩되어 이루어지며 유지 전극선(SL)에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(Csta, Cstb)는 부화소 전극(PEa, PEb)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.

액정 축전기(Clca, Clcb) 등에 대해서는 앞에서 설명하였으므로 상세한 설명은 생략한다.

이와 같은 액정 표시판 조립체를 포함하는 액정 표시 장치에서는, 신호 제어부(600)가 한 화소(PX)에 대한 입력 영상 신호(R, G, B)를 수신하고, 이를 원하는 비트수를 가지며 두 부화소(PXa, PXb)에 대응하는 출력 영상 신호(DAT)로 변환하여 데이터 구동부(500)에 전송할 수 있다. 단, 이때 두 부화소(PXa, PXb)의 합성 감마 곡선이 정면에서의 기준 감마 곡선에 가깝게 되도록 영상 신호를 보정하거나 계조 전압 집합을 만드는 것이 바람직하다. 예를 들면 정면에서의 합성 감마 곡선은 이 액정 표시판 조립체에 가장 적합하도록 정해진 정면에서의 기준 감마 곡선과 일치하도록 하고 측면에서의 합성 감마 곡선은 정면에서의 기준 감마 곡선과 가장 가깝게 되도록 한다.

도 3에 도시한 액정 표시판 조립체의 한 예에 대하여 도 4 내지 도 6, 그리고 앞서 설명한 도 3을 참고하여 상세하게 설명한다.

도 4는 본 발명의 한 실시예에 따른 액정 표시판 조립체의 배치도이고, 도 5 및 도 6은 각각 도 4에 도시한 액정 표시판 조립체를 V-V 및 VI-VI 선을 따라 잘라 도시한 단면도이다.

도 4 내지 도 6을 참고하면, 본 실시예에 따른 액정 표시판 조립체는 서로 마주하는 하부 표시판(100)과 상부 표시판(200) 및 이들 두 표시판(100, 200) 사이에 들어 있는 액정층(3)을 포함한다.

먼저 하부 표시판(100)에 대하여 설명한다.

투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 복수 쌍의 제1 및 제2 게이트선(gate line)(121a, 121b)과 복수의 유지 전극선(storage electrode lines)(131)을 포함하는 복수의 게이트 도전체가 형성되어 있다.

제1 및 제2 게이트선(121a, 121b)은 게이트 신호를 전달하고 주로 가로 방향으로 뻗으며, 각각 위쪽 및 아래쪽에 위치한다.

제1 게이트선(121a)은 아래로 돌출한 복수의 제1 게이트 전극(gate electrode)(124a)과 다른 층 또는 게이트 구동부(400)와의 접속을 위한 넓은 끝 부분(129)을 포함한다. 제2 게이트선(121b)은 위로 돌출한 복수의 제2 게이트 전극(124b)과 다른 층 또는 게이트 구동부(400)와의 접속을 위한 넓은 끝 부분(129)을 포함한다. 게이트 구동부(400)가 기판(110) 위에 집적되어 있는 경우 게이트선(121a, 121b)이 연장되어 이와 직접 연결될 수 있다.

유지 전극선(131)은 공통 전압(Vcom) 등 소정의 전압을 인가 받으며, 주로 가로 방향으로 뻗어 있다. 각 유지 전극선(131)은 제1 게이트선(121a)과 제2 게이트선(121b) 사이에 위치한다. 각 유지 전극선(131)은 아래위로 연장되고, 다시 확장된 유지 전극(storage electrode)(137a, 137b)을 포함한다. 그러나 유지 전극(137a, 137b)을 비롯한 유지 전극선(131)의 모양 및 배치는 여러 형태로 변형될 수 있다.

게이트 도전체(121a, 121b, 131)는 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 탄탈륨, 티타늄 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄(합금) 상부막 및 알루미늄(합금) 하부막과 몰리브덴(합금) 상부막을 들 수 있다. 그러나 게이트 도전체(121a, 121b, 131)는 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

게이트 도전체(121a, 121b, 131)의 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30° 내지 약 80°인 것이 바람직하다.

게이트 도전체(121a, 121b, 131) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소(polysilicon) 등으로 만들어진 복수의 제1 및 제2 섬형 반도체(154a, 154b)가 형성되어 있다. 제1 및 제2 반도체(154a, 154b)는 각각 제1 및 제2 게이트 전극(124a, 124b) 위에 위치한다.

각각의 제1 반도체(154a) 위에는 한 쌍의 섬형 저항성 접촉 부재(ohmic contact)(163a, 165a)가 형성되어 있고, 각각의 제2 반도체(154b) 위에도 한 쌍의 섬형 저항성 접촉 부재(도시하지 않음)가 형성되어 있다. 저항성 접촉 부재(163a, 165a)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다.

반도체(154a, 154b)와 저항성 접촉 부재(163b, 165b)의 측면 역시 기판(110) 면에 대하여 경사져 있으며 경사각은 30° 내지 80° 정도이다.

저항성 접촉 부재(163b, 165b) 및 게이트 절연막(140) 위에는 복수의 데이터선(data line)(171)과 복수 쌍의 제1 및 제2 드레인 전극(drain electrode)(175a, 175b)을 포함하는 데이터 도전체가 형성되어 있다.

데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121a, 121b) 및 유지 전극선(131)과 교차한다. 각 데이터선(171)은 제1 및 제2 게이트 전극(124a, 124b)을 향하여 각각 뻗은 복수 쌍의 제1 및 제2 소스 전극(source electrode)(173a, 173b)과 다른 층 또는 데이터 구동부(500)와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다. 데이터 구동부(500)가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 이와 직접 연결될 수 있다.

제1 및 제2 드레인 전극(175a, 175b)은 서로 분리되어 있고 데이터선(171)과도 분리되어 있다. 제1/제2 드레인 전극(175a/175b)은 제1/제2 게이트 전극(124a/124b)을 중심으로 제1/제2 소스 전극(173a/173b)과 마주하며, 넓은 한 쪽 끝 부분(177a/177b)과 막대형인 다른 쪽 끝 부분을 포함한다. 제1 드레인 전극(175a)의 넓은 끝 부분(177a)이 제2 드레인 전극(175b)의 넓은 끝 부분(177b)보다 면적이 더 크다. 넓은 끝 부분(177a, 177b)은 유지 전극(137a, 137b)과 각각 중첩하며, 막대형 끝 부분은 구부러진 제1 및 제2 소스 전극(173a, 173b)으로 일부 둘러싸여 있다.

제1/제2 게이트 전극(124a/124b), 제1/제2 소스 전극(173a/173b) 및 제1/제2 드레인 전극(175a/175b)은 제1/제2 반도체(154a/154b)와 함께 제1/제2 박막 트랜지스터(thin film transistor, TFT)(Qa/Qb)를 이루며, 제1/제2 박막 트랜지스터(Qa/Qb)의 채널(channel)은 제1/제2 소스 전극(173a/173b)과 제1/제2 드레인 전극(175a/175b) 사이의 제1/제2 반도체(154a/154b)에 형성된다. 제1/제2 박막 트랜지스터(Qa/Qb)는 모두 데이터선(171)의 오른쪽에 위치한다.

데이터 도전체(171, 175a, 175b)는 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴(합금) 하부막과 알루미늄(합금) 상부막의 이중막, 몰리브덴(합금) 하부막과 알루미늄(합금) 중간막과 몰리브덴(합금) 상부막의 삼중막을 들 수 있다. 그러나 데이터 도전체(171, 175a, 175b)는 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

데이터 도전체(171, 175a, 175b) 또한 그 측면이 기판(110) 면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.

저항성 접촉 부재(163a, 165a)는 그 아래의 반도체(154a, 154b)와 그 위의 데이터 도전체(171, 175a, 175b) 사이에만 존재하며 이들 사이의 접촉 저항을 낮추어 준다. 반도체(154a, 154b)에는 소스 전극(173a, 173b)과 드레인 전극(175a, 175b) 사이를 비롯하여 데이터 도전체(171, 175a, 175b)로 가리지 않고 노출된 부분이 있다.

데이터 도전체(171a, 171b, 175a, 175b) 및 노출된 반도체(154a, 154b) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 무기 절연물 또는 유기 절연물 따위로 만들어지며 표면이 평탄할 수 있다. 유기 절연물은 4.0 이하의 유전 상수를 가지는 것이 바람직하고, 감광성(photosensitivity)을 가질 수도 있다. 그러나 보호막(180)은 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(154a, 154b) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다.

보호막(180)에는 데이터선(171)의 끝 부분(179)과 제1 및 제2 드레인 전극(175a, 175b)의 넓은 끝 부분(177a, 177b)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185a, 185b)이 형성되어 있으며, 보호막(180)과 게이트 절연막(140)에는 게이트선(121a, 121b)의 끝 부분(129a, 129b)을 각각 드러내는 복수의 접촉 구멍(181a, 181b)이 형성되어 있다.

보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.

화소 전극(191)은 서로 분리되어 있는 제1 및 제2 부화소 전극(191a, 191b)을 포함한다. 제1 및 제2 부화소 전극(191a, 191b)의 면적은 서로 다르다. 제1 및 제2 부화소 전극(191a, 191b)의 면적비는 1:1.8 내지 1:2로 하는 것이 바람직하다.

제1 부화소 전극(191a)은 데이터선(171) 거의 나란한 세로변 및 게이트선(121)과 빗각을 이루는 한쌍의 굴곡변을 가지며 대략 갈매기 모양이다. 한 쌍의 굴곡변은 게이트선(121)과 예각을 이루며 만나는 오목한 왼쪽 변과 가로 변과 둔각을 이루며 만나는 볼록한 오른쪽 변을 포함한다. 제1 부화소 전극(191a)의 굴곡변은 게이트선(121)에 대하여 약 45°의 각도를 이룬다. 한 쌍의 굴곡변의 모서리는 모따기되어 있다. 제1 부화소 전극(191a)은 화소 전극(191)의 중앙부를 가로질러 이등분하는 유지 전극선(131)에 대하여 거의 반전 대칭을 이룬다.

제2 부화소 전극(191b)은 제1 부화소 전극(191a)와 행 방향으로 이웃하며 게이트선(121) 또는 데이터선(171)과 거의 평행한 네 개의 주 변을 가지며 왼쪽 모퉁이가 모따기되어 있다. 화소 전극(191)의 모판 빗변은 게이트선(121)에 대하여 약 45°의 각도를 이룬다. 또한 제2 부화소 전극(191b)은 제1 부화소 전극(191a)과 인접하는 변에 제1 부화소 전극(191a)의 굴곡부와 거의 평행하게 형성되어 있는 굴곡부를 포함한다.

제2 부화소 전극(191b)에는 제1 상부 절개부(91a), 제1 하부 절개부(91b), 제2 상부 절개부(92a) 및 제2 하부 절개부(92b)가 형성되어 있으며, 제2 부화소 전극(191b)은 이들 절개부(91a-92b)에 의하여 복수의 영역(partition)으로 분할된다. 절개부(91a-92b)는 화소 전극(191)을 이등분하는 유지 전극선(131)에 대하여 거의 반전 대칭을 이룬다.

하부 및 상부 절개부(91a-92b)는 대략 화소 전극(191)의 왼쪽 변에서부터 오른쪽 변으로 비스듬하게 뻗어 있으며, 유지 전극선(131)에 대하여 하반부와 상반부에 각각 위치하고 있다. 하부 및 상부 절개부(92a, 92b)는 게이트선(121)에 대하여 약 45°의 각도를 이루며 서로 수직으로 뻗어 있다.

따라서, 제2 부화소 전극(191b)의 하반부는 제1 및 제2 하부 절개부(91b, 92b)에 의하여 세 개의 영역(partition)으로 나뉘고, 상반부 또한 제1 및 제2 상부 절개부(91a, 92a)에 의하여 세 개의 영역으로 분할된다. 이 때, 영역의 수효 또는 절개부의 수효는 화소 전극(191)의 크기, 화소 전극(191)의 가로변과 세로 변의 길이 비, 액정층(3)의 종류나 특성 등 설계 요소에 따라서 달라질 수 있다.

제1 부화소 전극(191a)은 접촉 구멍(185a)을 통하여 제1 드레인 전극(175a)과 연결되어 있으며, 제2 부화소 전극(191b)은 접촉 구멍(185b)을 통하여 제2 드레인 전극(175b)과 연결되어 있어, 각 드레인 전극(175a, 175b)으로부터 데이터 전압을 인가 받는다. 데이터 전압이 인가된 제1 부화소 전극(191a)은 공통 전압(common voltage)을 인가 받는 공통 전극

표시판(200)의 공통 전극(common electrode)(270)과 함께 전기장을 생성함으로써 두 전극(191a, 270) 사이의 액정층(3)의 액정 분자의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층(3)을 통과하는 빛의 편광이 달라진다. 화소 전극(191)과 공통 전극(270)은 축전기를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지한다.

제2 부화소 전극(191b) 및 이와 연결된 제2 드레인 전극(175b)은 게이트 절연막(140)을 사이에 두고 유지 전극(137)과 중첩하여 유지 축전기(Cst)를 이루며, 유지 축전기(Cst)는 액정 축전기(Clca/Clcb)의 전압 유지 능력을 강화한다.

접촉 보조 부재(81, 82)는 각각 접촉 구멍(181, 182)을 통하여 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 연결된다. 접촉 보조 부재(81, 82)는 게이트선(121) 및 데이터선(171)의 끝 부분(129, 179)과 외부 장치와의 접촉성을 보완하고 이들을 보호한다.

다음, 상부 표시판(200)에 대하여 설명한다.

투명한 유리 또는 플라스틱 등으로 만들어진 절연 기판(210) 위에 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 화소 전극(191)의 굴곡면에 대응하는 굴곡부(도시하지 않음)와 박막 트랜지스터에 대응하는 사각형 부분(도시하지 않음)을 포함할 수 있으며, 화소 전극(191) 사이의 빛샘을 막고 화소 전극(191)과 마주하는 개구 영역을 정의한다.

기판(210) 및 차광 부재(220) 위에는 또한 복수의 색필터(230)가 형성되어 있다. 색필터(230)는 차광 부재(220)로 둘러싸인 영역 내에 대부분 존재하며, 화소 전극(191) 열을 따라서 길게 뻗을 수 있다. 각 색필터(230)는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다.

색필터(230) 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다. 덮개막(250)은 유기 절연물로 만들어질 수 있으며, 색필터(230)가 노출되는 것을 방지하고 평탄면을 제공한다. 덮개막(250)은 생략할 수 있다.

덮개막(250) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 ITO, IZO 등의 투명한 도전체 따위로 만들어지며 복수의 절개부(71-75)를 가진다.

하나의 절개부(71, 72a, 72b, 73a, 73b) 집합은 하나의 화소 전극(191)과 마주하며 제1 절개부(71), 제1 상부 절개부(72a), 제1 하부 절개부(72b), 제2 상부 절개부(73a) 및 제2 하부 절개부(73b)를 포함한다. 절개부(71-73b) 각각은 화소 전극(191)의 인접 절개부(91a-92b) 사이 또는 화소 전극(191)의 인접 절개부(91a-91b)와 제1 및 제2 부화소 전극(191a, 191b)의 경계부 사이에 배치되어 있다. 또한, 각 절개부(71-73b)는 화소 전극(191)의 절개부(91a-92b)와 거의 평행하게 뻗은 적어도 하나의 사선부를 포함하며, 각 사선부에는 움푹 팬 적어도 하나의 노치(notch)가 있다. 절개부(71-73b)는 유지 전극선(131)에 대하여 거의 반전 대칭을 이룬다.

절개부(71-73b)의 수효 또한 설계 요소에 따라 달라질 수 있으며, 차광 부재(220)가 절개부(71-73b)와 중첩하여 절개부(71-73b) 부근의 빛샘을 차단할 수 있다.

표시판(100, 200)의 안쪽 면에는 배향막(alignment layer)(11, 21)이 형성되어 있으며 이들은 수직 배향막일 수 있다.

표시판(100, 200)의 바깥쪽 면에는 편광자(polarizer)(12, 22)가 구비되어 있는데, 두 편광자의 편광축은 직교하며 부화소 전극(191a, 191b)의 빔변과 대략 45°의 각도를 이루는 것이 바람직하다. 반사형 액정 표시 장치의 경우에는 두 개의 편광자 중 하나가 생략될 수 있다.

액정 표시 장치는 편광자(12, 22), 위상 지연막, 표시판(100, 200) 및 액정층(3)에 빛을 공급하는 조명부(backlight unit)(도시하지 않음)를 포함할 수 있다.

액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되어 있다.

절개부(71-73b)는 돌기(protrusion)(도시하지 않음)나 함몰부(depression)(도시하지 않음)로 대체할 수 있다. 돌기는 유기물 또는 무기물로 만들어질 수 있고 전기장 생성 전극(191, 270)의 위 또는 아래에 배치될 수 있다.

이제, 도 1 내지 도 6에 도시한 액정 표시 장치의 동작에 대하여 상세하게 설명한다.

신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 영상 신호(R, G, B)는 각 화소(PX)의 휘도(luminance) 정보를 담고 있으며 휘도는 정해진 수효, 예를 들면, $1024(=2^{10})$, $256(=2^8)$ 또는 $64(=2^6)$ 개의 계조(gray)를 가지고 있다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등이 있다.

신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300) 및 데이터 구동부(500)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 출력한다. 출력 영상 신호(DAT)는 디지털 신호로서 정해진 수효의 값(또는 계조)을 가진다.

신호 제어부(600)의 신호 처리에는 영상 신호 변환부(610)에서 일정 비트수를가지는 입력 영상 신호(R, G, B)를 이와 다른 비트수를 가지는 출력 영상 신호(DAT)로 변환하는 과정이 포함된다. 예를 들어 10비트의 입력 영상 신호는 영상 신호 변환부(610)에서 8비트의 출력 영상 신호(DAT)로 변환되어 출력된다.

이러한 영상 신호 변환부(610)의 신호 변환에 대해서는 다음에 상세하게 설명한다.

게이트 제어 신호(CONT1)는 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(Von)의 출력 주기를 제어하는 적어도 하나의 클럭 신호를 포함한다. 게이트 제어 신호(CONT1)는 또한 게이트 온 전압(Von)의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 더 포함할 수 있다.

데이터 제어 신호(CONT2)는 한 묶음의 화소(PX)에 대한 영상 데이터의 전송 시작을 알리는 수평 동기 시작 신호(STH)와 액정 표시판 조립체(300)에 데이터 신호(Vd)를 인가하라는 로드 신호(LOAD) 및 데이터 클럭 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 데이터 신호(Vd)의 전압 극성(이하 "공통 전압에 대한 데이터 신호의 전압 극성"을 줄여 "데이터 신호의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 더 포함할 수 있다.

신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 묶음의 화소에 대한 디지털 영상 신호(DAT)를 수신하고, 각 디지털 영상 신호(DAT)에 대응하는 계조 전압을 선택함으로써 디지털 영상 신호(DAT)를 아날로그 데이터 신호(Vd)로 변환한 다음, 이를 해당 데이터선(171)에 인가한다.

게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(121a, 121b)에 인가하여 이 게이트선(121a, 121b)에 연결된 스위칭 소자(Q1, Q2)를 턴온시킨다. 그러면 데이터선(171)에 인가된 데이터 신호(Vd)가 턴온된 스위칭 소자(Q1, Q2)를 통하여 해당 부화소(PX1, PX2)에 인가된다.

이렇게 액정 축전기(Clca, Clcb)의 양단에 전위차가 생기면 표시판(100, 200)의 표면에 거의 수직인 주 전기장(전계)(primary electric field)이 액정층(3)에 생성된다. [앞으로 화소 전극(191) 및 공통 전극(270)을 아울러 "전기장 생성 전극(field generating electrode)"라 한다.] 그러면 액정층(3)의 액정 분자들은 전기장에 응답하여 그 장축이 전기장의 방향에 수직을 이루도록 기울어지며, 액정 분자가 기울어진 정도에 따라 액정층(3)에 입사광의 편광의 변화 정도가 달라진다. 이러한 편광의 변화는 편광자에 의하여 투과율 변화로 나타나며 이를 통하여 액정 표시 장치는 영상을 표시한다.

액정 분자가 기울어지는 각도는 전기장의 세기에 따라 달라지는데, 두 액정 축전기(Clca, Clcb)의 전압이 서로 다르므로 액정 분자들이 기울어진 각도가 다르고 이에 따라 두 부화소의 휘도가 다르다. 따라서 제1 액정 축전기(Clca)의 전압과 제2 액정 축전기(Clcb)의 전압을 적절하게 맞추면 측면에서 바라보는 영상이 정면에서 바라보는 영상에 최대한 가깝게 할 수 있으며, 즉 측면 감마 곡선을 정면 감마 곡선에 최대한 가깝게 할 수 있으며, 이렇게 함으로써 측면 시인성을 향상할 수 있다.

또한 높은 전압을 인가 받는 제1 부화소 전극(191a)의 면적을 제2 부화소 전극(191b)의 면적보다 작게 하면 측면 감마 곡선을 정면 감마 곡선에 더욱 가깝게 할 수 있다. 특히 제1 및 제2 부화소 전극(191a, 191b)의 면적비가 대략 1:2 내지 1:3 인 경우 측면 감마 곡선이 정면 감마 곡선에 더욱더 가깝게 되어 측면 시인성이 더욱 좋아진다.

액정 분자들이 기울어지는 방향은 일차적으로 전기장 생성 전극(191, 270)의 절개부(71-75, 91-93)와 부화소 전극(191a, 191b)의 변이 주 전기장을 왜곡하여 만들어내는 수평 성분에 의하여 결정된다. 이러한 주 전기장의 수평 성분은 절개부(71-75, 91-93)의 변과 부화소 전극(191a, 191b)의 변에 거의 수직이다.

부화소 전극(191a, 191b)은 절개부(71-73b, 91a-92b)에 의하여 다수의 부영역(sub-area)으로 나뉘며, 각 부영역은 절개부(71-73b, 91a-92b)의 굴곡부 및 부화소 전극(191a, 191b)의 굴곡변에 의하여 정의되는 두 개의 주변(major edge)을 가진다. 각 부영역 위의 액정 분자들은 대부분 주 변에 수직인 방향으로 기울어지므로, 기울어지는 방향을 추려보면 대략 네 방향이다. 이와 같이 액정 분자가 기울어지는 방향을 다양하게 하면 액정 표시 장치의 기준 시야각이 커진다.

한편, 부화소 전극(191a, 191b) 사이의 전압 차에 의하여 부차적으로 생성되는 부 전기장(secondary electric field)의 방향은 부영역의 주 변과 수직이다. 따라서 부 전기장의 방향과 주 전기장의 수평 성분의 방향과 일치한다. 결국 부화소 전극(191a, 191b) 사이의 부 전기장은 액정 분자들의 경사 방향의 결정을 강화하는 쪽으로 작용한다.

1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 이러한 과정을 되풀이함으로써, 모든 화소(PX)에 데이터 신호를 인가하여 한 프레임(frame)의 영상을 표시한다.

한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 신호의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 신호의 극성이 바뀌거나(보기: 행 반전, 점 반전), 한 묶음의 화소에 인가되는 데이터 신호의 극성도 서로 다를 수 있다(보기: 열 반전, 점 반전).

그러면, 도 7 내지 도 10을 참고로 하여 본 발명의 한 실시예에 따른 액정 표시 장치의 신호 처리에 대하여 좀 더 상세하게 설명한다.

먼저 도 7 및 도 8을 참고하여, 본 발명의 영상 신호 변환 방법에 대하여 개략적으로 설명한다.

도 7은 액정 표시 장치의 제1, 제2 부화소 및 전체 화소의 계조에 대한 휘도를 표현하는 그래프이며, 도 8은 본 발명의 한 실시예에 따른 액정 표시 장치의 영상 신호 변환을 표현하는 그래프이다.

먼저 도 7을 참고하면, 목표 감마 곡선(G Gamma), 제1 감마 곡선(A Gamma) 및 제2 감마 곡선(B Gamma)이 도시되어 있다. 이들 감마 곡선(G Gamma, A Gamma, B Gamma)을 참고하면 계조와 휘도는 일대일로 비례하는 관계이다. 제1 감마 곡선(A Gamma)은 제1 부화소 전극의 계조 및 휘도의 관계를 나타내며, 제2 감마 곡선(B Gamma)은 제2 부화소 전극의 계조 및 휘도의 관계를 나타낸다. 제1 및 제2 감마 곡선(A Gamma, B Gamma)은 제1 및 제2 부화소 전극(191a, 191b)에 인가되는 전압의 평균이 화소 전극(191) 전체의 목표 전압이 되도록 결정된다.

도 8을 참고하면, 8비트의 계조중 24, 25 및 26 계조 부근에서의 목표 감마 곡선(G Gamma), 제1 감마 곡선(A Gamma) 및 제2 감마 곡선(B Gamma)이 도시되어 있다. 이 때 8비트 계조와 10비트 계조를 비교하여 보면, 8비트의 24, 25 및 26 계조는 10비트의 96, 100 및 104 계조에 대응된다. 8비트의 각 계조 사이에는 8비트에서는 표현하지 못하나 10비트에서는 표현되는 3개의 계조가 존재한다. 즉 8비트의 24 및 25계조 사이에는 10비트의 97, 98 및 99 계조 세 개가 존재한다. 이렇게 8비트로 표현하지 못하는 97, 98, 99 계조는 제1 감마 곡선(A Gamma)의 값과 제2 감마 곡선(B Gamma)의 값을 적당히 혼합하여 나타낼 수 있다. 즉, 제1 부화소 전극(191a)과 제2 부화소 전극(191b)의 전압을 적절히 혼합하면 동일한 구동 장치로 더 많은 수의 색상을 표현할 수 있다.

이제 도 9a 내지 도 10을 참고하여, 도 8과 같이 제1 및 제2 부화소를 이용하여 더 많은 수의 색상을 표현하는 방법에 대하여 상세하게 설명한다.

도 9a 및 도 9b는 본 발명의 한 실시예에 따른 액정 표시 장치의 영상 신호 변환부의 여러 가지 예를 도시하는 블록도이며, 도 10은 본 발명의 한 실시예에 따른 액정 표시 장치의 영상 신호 변환에서 사용되는 보정 변수를 기억하는 룩업 테이블의 한 예를 도시하는 표이다.

도 9a를 참고하면 신호 제어부(600)에 포함된 영상 신호 변환부(610)는 제1 및 제2 예비 신호를 기억하는 제1 및 제2 룩업 테이블(611a, 611b), 제1 및 제2 보정 변수를 기억하는 제3 및 제4 룩업 테이블(614a, 614b), 제1 예비 신호에 제1 보정 변수를 더하는 제1 가산기(612a) 및 제2 예비 신호에 제2 보정 변수를 더하는 제2 가산기(612b)를 포함한다.

신호 제어부(600)에, 예를 들어 10 비트수의 입력 영상 신호(R, G, B)가 입력되면, 영상 신호 변환부(610)는 입력 영상 신호(R, G, B)를 예를 들어, 8비트수의 제1 및 제2 예비 신호로 나눈다. 나누어진 제1 및 제2 예비 신호는 제1 및 제2 룩업 테이블(611a, 611b)에 각각 저장되었다가 각각 제1 및 제2 가산기(612a, 612b)로 출력된다. 한편, 입력 영상 신호(R, G, B)와 동일한 10비트수를 기준으로 적절한 값을 뽑아서 제1 및 제2 보정 변수를 정한 후 이를 각각 제1 및 제2 가산기(612a, 612b)로 출력한다. 그러면 제1 가산기(612a)에서 제1 예비 신호 및 제1 보정 변수가 더해져 제1 출력 영상 신호(DATa)가 되며 이는 데이터 구동부(500)에 인가된다. 또한 제2 가산기(612b)에서 제2 예비 신호 및 제2 보정 변수가 더해져 제2 출력 영상 신호(DATb)가 되며 이는 데이터 구동부(500)에 인가된다.

도 9b에 도시한 영상 신호 변환부(610b)는 도 9a에 도시한 영상 신호 변환부(610a)와 달리 제1 및 제2 보상 변수를 따로 더해주는 것이 아니라 10비트의 입력 영상 신호(R, G, B)를 보상 변수 값을 같이 고려하여 8비트수를 갖는 두 개의 영상 신호로 곧바로 나누어 제1 및 제2 출력 영상 신호를 만든다. 이러한 제1 및 제2 출력 영상 신호는 각각 룩업 테이블(615a, 615b)에 저장되었다가 데이터 구동부(500)로 각각 인가된다.

그러면 도 10을 참고하여, 도 9a 및 도 9b에 도시한 영상 신호 변환부(610a, 610b)에서 제1 및 제2 보정 변수를 정하는 방법의 한 예에 대하여 설명한다.

도 10을 참고하면, 두 개의 비트수의 경우에 따라 제1 및 제2 보정 변수가 룩업 테이블로 표현되어 있다. 신호 제어부(600)에 10비트수를 가지는 임의의 계조의 입력 영상 신호(R, G, B)가 입력되면, 입력 영상 신호(R, G, B)를 2비트수 작은 8비트수의 계조로 표현한다. 그런 후 하위 두 개의 비트를 뺀 나머지 비트에 도 10의 룩업 테이블에 따른 제1 및 제2 보정 변수를 각각 더해준다.

예를 들어 입력 영상 신호(R, G, B)가 "0000001001"이면, 하위 두 개의 비트 "01" 대신에 도 10의 룩업 테이블에 따른 보정 변수를 입력 영상 신호(R, G, B)에 더해준다. 도 10을 참고하면 하위 두 개의 비트수가 01일 경우 제1 보정 변수는 1이고 제2 보정 변수는 0이다. 이 각각의 보정 변수를 입력 영상 신호(R, G, B)에 더해지면, 제1 출력 영상 신호(DATa)는 "00000011[=(00000010+ 1)]"이 되고 제2 출력 영상 신호(DATb)는 "00000010[=(00000010+ 0)]"이 된다. 이렇게 10비트의 입력 영상 신호(R, G, B)가 8비트의 제1 및 제2 출력 영상 신호(DATa, DATb)로 변환되고, 이는 데이터 구동부(500)에 인가된다.

본 발명과 같이 한 화소가 제1 및 제2 부화소로 나뉘어져 있는 경우 두 부화소에 인가되는 데이터 전압을 조절함으로써 데이터 구동부가 처리할 수 있는 비트수보다 높은 비트수의 입력 영상 신호를 표시할 수 있다.

한편, 도 10의 룩업 테이블은 이에 한정되는 것이 아니라, 제1 및 제2 부화소 전극(191a, 191b)의 면적과 1계조당 면적 변화를 고려하여 여러 가지 다른 예가 채택될 수 있다.

또한 지금까지 10비트수의 입력 영상 신호를 8비트의 출력 영상 신호로 변환하는 것으로 설명하였으나, 이에 한정되지 않고 다른 여러 가지 비트수의 신호를 여러 가지 비트수의 신호로 변환할 수 있다.

그러면 도 11과 앞에서 설명한 도 1 및 도 2를 참고하여 본 발명의 다른 실시예에 따른 액정 표시판 조립체에 대하여 상세하게 설명한다.

도 11은 본 발명의 한 실시예에 따른 액정 표시판 조립체의 한 화소에 대한 등가 회로도이다.

도 11을 참고하면, 본 실시예에 따른 액정 표시판 조립체는 복수의 게이트선(GL), 복수 쌍의 데이터선(DLa, DLb) 및 복수의 유지 전극선(SL)을 포함하는 신호선과 이에 연결된 복수의 화소(PX)를 포함한다.

각 화소(PX)는 한 쌍의 부화소(PXa, PXb)를 포함하며, 각 부화소(PXa/PXb)는 각각 해당 게이트선(GL) 및 데이터선(DLa/DLb)에 연결되어 있는 스위칭 소자(Qa/Qb)와 이에 연결된 액정 축전기(Clca/Clcb), 그리고 스위칭 소자(Qa/Qb) 및 유지 전극선(SL)에 연결되어 있는 유지 축전기(storage capacitor)(Csta/Cstb)를 포함한다.

각 스위칭 소자(Qa/Qb)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선(GL)과 연결되어 있고, 입력 단자는 데이터선(DLa/DLb)과 연결되어 있으며, 출력 단자는 액정 축전기(Clca/Clcb) 및 유지 축전기(Csta/Cstb)와 연결되어 있다.

액정 축전기(Clca, Clcb)와 유지 축전기(Csta, Cstb) 및 이와 같은 액정 표시판 조립체를 포함하는 액정 표시 장치의 동작 등에 대해서는 앞선 실시예와 실질적으로 동일하므로 상세한 설명은 생략한다. 단, 도 8에 도시한 액정 표시 장치에서는 한 화소(PX)를 이루는 두 부화소(PXa, PXa))가 시차를 두고 데이터 전압을 인가 받는 반면, 본 실시예에서는 두 부화소(PXa, PXb)가 동일한 시간에 데이터 전압을 인가 받는다.

발명의 효과

본 발명에 따르면, 표시 장치의 구동부를 교체하지 않고도, 표현 가능한 색상의 개수를 증가시켜 표시 장치의 색 재현성을 향상시킬 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리 범위에 속하는 것이다.

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도.

도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 두 부화소에 대한 등가 회로도.

도 3은 본 발명의 한 실시예에 따른 액정 표시판 조립체의 한 화소에 대한 등가 회로도.

도 4는 본 발명의 한 실시예에 따른 액정 표시판 조립체의 배치도.

도 5 및 도 6은 도 4에 도시한 액정 표시판 조립체를 V-V 및 VI-VI 선을 따라 잘라 도시한 단면도.

도 7은 액정 표시 장치의 제1 및 제2 부화소에서 계조에 따른 휘도를 나타내는 그래프.

도 8은 본 발명에 따른 액정 표시 장치에서 영상 신호의 변환을 표현하는 그래프.

도 9a는 본 발명의 한 실시예에 따른 액정 표시 장치의 영상 신호 변환부를 도시하는 블록도.

도 9b는 본 발명의 다른 실시예에 따른 액정 표시 장치의 영상 신호 변환부를 도시하는 블록도.

도 10은 본 발명의 한 실시예에 따른 액정 표시 장치의 보정 변수를 기억하는 룩업 테이블의 한 예를 도시하는 도면.

도 11은 본 발명의 다른 실시예에 따른 액정 표시판 조립체의 한 화소에 대한 등가 회로도.

<도면 부호의 설명>

12, 22: 편광판 11, 21: 배향막

81, 81a, 81b, 82: 접촉 보조 부재 110, 210: 기판

121, 121a, 121b, 129a, 129b: 게이트선

124, 124a, 124b: 게이트 전극 131: 유지 전극선

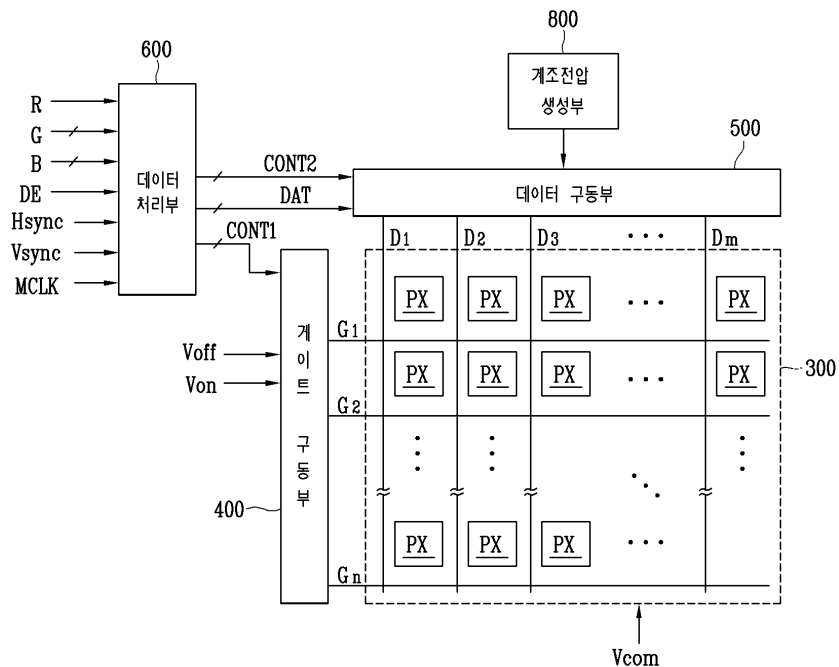
137: 유지 전극 140: 게이트 절연막

154, 154a, 154b: 반도체

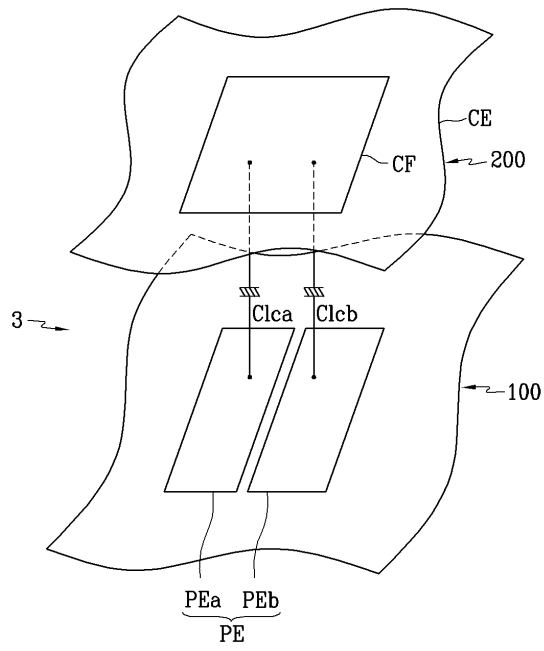
163a, 165a, 163b, 165b: 저항성 접촉 부재
 171, 179: 데이터선 173a, 173b: 소스 전극
 175a, 175b, 177a, 177b: 드레인 전극 180: 보호막
 181, 181a, 181b, 182, 185a, 185b: 접촉 구멍
 191, 191a, 191b: 화소 전극 220: 차광 부재
 230: 색필터 250: 덮개막
 270: 공통 전극 300: 액정 표시판 조립체
 400: 게이트 구동부 500: 데이터 구동부
 600: 신호 제어부 610A, 610B: 영상 신호 변환부
 611a, 611b, 614a, 614b, 615a, 615b: 록업 테이블
 612a, 612b: 가산기 800: 계조 전압 생성부

도면

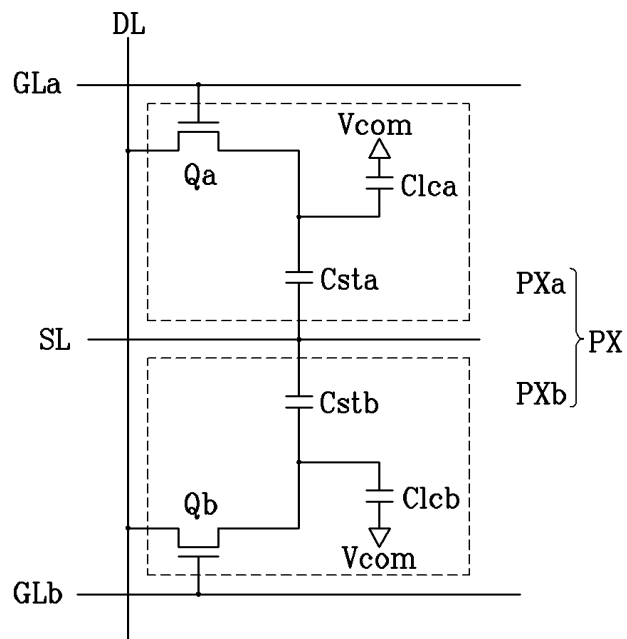
도면1



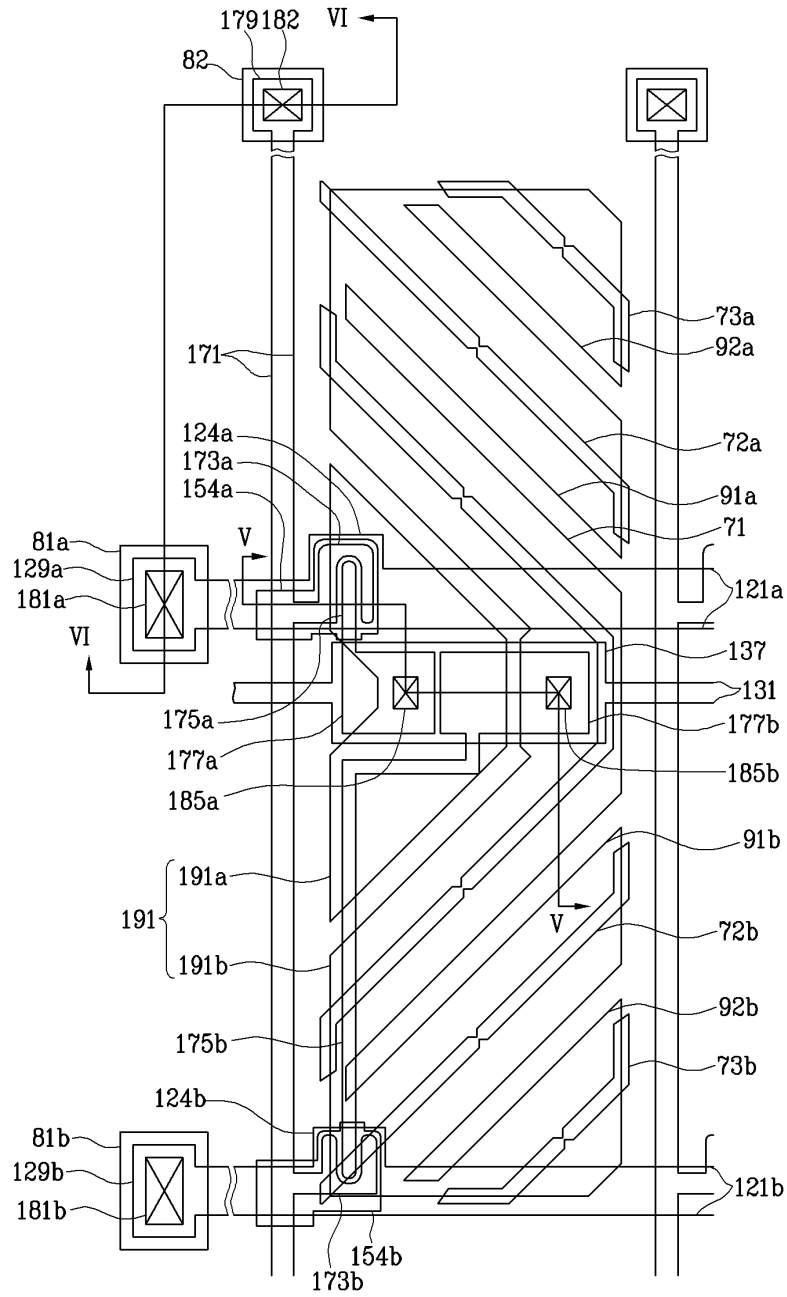
도면2



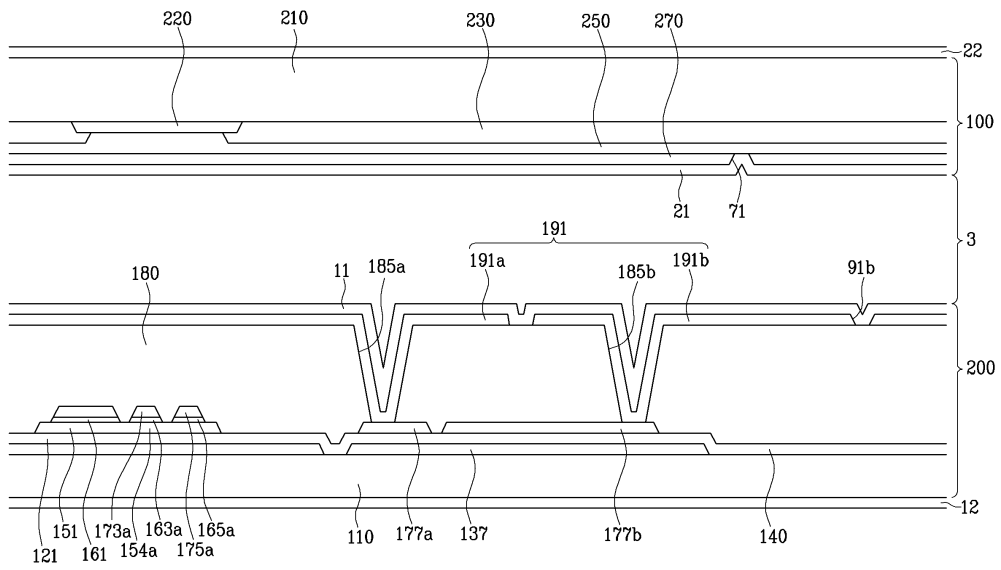
도면3



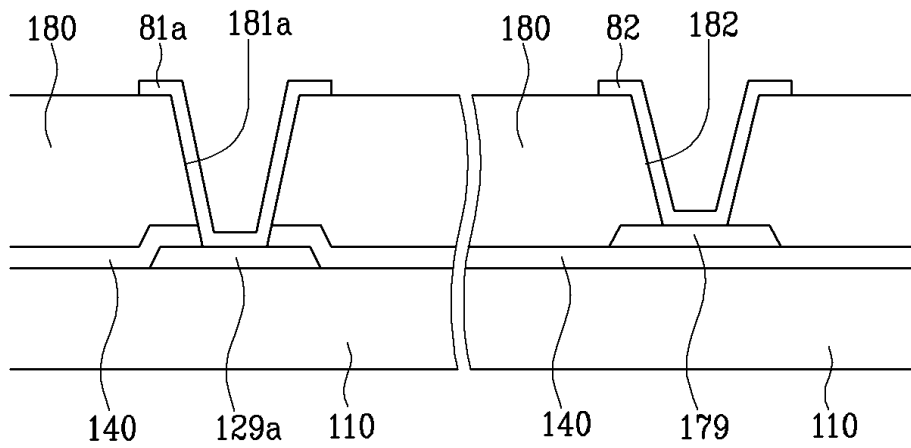
도면4



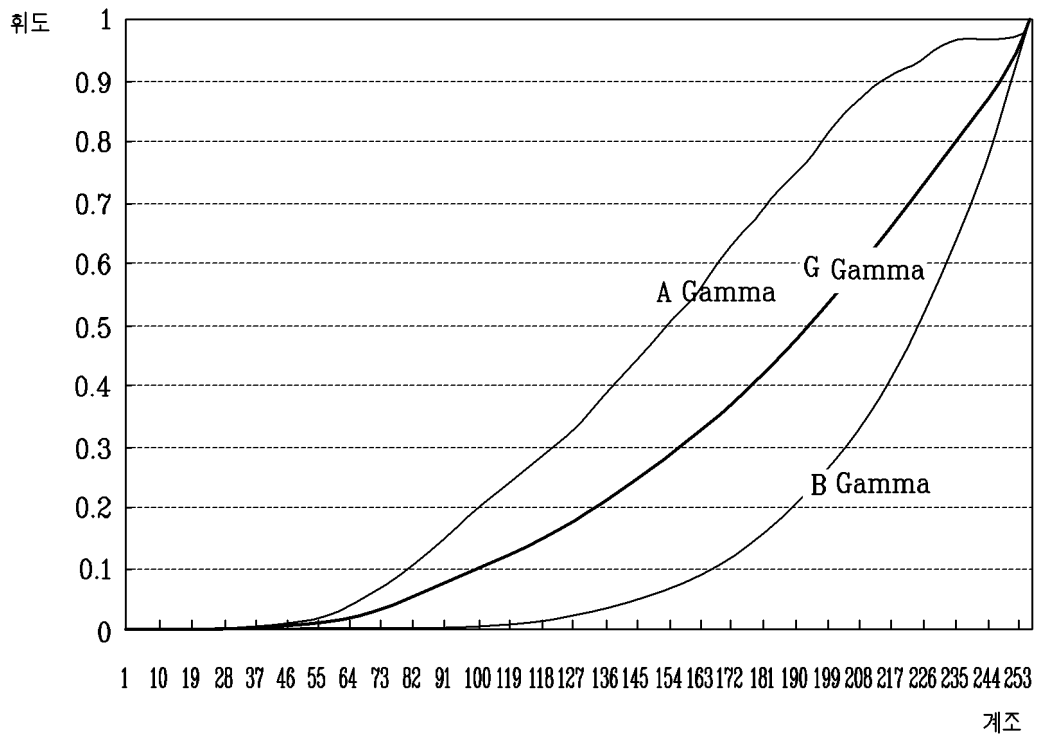
도면5



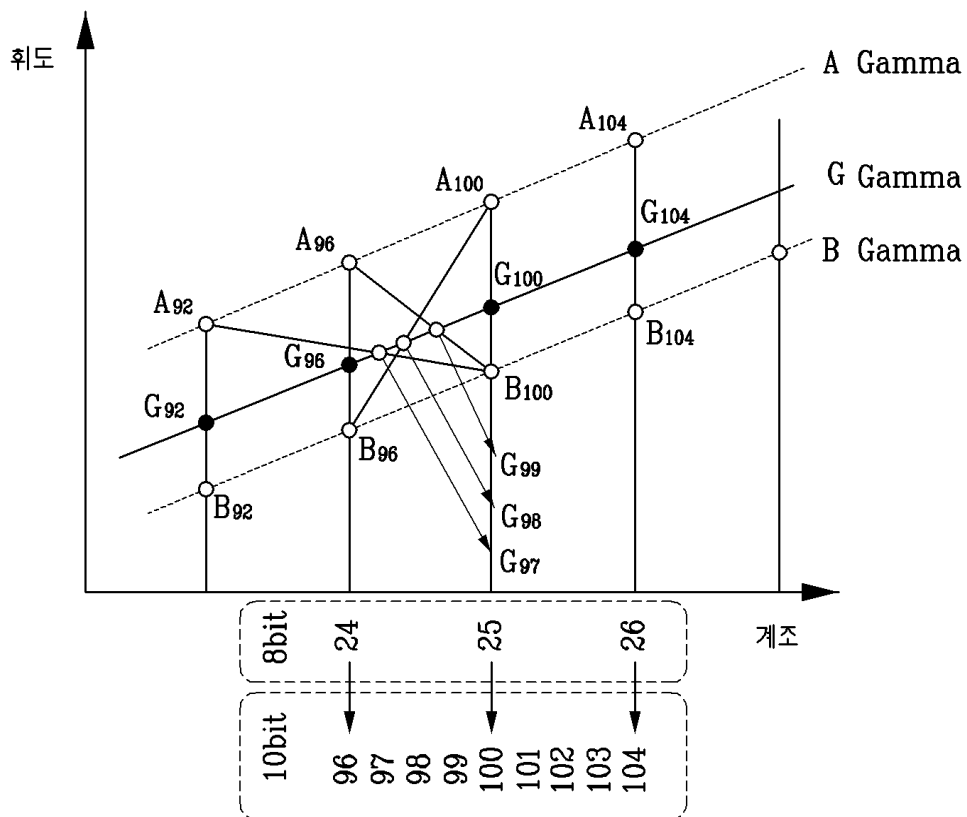
도면6



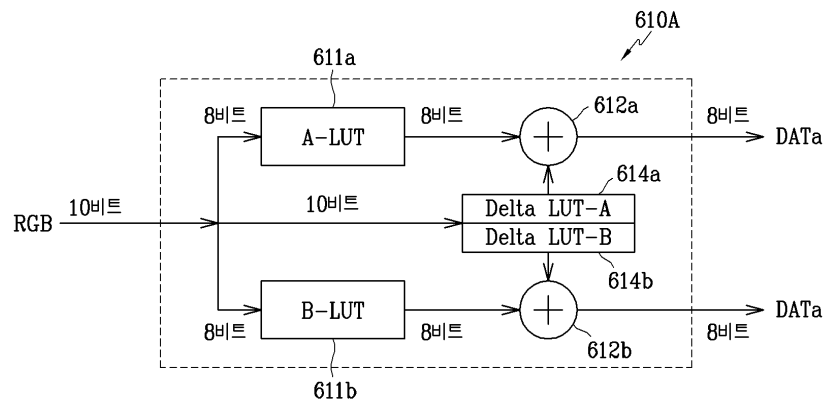
도면7



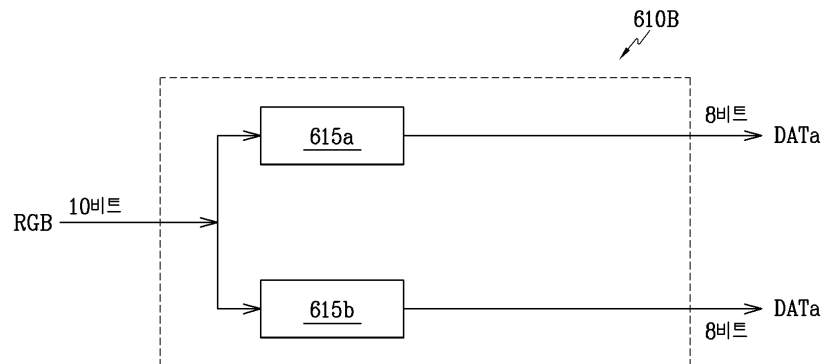
도면8



도면9a



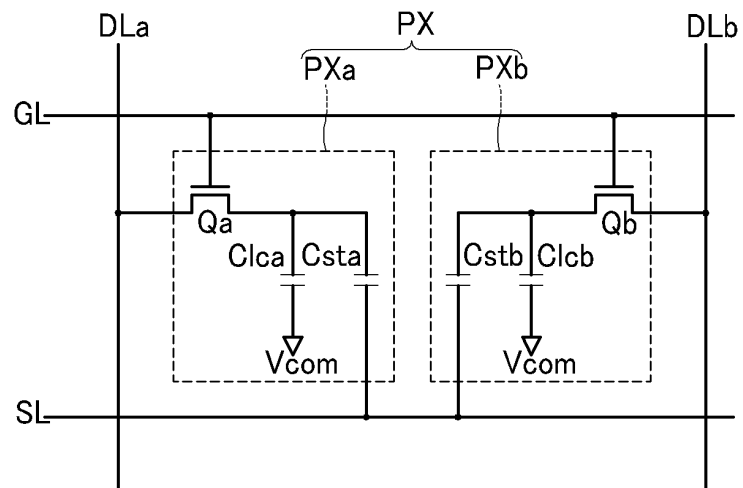
도면9b



도면10

	00	01	10	11
A Gamma	0	1	0	10
B Gamma	0	0	1	0

도면11



专利名称(译)	液晶显示器		
公开(公告)号	KR1020070063169A	公开(公告)日	2007-06-19
申请号	KR1020050123129	申请日	2005-12-14
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM TAE SUNG		
发明人	KIM, TAE SUNG		
IPC分类号	G02F1/133		
CPC分类号	G09G3/3648 G09G3/2074 G09G2320/028 G09G3/3611 G09G3/3607 G09G2320/0276		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器。根据本发明的液晶显示器包括图像信号转换器，其将具有隐含的液晶面板组件的第一预备信号和由相应的第一和第二子像素组成的第一位数多个像素转换为第二输出图像信号。第二位数大于第一位数第二位预备信号它具有第一位数，它转换成第二位数的小于第一位数的第一输出图像信号和相应的数据驱动器像素数据电压对应于第一和第二输出视频信号。抖动，图像信号改变，输出视频信号，比特，分辨率。

