

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0109088
G02F 1/13 (2006.01) (43) 공개일자 2006년10월19일

(21) 출원번호 10-2005-0031360
(22) 출원일자 2005년04월15일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 김동국
경기 의왕시 오전동 100 모락산현대아파트 104동 904호
(74) 대리인 김영호

심사청구 : 없음

(54) 액정표시장치 및 그 제조방법

요약

본 발명은 생산성 및 수율을 향상시킬 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

본 발명은 액정을 사이에 두고 서로 대면되는 제1 및 제2 기판과; 상기 액정의 배향을 위하여 상기 제1 기판 상에 형성된 제1 배향막 및 상기 제2 기판 상에 형성된 제2 배향막과; 상기 제1 배향막과 동일물질로 상기 제1 기판 상에 형성되는 제1 얼라인 마크와; 상기 제2 기판 상에 상기 제1 얼라인 마크와 정렬되는 제2 얼라인 마크를 구비하며, 상기 제1 얼라인 마크는 원형, 사각형 및 십자형 중 어느 하나의 패턴으로 상기 제1 기판 상에 형성한다.

대표도

도 3a

명세서

도면의 간단한 설명

도 1은 종래의 컬러필터 온 박막 트랜지스터 구조의 액정표시장치를 부분적으로 나타내는 단면도.

도 2는 본 발명의 실시 예에 따른 컬러필터 온 박막 트랜지스터 구조의 액정표시장치를 부분적으로 나타내는 단면도.

도 3a 내지 3f는 상판 및 컬러필터를 가지는 박막 트랜지스터 기판에 형성될 얼라인 마크의 여러 가지 예들을 나타내는 도면.

도 4는 도 3a 내지 3f에 도시된 상부 얼라인 마크들의 인식 실험데이터를 나타내는 도면.

도 5는 본 발명이 실시 예에 따른 상부 얼라인 마크를 형성하기 위한 액정표시장치의 제조장치를 나타내는 도면.

< 도면의 주요 부분에 대한 부호의 간단한 설명 >

- 1,101 : 하부기관 2,102 : 상부기관
- 4,104 : 데이터라인 6,106 : 게이트전극
- 8,108 : 소스전극 10,110 : 드레인전극
- 12,112 : 게이트절연막 14,114 : 활성층
- 16,116 : 오믹접촉층 18,118 : 보호막
- 20,120 : 콘택홀 22,122 : 화소전극
- 24, 124 : 공통전극 26, 126 : 하부 얼라인 마크
- 28, 128 : 상부 얼라인 마크 32, 132 : 블랙매트릭스
- 34,134 : 컬러필터 36, 136 : 상부 배향막
- 38, 138 : 하부 배향막 52, 152 : 평탄화층
- 164 : 인쇄롤러 166 : 수지판
- 168 : 공급롤러 170 : 디스펜스
- 176 : 블레이드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로 특히, 생산성 및 수율을 향상시킬 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 데이터라인과 게이트라인의 교차부마다 액정화소셀들이 매트릭스 형태로 배열되어진 액정패널과, 액정패널을 구동하기 위한 구동회로를 구비한다.

일반적으로, 액정패널은 서로 대향하는 박막 트랜지스터 기관과, 컬러필터 기관과, 두 기관 사이에 주입된 액정 및 두 기관 사이의 셀갭을 유지시키는 스페이서를 구비한다.

박막 트랜지스터 기관은 게이트라인 접속되는 게이트전극, 데이터라인과 접속되는 소스전극 및 소스전극과 마주하는 드레인전극을 구비한다. 또한, 게이트라인과 데이터라인의 교차로 정의된 액정화소셀 영역마다 형성된 화소전극, 게이트라인 및 데이터라인과 화소전극 사이에 접속된 박막 트랜지스터, 다수의 절연막, 그들 위에 액정배향을 위하여 도포되는 배향막으로 구성된다.

컬러필터 기관은 액정화소셀 단위로 형성된 컬러필터, 컬러필터들간의 구분 및 외부광 반사를 위한 블랙 매트릭스, 액정에 공통적으로 기준 전압을 공급하는 공통전극과, 그들 위에 액정배향을 위하여 도포되는 배향막으로 구성된다.

이러한 박막 트랜지스터 기관과 컬러필터 기관을 합착하여 액정을 주입 및 봉입하여 액정 패널을 완성하거나, 두 기관 중 어느 하나에 액정을 도포한 다음 합착하여 액정 패널을 완성하게 된다. 이때, 컬러필터 기관의 컬러필터가 박막 트랜지스터 기관의 화소전극과 일대일로 대응되도록 두 기관을 정렬시켜 합착하게 된다.

여기서, 박막 트랜지스터 기관 및 컬러필터 기관에는 합착을 위한 얼라인 마크가 형성된다. 박막 트랜지스터 기관의 얼라인 마크는 게이트전극을 형성하는 공정에서 하부기관 상에 함께 형성하게 되며, 컬러필터 기관의 얼라인 마크는 블랙 매트릭스를 형성하는 공정에서 상부기관 상에 함께 형성된다.

이러한 박막 트랜지스터 기관과 컬러필터 기관의 정렬이 바르지 못한 경우 빛샘 불량이 발생하며, 이를 방지하기 위하여 컬러필터 기관의 블랙 매트릭스 폭을 넓게 형성하는 방안이 있으나 이는 개구율 저하를 초래한다는 문제점이 있다.

따라서, 최근에는 컬러필터를 박막 트랜지스터 기관에 형성하는 컬러필터 온 박막 트랜지스터(Color Filter On Thin Film Transistor; 이하 "COT"라 함) 구조가 제안되었다.

도 1은 종래의 COT 구조의 액정표시장치를 나타내는 단면도이다.

도 1을 참조하면, 종래의 COT 구조의 액정표시장치는 하부기관(1) 상에 박막 트랜지스터와, 박막 트랜지스터 상에 형성된 R, G, B의 화소를 구현하는 컬러필터(34) 및 블랙 매트릭스(32)와, 평탄화층(52)을 사이에 두고 컬러필터(34)와 중첩되는 화소전극(22) 및 액정 배향을 위한 하부 배향막(38)을 구비하는 컬러필터를 가지는 박막 트랜지스터 기관(이하, "하판"이라고 함)과, 상부기관(2) 상에 액정화소셀들에 공통전압을 공급하는 공통전극(24) 및 액정 배향을 위한 상부 배향막(36)을 가지는 상판을 구비한다.

박막 트랜지스터는 게이트라인(미도시)에 접속된 게이트전극(6), 데이터라인(4)에 접속된 소스전극(8), 소스전극(8)과 마주하는 드레인전극(10)을 구비한다. 또한, 박막 트랜지스터는 게이트전극(6)과 게이트 절연막(12)을 사이에 두고 중첩되어 소스전극(8)과 드레인전극(10) 사이에 채널을 형성하는 활성층(14), 그 활성층(14)과 소스 및 드레인 전극(8,10)과의 콘택 저항을 줄이기 위한 오믹접촉층(16)을 구비한다.

보호막(18)은 박막 트랜지스터와 데이터라인(4)을 덮도록 게이트 절연막(12) 위에 형성된다.

컬러필터(34)는 화소 영역별로 구분되어 보호막(18) 위에 형성된다.

블랙 매트릭스(32)는 컬러필터(34)가 형성된 보호막(18) 상에 게이트라인 및 데이터라인(4)을 따라 서로 인접한 컬러필터(34)에 걸치도록 형성됨과 아울러 박막 트랜지스터와 중첩되게 형성된다. 이러한 블랙 매트릭스(32)는 컬러필터들(34) 사이를 빛샘, 외부광 반사, 그리고 박막 트랜지스터(30)의 채널부가 외부광에 노출됨으로 인한 광 누설 전류 등을 방지하게 된다.

컬러필터(34) 및 블랙 매트릭스(32) 위에는 유기 절연물로 이루어진 평탄화층(52)이 형성된다. 평탄화층(52)은 컬러필터(34)와 블랙 매트릭스(32)의 단차를 보상하여 평탄한 표면을 제공함과 아울러 그 컬러필터(34) 및 블랙 매트릭스(32)로부터의 불순물이 액정으로 유입되는 것을 방지한다.

화소전극(22)은 평탄화층(52) 위에서 컬러필터(34)와 중첩되도록 각 화소 영역에 독립적으로 형성된다. 그리고, 화소전극(22)은 평탄화층(52), 컬러필터(34) 및 보호막(18)을 관통하는 콘택홀(20)을 통해 노출된 드레인전극(10)과 접속된다.

액정배향을 위한 상부 및 하부 배향막(36, 38)은 폴리이미드 등의 배향물질을 도포한 후 러빙공정을 수행함으로써 형성된다.

액정표시장치는 이러한 하판과 상판을 합착하여 액정을 주입 및 봉입하여 액정패널을 완성하거나, 두 기관 중 어느 하나에 액정을 형성한 다음 합착하여 액정패널을 완성하게 된다.

하판과 상판은 그 외각부에 실링제를 도포한 후 UV 광선을 조사를 통하여 실링제를 경화시킴으로써 합착된다.

여기서, 액정표시장치는 하판과 상판의 합착을 위하여 하부기판(1) 상에는 하부 얼라인 마크(26)를 구비하며, 상부기판(2) 상에는 상부 얼라인 마크(28)를 구비한다. 하부 얼라인 마크(26)와 상부 얼라인 마크(28)는 합착공정 후 스크라이빙 공정에서 제거되게 된다.

여기서, 합착을 위한 하부 얼라인 마크(26)는 게이트전극(6) 또는 블랙 매트릭스(32)를 형성하는 공정에서 하부기판(1) 상에 게이트전극(6) 또는 블랙 매트릭스(32)와 함께 형성되나, 상부 얼라인 마크(28)는 블랙 매트릭스(32)를 형성하는 금속과 동일물질로 포토리소그래피 공정을 통하여 상부기판(2) 상에 형성된다. 이에 따라, 액정표시장치의 제조시 상부기판(2) 상에 상부 얼라인 마크(28)를 형성하기 위하여 포토리소그래피 공정이 증가하게 되며, 포토리소그래피 공정 수의 증가로 인하여 액정표시장치의 생산성이 저하되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 생산성 및 수율을 향상시킬 수 있는 액정표시장치 및 그 제조방법을 제공함에 있다

발명의 구성 및 작용

상기의 목적을 달성하기 위하여 본 발명의 실시 예에 따른 액정표시장치는 액정을 사이에 두고 서로 대면되는 제1 및 제2 기판과; 상기 액정의 배향을 위하여 상기 제1 기판 상에 형성된 제1 배향막 및 상기 제2 기판 상에 형성된 제2 배향막과; 상기 제1 배향막과 동일물질로 상기 제1 기판 상에 형성되는 제1 얼라인 마크와; 상기 제2 기판 상에 상기 제1 얼라인 마크와 정렬되는 제2 얼라인 마크를 구비하며, 상기 제1 얼라인 마크는 원형, 사각형 및 십자형 중 어느 하나의 패턴으로 상기 제1 기판 상에 형성한다.

상기 제1 얼라인 마크는 $600\mu\text{m} \sim 1200\mu\text{m}$ 의 직경을 가진다.

상기 액정표시장치는 상기 제2 기판 상에 형성된 박막 트랜지스터, 상기 박막 트랜지스터와 접속된 화소전극, 상기 화소전극과 중첩되는 R, G, B 컬러필터 및 상기 R, G, B 칼라필터를 구획하는 블랙 매트릭스를 더 구비한다.

상기 액정표시장치는 상기 제2 기판 상에 형성됨과 아울러 상기 화소전극과 수평전계를 이루는 공통전극을 더 구비한다.

상기 제1 기판 상에 형성됨과 아울러 상기 화소전극과 수직전계를 이루는 공통전극을 더 구비한다.

본 발명의 실시 예에 따른 액정표시장치의 제조방법은 제1 기판 상에 액정 배향을 위한 제1 배향막 및 상기 제1 배향막과 동일물질로 제1 얼라인 마크를 형성하는 단계와; 상기 제1 기판과 대면되는 제2 기판 상에 액정 배향을 위한 제2 배향막 및 상기 제1 얼라인 마크와 정렬되는 제2 얼라인 마크를 형성하는 단계와; 상기 액정을 사이에 두고 대면되는 상기 제1 기판과 상기 제2 기판을 합착하는 단계를 포함하며, 상기 제1 얼라인 마크는 원형, 사각형 및 십자형 중 어느 하나의 패턴으로 상기 제1 기판 상에 형성한다.

이하, 도 2 내지 도 6을 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

도 2는 본 발명의 실시 예에 따른 COT 구조의 액정표시장치를 부분적으로 나타내는 단면도이다.

도 2를 참조하면, 본 발명의 실시 예에 따른 COT 구조의 액정표시장치는 하부기판(101) 상에 박막 트랜지스터와, 박막 트랜지스터 상에 형성된 R, G, B의 화소를 구현하는 컬러필터(134) 및 블랙 매트릭스(132)와, 평탄화층(152)을 사이에 두고 컬러필터(134)와 중첩되는 화소전극(122) 및 액정 배향을 위한 하부 배향막(138)을 구비하는 컬러필터를 가지는 박막 트랜지스터 기판(이하, "하판" 이라고 함)과, 상부기판(102) 상에 액정화소셀들에 공통전압을 공급하는 공통전극(124) 및 액정 배향을 위한 상부 배향막(136)을 가지는 상판을 구비한다.

박막 트랜지스터는 게이트라인(미도시)에 접속된 게이트전극(106), 데이터라인(104)에 접속된 소스전극(108), 소스전극(108)과 마주하는 드레인전극(110)을 구비한다. 또한, 박막 트랜지스터는 게이트전극(106)과 게이트 절연막(112)을 사이에 두고 중첩되어 소스전극(108)과 드레인전극(110) 사이에 채널을 형성하는 활성층(114), 그 활성층(114)과 소스 및 드레인 전극(108,110)과의 콘택 저항을 줄이기 위한 오믹접촉층(116)을 구비한다.

보호막(118)은 박막 트랜지스터와 데이터라인(104)을 덮도록 게이트 절연막(112) 위에 형성된다.

컬러필터(134)는 화소 영역별로 구분되어 보호막(118) 위에 형성된다. 이 경우, 컬러필터(134)는 게이트라인 및 데이터라인(104)과 중첩되지 않도록 이격되거나 부분적으로 중첩되게 형성된다.

블랙 매트릭스(132)는 컬러필터(134)가 형성된 보호막(118) 상에 게이트라인 및 데이터라인(104)을 따라 서로 인접한 컬러필터(134)에 걸치도록 형성됨과 아울러 박막 트랜지스터와 중첩되게 형성된다. 이러한 블랙 매트릭스(132)는 컬러필터들(134) 사이를 빗샘, 외부광 반사, 그리고 박막 트랜지스터(130)의 채널부가 외부광에 노출됨으로 인한 광 누설 전류 등을 방지하게 된다.

컬러필터(134) 및 블랙 매트릭스(132) 위에는 유기 절연물로 이루어진 평탄화층(152)이 형성된다. 평탄화층(152)은 컬러필터(134)와 블랙 매트릭스(132)의 단차를 보상하여 평탄한 표면을 제공함과 아울러 그 컬러필터(134) 및 블랙 매트릭스(132)로부터의 불순물이 액정으로 유입되는 것을 방지한다.

화소전극(122)은 평탄화층(152) 위에서 컬러필터(134)와 중첩되도록 각 화소 영역에 독립적으로 형성된다. 그리고, 화소전극(122)은 평탄화층(152), 컬러필터(134) 및 보호막(118)을 관통하는 콘택홀(120)을 통해 노출된 드레인전극(110)과 접촉된다.

액정배향을 위한 상부 및 하부 배향막(136, 138)은 폴리이미드 등의 배향물질을 도포한 후 러빙공정을 수행함으로써 형성된다.

여기서, 액정표시장치는 하판과 상판의 합착을 위하여 하부기판(101) 상에는 게이트전극(106) 또는 블랙 매트릭스(132)와 동일공정으로 형성되는 하부 얼라인 마크(126)를 구비하며, 상부기판(102) 상에는 상부 배향막(136)과 동일공정으로 형성되는 상부 얼라인 마크(128)를 구비한다. 이러한 하부 얼라인 마크(126)와 상부 얼라인 마크(128)는 합착공정 후 스크라이빙 공정에서 제거되게 된다.

이 때, 상부 배향막(136)과 동일공정으로 형성되는 합착을 위한 상부 얼라인 마크(128)는 얼라인의 정확성을 향상시키기 위하여 특정한 패턴을 가지도록 형성된다.

도 3a 내지 3f는 상판 및 하판에 형성될 얼라인 마크의 여러 가지 예들을 나타내는 도면이다.

도 3a 내지 3f를 참조하면, 상부 및 하부 얼라인 마크(128, 126)는 상판 및 하판의 얼라인을 위하여 여러 가지 형태로 형성될 수 있다. 도 3a 내지 3f는 상부기판(102) 상에 형성된 상부 얼라인 마크(128)와 상부 얼라인 마크(128)에 대응되는 패턴으로 하부기판(101) 상에 형성된 하부 얼라인(126)을 나타낸다.

3a 내지 3c의 상부 얼라인 마크(128)는 각각 십자형, 원형 및 사각형의 형상으로 각각 상부기판(102) 상에 형성되며, 3d 내지 3e의 상부 얼라인 마크(128)는 각각 그 중심부분에 개구부를 가지는 원형 및 사각형의 형상으로 상부기판(102) 상에 형성된다. 또한, 도 3f의 상부 얼라인 마크(128)는 이격된 두 개의 긴 사각형 형상으로 상부기판(102) 상에 형성된다.

도 4는 도 3a 내지 도 3f에 도시된 여러 가지 상부 얼라인 마크들을 이용한 얼라인 마크 인식 실험데이터를 나타내는 도면이다.

상부 얼라인 마크(128)의 인식 실험은 각각 직경이 $600\mu\text{m}$ ~ $1200\mu\text{m}$ 인 소패턴 및 직경이 $1200\mu\text{m}$ ~ $3000\mu\text{m}$ 대패턴을 형성하여 소패턴 및 대패턴에 대하여 각각 1차 및 2차에 걸쳐 얼라인 마크 인식 실험이 실시하였다. 여기서, 도 4에 기재된 패턴 a 내지 패턴 f는 도 3a 내지 도 3f에 도시된 상부 얼라인 마크(128) 패턴과 각각 대응된다.

도 4를 참조하면, 소패턴의 얼라인 마크 인식 실험 결과는 패턴 a 내지 패턴 c가 패턴 d 내지 패턴 f와 비교하여 인식율이 높은 것으로 나타났다.

이는 인식 실험 데이터의 패턴 a 내지 패턴 c의 Z bench 값이 패턴 d 내지 패턴 f와 비교하여 상대적으로 높은 값을 가짐을 통하여 알 수 있다.

여기서, Z bench 값은 범 세계적으로 통용되고 있는 6 sigma에 사용되는 하나의 지표로 불량률 생산하지 않는 공정의 안정성을 나타내며, Z bench 값이 높을수록 불량률이 작음을 의미한다.

즉, 패턴 a 내지 패턴 c의 경우 Z bench 값이 1차 및 2차 실험에 걸쳐 2 이상의 값으로 나머지 패턴 d 내지 패턴 f와 비교하여 높은 값이 나타남으로 인하여 인식율이 좋은 것을 알 수 있다. 특히, 패턴 b 및 패턴 c는 1차 및 2차에 걸친 실험에서 Z bench 값이 3이상으로 높은 Z bench 값을 나타냄에 따라 인식률이 매우 높은 것을 알 수 있다.

그러나, 대패턴의 얼라인 마크 인식 실험 결과는 패턴 a를 제외한 모든 패턴의 Z bench 값이 2이하의 값으로 나타나는 등 소패턴의 얼라인 마크 인식 실험 결과와는 달리 나타났다.

이와 같이 소패턴 및 대패턴을 포함하는 패턴들의 얼라인 마크 인식 실험 결과를 토대로 볼 때, 상부 배향막(136)과 동일공정으로 형성하는 상부 얼라인 마크(128)는 직경이 1200 μ m를 넘는 대패턴으로 얼라인 마크를 형성하는 것보다 1200 μ m이하의 소패턴으로 얼라인 마크를 형성하는 것이 바람직한 것을 알 수 있다.

전술한 바와 같이, 상부 얼라인 마크(128)를 도 3a 내지 도 3c에 도시된 바와 같은 형상 및 600 μ m 이상 1200 μ m 이하의 직경을 가지도록 형성하여 하판 및 상판을 정합 할 경우 그 인식은 향상된다.

도 5는 본 발명이 실시 예에 따른 얼라인 마크를 형성하기 위한 액정표시장치의 제조장치를 나타내는 도면이다.

도 5를 참조하면, 상부 배향막(136) 및 상부 얼라인 마크(128)를 형성하기 위한 액정표시장치의 제조장치는 상부 배향막(136) 및 상부 얼라인 마크(128)의 재료인 폴리이미드가 도포되는 공급롤러(168)와, 공급롤러(168)의 표면에 도포되는 폴리이미드를 담기 위한 수지판(166)이 부착된 인쇄롤러(164)와, 인쇄롤러(164)의 아래쪽으로 로딩되는 박막 트랜지스터와 컬러필터를 포함하는 다수의 박막들이 형성된 상부기판(102)을 구비한다.

공급롤러(168)에는 상측에 설치된 디스펜스(170)로부터 폴리이미드가 떨어지게 된다. 이러한 공급롤러(168)의 표면에는 블레이드(Blade : 176)가 설치되어 폴리이미드는 수지판(166) 상에 균일하게 도포된다. 인쇄롤러(164)는 회전력에 의해 회전하면서 부착된 수지판(166)의 상부 배향막 패턴(136a) 및 상부 얼라인 마크 패턴(128a)에 공급롤러(168)에 도포된 폴리이미드를 전사하여 상부기판(102) 상에 인쇄함으로써 상부기판(102) 상에 상부 배향막(136) 및 상부 얼라인 마크(128)가 형성된다.

이와 같이 상부 배향막(136)을 형성과 동일공정으로 상부 얼라인 마크(128)를 형성하게 되면 종래 블랙 매트릭스(132)와 동일물질을 사용하여 상부기판(102) 상에 상부 얼라인 마크(128)를 형성하기 위하여 행하던 포토리소그래피 공정의 수를 줄일 수 있다. 이에 따라 액정표시장치를 생산하기 위한 비용을 절감할 수 있어 생산성을 향상시킬 수 있다.

뿐만 아니라, 상부 배향막(136)과 동일공정으로 형성되는 상부 얼라인 마크(128)를 십자형, 원형 및 사각형의 형상으로 형성함으로써 정합 시 그 인식이 향상되며, 이에 따라 액정표시장치의 수율을 향상시킬 수 있다.

상술한 COT 구조의 액정표시장치는 공통전극이 상부기판 상에 형성되는 경우 만을 설명하였으나, 상부기판 상에 형성하는 상부 얼라인 마크의 형성에 대한 설명은 공통전극이 하부기판 상에 형성되는 COT 구조의 액정표시장치에도 적용된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그 제조방법은 상부 및 하부 배향막과 동일공정으로 상부 및 하부 얼라인 마크를 형성하게 되면 종래 블랙 매트릭스와 동일물질을 사용하여 상부기판 상에 상부 얼라인 마크를 형성하기 위하여 행하던 포토리소그래피 공정의 수를 줄일 수 있다. 이에 따라, 액정표시장치를 생산하기 위한 비용을 절감할 수 있어 생산성을 향상시킬 수 있다.

뿐만 아니라, 상부 배향막과 동일공정으로 형성되는 상부 얼라인 마크를 십자형, 원형 및 사각형의 형상 및 600 μ m 이상 1200 μ m 이하의 직경을 가지도록 형성함으로써 정합 시 그 인식이 향상되며, 이에 따라 액정표시장치의 수율을 향상시킬 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

액정을 사이에 두고 서로 대면되는 제1 및 제2 기관과;

상기 액정의 배향을 위하여 상기 제1 기관 상에 형성된 제1 배향막 및 상기 제2 기관 상에 형성된 제2 배향막과;

상기 제1 배향막과 동일물질로 상기 제1 기관 상에 형성되는 제1 얼라인 마크와;

상기 제2 기관 상에 상기 제1 얼라인 마크와 정렬되는 제2 얼라인 마크를 구비하며,

상기 제1 얼라인 마크는 원형, 사각형 및 십자형 중 어느 하나의 패턴으로 상기 제1 기관 상에 형성하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 제1 얼라인 마크는 600 μm ~ 1200 μm 의 직경을 가지는 것을 특징으로 하는 액정표시장치.

청구항 3.

제 1 항에 있어서,

상기 제2 기관 상에 형성된 박막 트랜지스터, 상기 박막 트랜지스터와 접속된 화소전극, 상기 화소전극과 중첩되는 R, G, B 컬러필터 및 상기 R, G, B 컬러필터를 구획하는 블랙 매트릭스를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 3 항에 있어서,

상기 제2 기관 상에 형성됨과 아울러 상기 화소전극과 수평전계를 이루는 공통전극을 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5.

제 3 항에 있어서,

상기 제1 기관 상에 형성됨과 아울러 상기 화소전극과 수직전계를 이루는 공통전극을 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6.

제 1 기관 상에 액정 배향을 위한 제1 배향막 및 상기 제1 배향막과 동일물질로 제1 얼라인 마크를 형성하는 단계와;

상기 제1 기관과 대면되는 제2 기관 상에 액정 배향을 위한 제2 배향막 및 상기 제1 얼라인 마크와 정렬되는 제2 얼라인 마크를 형성하는 단계와;

상기 액정을 사이에 두고 대면되는 상기 제1 기판과 상기 제2 기판을 합착하는 단계를 포함하며,

상기 제1 얼라인 마크는 원형, 사각형 및 십자형 중 어느 하나의 패턴으로 상기 제1 기판 상에 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 7.

제 6 항에 있어서,

상기 제1 얼라인 마크는 600 μm ~ 1200 μm 의 직경으로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8.

제 6 항에 있어서,

상기 제2 기판 상에 형성된 박막 트랜지스터를 형성하는 단계와;

화소전극과 중첩되는 R, G, B 컬러필터를 형성하는 단계와;

상기 R, G, B 컬러필터를 구획하는 블랙 매트릭스를 형성하는 단계와;

상기 박막 트랜지스터와 접속되는 상기 화소전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9.

제 8 항에 있어서,

상기 제1 기판 상에 형성됨과 아울러 상기 화소전극과 수평전계를 이루는 공통전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

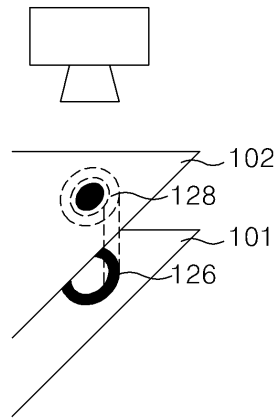
청구항 10.

제 8 항에 있어서,

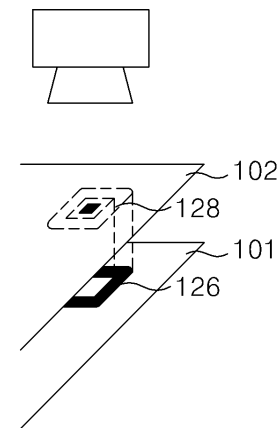
상기 제2 기판 상에 형성됨과 아울러 상기 화소전극과 수직전계를 이루는 공통전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

도면

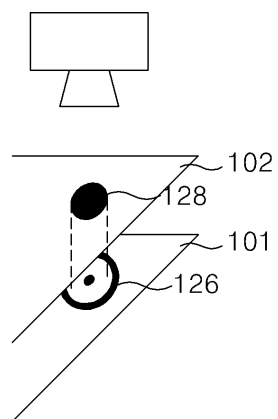
도면3b



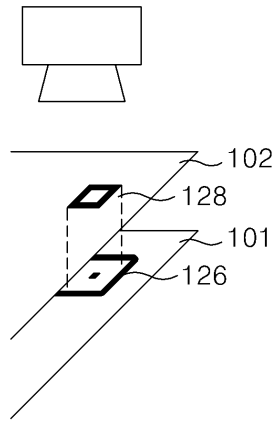
도면3c



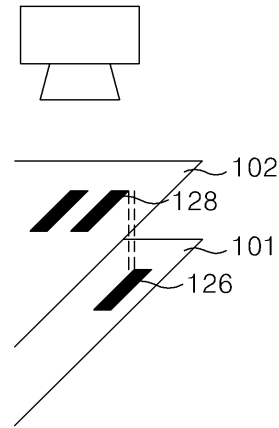
도면3d



도면3e



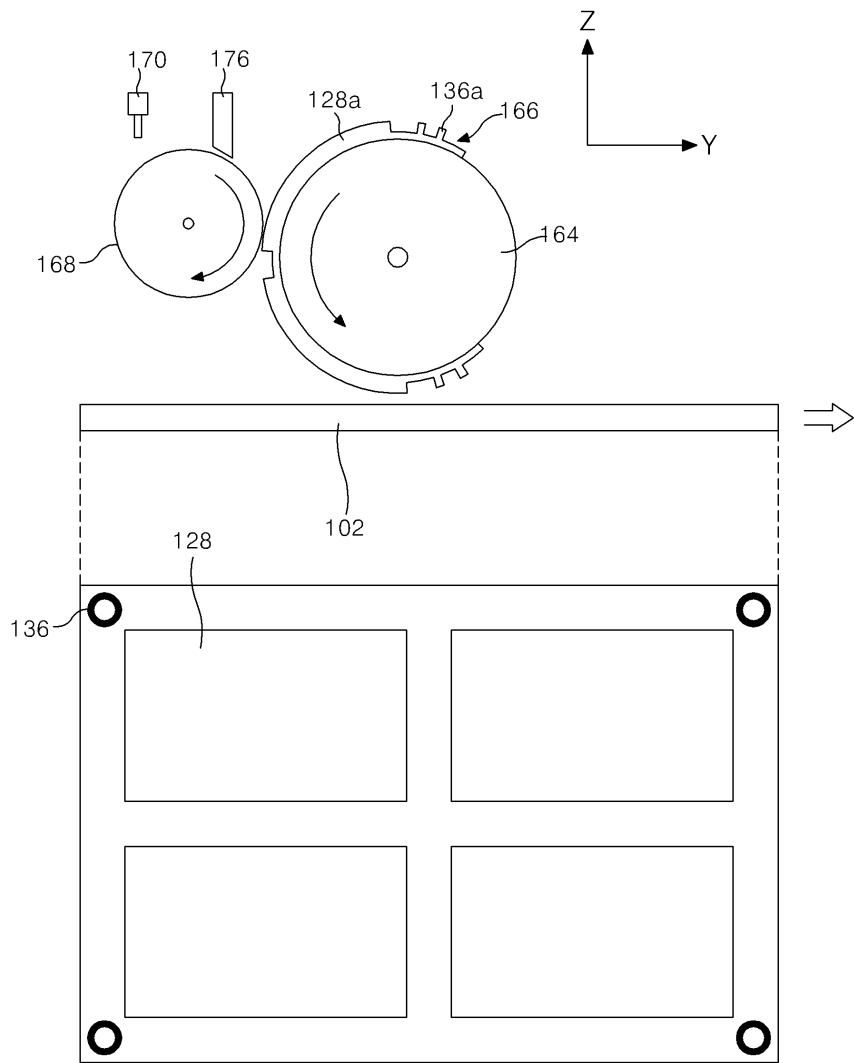
도면3f



도면4

	패턴	Mean		StDev		Min		Z Bench	
		1차	2차	1차	2차	1차	2차	1차	2차
小 패턴군 직경 600 μm ~1200 μm	a	71.05	73.84	4.09	5.25	64	64	2.70	2.64
	b	72.53	75.00	3.93	4.42	63	68	3.19	3.39
	c	70.05	71.89	2.61	3.53	65	65	3.86	3.37
	d	66.53	63.48	6.07	2.42	51	58	1.08	1.53
	e	64.58	63.21	7.91	2.70	47	57	0.58	1.19
	f	62.74	69.42	5.81	8.43	54	53	0.47	1.12
大 패턴군 직경 1200 μm ~3000 μm	a	73.74	71.95	3.29	4.20	70	67	4.73	2.84
	b	65.42	66.95	8.52	4.27	50	61	0.64	1.63
	c	59.79	58.00	8.47	4.22	40	53	-0.02	-0.47
	d	69.32	63.63	5.47	4.22	57	58	1.70	0.86
	e	65.00	65.16	7.09	2.06	50	63	0.71	2.50
	f	71.95	61.42	6.94	2.32	61	56	2.00	0.61

도면5



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020060109088A	公开(公告)日	2006-10-19
申请号	KR1020050031360	申请日	2005-04-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM DONG GUK		
发明人	KIM, DONG GUK		
IPC分类号	G02F1/13		
CPC分类号	G02F1/1337 G02F1/1333 G02F2001/133354		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR100928494B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置及其制造方法技术领域本发明涉及能够提高生产率和产量的液晶显示装置及其制造方法。液晶显示装置包括彼此面对的第一和第二基板，其间具有液晶；形成在第一基板上的第一取向层和形成在第二基板上的第二取向层，以使液晶取向；形成在第一基板上的第一对准标记具有与第一取向膜相同的材料；并且第二基板上的第二对准标记与第一对准标记对准，其中第一对准标记以圆形，正方形和十字形图案形成在第一基板上。度3A

