

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0028979  
G02F 1/1343 (2006.01) (43) 공개일자 2006년04월04일

(21) 출원번호 10-2004-0077920  
(22) 출원일자 2004년09월30일

(71) 출원인 엘지.필립스 엘시디 주식회사  
서울 영등포구 여의도동 20번지  
(72) 발명자 황한욱  
서울 영등포구 양평동 6가 86번지 덕양연립 5동 105호  
이영학  
대전 동구 용운동 삼정하이츠 1동 215호  
(74) 대리인 특허법인네이트

심사청구 : 없음

(54) 횡전계형 액정표시장치

요약

게이트 배선과 상기 게이트 배선과 교차하여 화소영역을 정의하는 데이터 배선과, 상기 게이트 배선과 나란히 배치되는 공통배선과, 상기 게이트 배선과 데이터 배선의 교차지점에 박막트랜지스터를 구비하고, 상기 공통배선에서 분기하는 다수의 공통전극과 상기 박막트랜지스터와 연결된 다수의 화소전극을 구비한 횡전계형 액정표시장치에 있어서, 상기 데이터 배선으로부터 근접한 것으로부터 제 1 내지 제 3 폭을 가지며, 서로 동일한 이격 간격을 갖고 구성된 제 1 내지 제 3 공통전극과; 상기 제 1 및 제 2 공통전극 사이에 구비되는 제 4 폭을 갖는 제 1 화소전극과, 상기 제 2, 3 공통전극 사이에 구비되는 제 5 폭을 갖는 제 2 화소전극과; 제 1, 4 블록이라 각각 정의되는 상기 제 1 공통전극과 제 1 화소전극 사이의 영역과 제 2 화소전극과 제 3 공통전극 사이 영역의 제 1 너비가 제 2, 3 블록이라 정의되는 상기 제 1 화소전극과 제 2 공통전극 사이 영역과, 제 2 화소전극과 제 3 공통전극 사이 영역의 제 2 너비보다 넓게 구성되는 것을 특징으로 하는 횡전계형 액정표시장치를 제공한다.

대표도

도 5

색인어

횡전계, 투과율, 휘도불균일, 개구율, 4블록구조

명세서

도면의 간단한 설명

도 1은 일반적인 횡전계형 액정 표시 장치의 일부분의 단면을 도시한 단면도

도 2a, 2b는 일반적인 횡전계형 액정표시장치의 오프(off), 온(on)상태의 동작을 도시한 단면도.

도 3은 종래의 횡전계형 액정표시장치의 화소부 일부를 도시한 평면도.

도 4는 동일한 폭을 갖는 블록으로 구성된 종래의 횡전계형 액정표시장치의 하나의 화소영역에 대한 투과율을 시뮬레이션한 그래프.

도 5는 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치용 어레이 기관의 하나의 화소영역에 대한 평면도.

도 6은 도 5를 절단선 I-I를 따라 절단한 단면도.

도 7은 도 5를 절단선 II-II를 따라 절단한 단면도.

도 8은 본 발명에 따른 횡전계형 액정표시장치의 하나의 화소영역에 대한 투과율을 시뮬레이션한 그래프

도 9a와 도 9b는 본 발명의 제 2 실시예에 따른 횡전계형 액정표시장치용 어레이 기관의 하나의 화소영역에 대한 평면도.

<도면의 주요부분에 대한 부호의 설명>

140 : 어레이 기관 143 : 게이트 배선

145 : 게이트 전극 147 : 공통배선

149a, 149b, 149c : 제 1 내지 제 3 공통전극

150 : 반도체층 153 : 소스 전극

155 : 드레인 전극 167 : 화소전극 보조배선

170a, 170b : 제 1, 2 화소전극

B1, B2, B3, B4 : 제 1 내지 제 4 블록

c1, c2, c3 : 제 1 내지 제 3 공통배선의 폭

p1, p2 : 제 1, 2 화소전극의 폭

w1, w2, w3, w4 : 제 1 내지 제 4 블록 각각의 너비

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치(Liquid Crystal Display)에 관한 것으로, 좀더 상세하게는 시야각을 향상 및 휘도 향상시키는 구조의 횡전계형 액정표시장치에 관한 것이다.

최근 정보화 사회로 시대가 급진전함에 따라, 대량의 정보를 처리하고 이를 표시하는 디스플레이(display)분야가 발전하고 있다.

특히 최근 들어 박형화, 경량화, 저 소비전력화 등의 시대상에 부응하기 위해 평판 표시 장치(plate panel display)의 필요성이 대두되었고, 이에 따라 색 재현성이 우수하고 박형인 박막 트랜지스터형 액정표시장치(Thin film transistor liquid crystal display)가 개발되었다.

이러한 액정표시장치의 디스플레이 방법은 액정분자의 광학적 이방성과 분극성질을 이용하는데, 이는 상기 액정분자의 구조가 가늘고 길며, 그 배열에 있어서 방향성을 갖는 선 경사각(pretilt angle)을 갖고 있기 때문에, 인위적으로 액정에 전압을 인가하면 액정분자가 갖는 선 경사각을 변화시켜 상기 액정 분자의 배열 방향을 제어할 수 있으므로, 적절한 전압을 액정층에 인가함으로써 상기 액정분자의 배열 방향을 임의로 조절하여 액정의 분자배열을 변화시키고, 이러한 액정이 가지고 있는 광학적 이방성에 의하여 편광된 빛을 임의로 변조함으로써 원하는 화상정보를 표현한다.

현재에는 박막 트랜지스터와 상기 박막 트랜지스터에 연결된 화소전극이 행렬 방식으로 배열된 능동형 액정표시장치(Active Matrix LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

일반적인 액정표시장치를 이루는 기본적인 소자인 액정 패널은 상부의 컬러필터기판과 하부의 어레이 기판이 서로 대향하여 소정의 간격을 두고 이격되어 있고, 이러한 두 개의 기판 사이에 액정분자를 포함하는 액정이 충전되어 있는 구조이다.

이때, 이러한 액정에 전압을 인가하는 전극은 컬러필터 기판에 위치하는 공통전극과 어레이 기판에 위치하는 화소전극이 되고, 이러한 두개의 전극에 전압이 인가되면, 인가되는 전압의 차이에 의하여 형성되는 상하의 수직적 전기장이 그 사이에 위치하는 액정 분자의 방향을 제어하는 방식을 사용한다.

그러나, 상술한 바와 같이 공통전극과 화소전극이 수직적으로 형성되고, 여기에 발생하는 상하의 수직적 전기장에 의해 액정을 구동하는 방식을 사용할 경우 투과율과 개구율 등의 특성이 우수한 장점은 있으나, 시야각 특성이 우수하지 못한 단점을 가지고 있기 때문에, 이러한 단점을 극복하기 위해 수평적 전기장을 이용하는 횡전계(IPS; In-Plane Switching)에 의한 액정 구동방법이 제안되었다.

이하 상술한 횡전계형 액정표시장치를 도 1을 참조하여 상세히 설명한다.

일반적인 횡전계형 액정표시장치의 액정패널은 컬러필터를 가지고 있는 컬러필터 기판(9)과 박막 트랜지스터 어레이 기판(10)이 서로 대향하고 있으며, 이러한 컬러필터 기판(9)과 박막 트랜지스터 어레이 기판(10) 사이에는 액정층(11)이 충전되어 있다.

이때, 박막 트랜지스터 어레이 기판(10) 상에는 공통전극(17)과 화소전극(30)이 동일 평면상에 수평적으로 형성되어 있고, 여기에 인가되는 전압에 따라 수평적 전기장(L)을 형성하게 되고, 이때 이러한 수평적 전기장(L) 사이에 있는 액정 분자들은 이에 영향을 받아 구동하게 된다.

도 2a와 2b는 일반적인 횡전계형 액정표시장치의 온(on), 오프(off) 상태의 동작을 각각 도시한 단면도이다.

우선, 전압이 인가된 온(on)상태에서의 액정의 배열상태를 도시한 도 2a를 참조하면, 상기 공통전극(17) 및 화소전극(30)과 대응하는 위치의 액정(11a)의 상변이는 없지만 공통전극(17)과 화소전극(30)사이 구간에 위치한 액정(11b)은 이 공통전극(17)과 화소전극(30)사이에서 전압이 인가됨으로써 형성되는 수평전계(L)에 의하여, 상기 수평전계(L)와 같은 방향으로 배열하게 된다. 즉, 상기 횡전계형 액정표시장치는 액정이 수평전계에 의해 이동하므로, 시야각이 넓어지는 특성을 띠게 된다.

그러므로, 상기 횡전계형 액정표시장치를 정면에서 보았을 때, 상/하/좌/우방향으로 약 80~85°방향에서도 반전현상 없이 가시할 수 있다.

다음, 도 2b를 참조하면, 상기 액정표시장치에 전압이 인가되지 않은 오프상태이므로 상기 공통전극과 화소전극 간에 수평전계가 형성되지 않으므로 액정층(11)의 배열 상태가 변하지 않는다.

이러한 횡전계형 액정표시장치는 전술한 바와 같이, 액정이 수평적 자기장에 의해 구동하므로 횡전계형 액정표시장치를 통하여 표시된 화면을 사용자가 정면에서 보았을 때, 상하좌우 방향으로 각각 약 80~85°방향까지 가시할 수 있는 시야각 특성을 가지고 있다.

이러한 횡전계형 액정표시장치용 어레이 기판에 대하여 도 3을 참조하여 설명한다.

도 3은 종래의 횡전계형 액정표시장치의 박막 트랜지스터 어레이 기판의 화소영역 일부를 도시한 평면도이다.

도시한 바와 같이, 종래의 일반적인 횡전계형 액정표시장치용 어레이 기판(40)은 소정간격 이격되어 평행하게 가로방향 방향으로 구성된 다수의 게이트 배선(43)과, 상기 게이트 배선(43)에 근접하여 상기 게이트 배선(43)과 평행하게 구성된 공통배선(47)과, 상기 두 배선(43, 47)과 교차하며 특히 게이트 배선(12)과는 화소영역(P)을 정의하는 데이터 배선(60)이 구성되어 있다.

상기 게이트 배선(43)과 데이터 배선(60)의 교차지점에는 게이트 전극(45)과 반도체층(50)과 소스 드레인 전극(53, 55)으로 구성되는 박막 트랜지스터(Tr)가 형성되어 있다. 이때, 상기 소스 전극(53)은 상기 데이터 배선(43)에서 분기하고 있으며, 상기 게이트 전극(45)은 상기 게이트 배선(43)에서 분기하여 형성되고 있다.

또한, 상기 화소영역(P) 내에는 상기 드레인 전극(55)과 연결되는 화소전극(70)과, 상기 화소전극(70)과 평행하게 서로 엇갈리며 구성되고, 상기 공통배선(47)으로부터 분기한 공통전극(49)이 형성되어 있다.

전술한 종래의 횡전계형 액정표시장치의 하나의 화소영역(P)에는 상기 화소영역(P)의 경계를 이루는 데이터 배선(60) 양 내측으로 제 1 및 제 3 공통전극(49a, 49c)이 형성되어 있으며, 상기 제 1 및 제 3 공통전극(49a, 49c) 사이의 상기 화소영역(P) 중앙에 제 2 공통전극(49b)이 형성되어 있으며, 상기 제 1 내지 제 3 공통전극(49a, 49b, 49c) 상부로 형성된 게이트 절연막(미도시) 위로 상기 제 1 내지 제 3 공통전극(49a, 49b, 49c) 사이의 영역에 스위칭 소자인 박막트랜지스터(Tr)의 드레인 전극(55)과 연결된 제 1, 2 화소전극(70a, 70b)이 형성되어 있다. 이때 상기 제 1, 2 화소전극(70a, 70b)의 폭(p1, p2)은 일정하게 형성되고 있으며, 상기 각 화소전극(70a, 70b)과 상기 각 화소전극(70a, 70b)의 좌우측에 위치한 각 공통전극(49a, 49b, 49c)과의 간격(w1 내지 w4)이 동일하게 형성되고 있다. 여기서 설명의 편의 상 블록이라는 개념을 정의한다. 하나의 화소영역(P)내에서 하나의 공통전극과 이웃한 하나의 화소전극 사이의 영역을 블록이라 정의하면, 하나의 화소영역(P)이 3개의 공통전극(49a, 49b, 49c)과 상기 3개의 공통전극(49a, 49b, 49c) 사이에 형성된 2개의 화소전극(70a, 70b)에 의해 제 1 내지 제 4 의 총 4개의 블록(B1 내지 B4)을 형성하게 됨을 알 수 있으며, 이때, 상기 각 블록의 폭(w1 내지 w4)이 일정하게 형성되고 있음을 알 수 있다.

전술한 구조를 갖는 종래의 횡전계형 액정표시장치는 우수한 광시야각의 특성을 갖는 반면, 상기 화소영역 내에 구비된 다수의 화소전극과 공통전극으로 인해 상기 화소영역을 가리게 되므로 결과적으로 개구율 감소와 이에 따른 휘도 저하의 문제가 발생하고 있다.

도 4는 동일한 폭을 갖는 블록으로 구성된 종래의 횡전계형 액정표시장치의 하나의 화소영역에 대한 투과율을 시뮬레이션한 도면이다.

도시한 바와 같이 각 화소영역 내에서 각 블록을 동일한 폭을 갖도록 구성하게 되면 화소영역의 경계를 이루는 화소영역 최외각의 데이터 배선에서 가까운 제 1 블록(B1)과 제 4 블록(B4)에서의 투과율 곡선의 피크 폭이 제 2 및 제 3 블록(B2, B3)의 투과율 곡선의 피크 폭보다 넓게 형성되고 있음을 알 수 있으며, 상기 제 1, 4 블록의 투과율 곡선을 살펴보면, 그 피크치가 데이터 배선이 위치한 쪽으로 치우쳐 나타나는 것을 알 수 있다.

따라서, 시뮬레이션한 결과를 해석하게 되면, 동일한 폭으로 블록을 구성하였음에도 불구하고, 투과율 곡선의 피크 폭이 제 1, 4 블록 영역이 제 2, 3 블록 영역보다 넓게 형성되고 또한, 그 최대 피크치에 있어서도 제 1, 4 블록에 있어서 데이터 배선 쪽으로 치우치고 있으므로 휘도 불균일로 볼 수 있으며, 이러한 현상을 보이는 종래의 횡전계형 액정표시장치는 화소영역 내에서 각 블록간의 투과율의 차이로 인해 휘도 불균일이 발생하여 화질에 좋지 않은 영향을 주게 된다.

### 발명이 이루고자 하는 기술적 과제

상술한 문제를 해결하기 위한 본 발명에 따른 횡전계형 액정표시장치는 전술한 종래의 화소영역내의 구조를 변경하여 개구율 및 휘도를 향상시키는 것을 목적으로 한다.

또한, 각 화소영역내의 블록 간 간격을 조절함으로써 횡전계형 액정표시장치의 휘도 불균일을 방지하고, 나아가 이러한 구조 변경을 통해 개구율을 향상시키는 것을 목적으로 한다.

## 발명의 구성 및 작용

상기의 목적을 이루기 위해, 본 발명에 실시예에 따른 횡전계형 액정표시장치는 게이트 배선과, 상기 게이트 배선과 교차하여 화소영역을 정의하는 데이터 배선과, 상기 게이트 배선과 나란히 배치되는 공통배선과, 상기 게이트 배선과 데이터 배선의 교차지점에 박막트랜지스터를 구비하고, 상기 공통배선에서 분기하는 다수의 공통전극과 상기 박막트랜지스터와 연결된 다수의 화소전극을 구비한 횡전계형 액정표시장치에 있어서, 상기 데이터 배선으로부터 근접한 것으로부터 제 1 내지 제 3 폭을 가지며, 서로 동일한 이격 간격을 갖고 구성된 제 1 내지 제 3 공통전극과; 상기 제 1 및 제 2 공통전극 사이에 구비되는 제 4 폭을 갖는 제 1 화소전극과, 상기 제 2, 3 공통전극 사이에 구비되는 제 5 폭을 갖는 제 2 화소전극과; 제 1, 4 블록이라 각각 정의되는 상기 제 1 공통전극과 제 1 화소전극 사이의 영역과 제 2 화소전극과 제 3 공통전극 사이 영역의 제 1 너비가 제 2, 3 블록이라 정의되는 상기 제 1 화소전극과 제 2 공통전극 사이 영역과, 제 2 화소전극과 제 3 공통전극 사이 영역의 제 2 너비보다 넓게 구성되는 것을 특징으로 한다.

이때, 상기 제 1 너비가 제 2 너비보다 최소  $1\mu\text{m}$  이상 더 큰 너비를 갖는 것이 특징이다.

또한, 상기 제 1, 3폭이 제 2 폭보다 작거나 또는 상기 제 4, 5폭이 제 1, 3 폭보다 더 작은 것이 특징이다.

이때, 상기 제 1, 4 블록의 제 1 너비가 제 2, 3 블록의 제 2 너비보다 최소  $1\mu\text{m}$  이상 더 큰 너비를 갖는 것이 특징이다.

본 발명의 또 다른 실시예에 따른 횡전계형 액정표시장치는 게이트 배선과 상기 게이트 배선과 교차하여 화소영역을 정의하는 데이터 배선과, 상기 게이트 배선과 나란히 배치되는 공통배선과, 상기 게이트 배선과 데이터 배선의 교차지점에 박막트랜지스터를 구비하고, 상기 공통배선에서 분기하는 다수의 공통전극과 상기 박막트랜지스터와 연결된 다수의 화소전극을 구비한 횡전계형 액정표시장치에 있어서, 서로 동일한 이격간격을 갖고 구성된 제 1 내지 제  $n$ ( $n$ 은 1이상의 자연수) 공통전극과; 상기 제 1 내지 제  $n$  공통전극 사이에 구성되어 제 1 내지 제  $2(n-1)$  블록을 정의하는 제 1 내지 제  $n-1$  화소전극을 포함하고, 제 1 블록 및 제  $2(n-1)$  블록의 너비가 상기 화소영역 내의 다른 블록의 너비보다 큰 것이 특징이다.

이때, 상기 제 1 블록 및 제  $2(n-1)$  블록의 너비가 다른 블록의 너비보다 최소  $1\mu\text{m}$  이상 더 큰 것이 특징이다.

이하 본 발명의 바람직한 실시예를 통해 상세히 설명한다.

### <제 1 실시예>

도 5는 본 발명의 제 1 실시예에 따른 횡전계형 액정표시장치용 어레이 기관의 평면도이며, 도 6과 도 7은 도 5를 각각 절단선 I-I, II-II를 따라 절단한 단면도이다.

도시한 바와 같이, 본 발명의 제 1 실시예에 의한 횡전계형 액정표시장치용 어레이 기관(140)은 소정간격 이격되어 평행하게 가로방향 방향으로 구성된 다수의 게이트 배선(143)과, 상기 게이트 배선(143)에 근접하여 상기 게이트 배선(143)과 평행하게 구성된 공통배선(147)과, 상기 게이트 배선(143)과는 교차하여 화소영역(P)을 정의하며, 세로방향으로 연장하는 다수의 데이터 배선(160)이 형성되어 있다.

또한, 상기 각 화소영역(P) 내의 상기 게이트 배선(143)과 데이터 배선(160)의 교차지점에는 상기 게이트 배선(143)에서 분기하여 형성된 게이트 전극(145)과, 상기 게이트 전극(145) 위로 게이트 절연막(148)과, 상기 게이트 절연막(148) 위로 액티브층(150a)과 오믹콘택층(150b)으로 구성된 반도체층(150)과, 상기 반도체층(150)과 접촉하며 형성된 소스 드레인 전극(153, 155)으로 구성되는 박막 트랜지스터(Tr)가 형성되어 있다. 이때, 상기 소스 전극(153)은 상기 데이터 배선(143)에서 분기하고 있다.

또한, 상기 화소영역(P) 내에는 상기 게이트 배선(143)과 근접하여 평행하게 형성된 공통배선(147)으로부터 분기한 제 1 내지 제 3 공통전극(149a, 149b, 149c)이 상기 데이터 배선(160)과 평행하게 형성되어 있으며, 상기 각 공통전극(149a, 149b, 149c) 사이로 상기 공통전극(149a, 149b, 149c)과 엇갈리도록 배치되며 상기 드레인 전극(155)과 연결되어 제 1 및 제 2 화소전극(170a, 170b)이 구성되어 있다. 이때, 상기 제 1 및 제 3 공통전극(149a, 149c)은 상기 데이터 배선(160)과 소정간격 이격하여 구성되고 있는 것을 보이고 있으나, 상기 제 1 및 제 3 공통전극(149a, 149c)은 상기 데이터 배선(160)과 각각 일부가 중첩되도록 구성할 수도 있다.

도 6, 7을 참조하여 수직구조에 대해 살펴보면, 기판(101) 상에 게이트 전극(145)을 포함하는 게이트 배선(미도시)과 공통 배선(미도시) 및 상기 공통배선(미도시)에서 분기한 제 1 내지 제 3 공통전극(149a, 149b, 149c)이 형성되어 있으며, 그 위로 전면에 게이트 절연막(148)이 형성되어 있으며, 상기 게이트 절연막(148) 위로 상기 게이트 전극(145)에 대응하여 액티브층(150a)과 오믹콘택층(150b)을 갖는 반도체층(150)이 형성되어 있다. 또한, 상기 게이트 절연막(148) 위로 상기 게이트 배선(미도시) 및 공통배선(미도시)과 교차하며 데이터 배선(160)이 형성되어 있으며, 상기 반도체층(150) 위로 상기 반도체층(150)과 접촉하며, 상기 데이터 배선(160)에서 분기한 소스 전극(153)과, 상기 소스 전극(153)과 이격하며 상기 반도체층(150)과 접촉하며 드레인 전극(155)이 형성되어 있다. 상기 소스 및 드레인 전극(153, 155)을 포함하여 노출된 게이트 절연막(148) 위로 전면에 보호층(180)이 형성되어 있으며, 상기 보호층(180) 위로 콘택홀(182)을 통해 상기 드레인 전극(155)과 접촉하는 화소전극 보조배선(167)과 연결된 제 1, 2 화소전극(170a, 170b)이 하부의 제 1 내지 제 3 공통전극(149a, 149b, 149c) 사이마다 엇갈려 형성되어 있다. 이때, 상기 제 1 및 제 2 화소전극(170a, 170b)은 도시한 바와 같이 보호층(180) 상부에 형성될 수도 있으며, 도시하지 않았지만, 소스 및 드레인 전극이 형성되는 게이트 절연막 위에 형성될 수도 있다.

다음, 상기 제 1 공통전극(149a)과 제 1 화소전극(170a) 사이 영역을 설명의 편의상 제 1 블록(B1)이라 정의하고, 상기 제 1 화소전극(170a)과 제 2 공통전극(149b) 사이 영역을 제 2 블록(B2)이라 정의하며, 이와 동일한 방법으로 제 2 공통전극(149b)과 제 2 화소전극(170b) 사이를 제 3 블록(B3), 상기 제 2 화소전극(170b)과 제 3 공통전극(149c) 사이 영역을 제 4 블록(B4)이라 정의하면, 본 발명의 가장 특징적인 것으로서 상기 제 1 블록(B1)과 제 4 블록(B4) 즉, 각 화소영역(P)내에서 데이터 배선(160)에 근접하여 위치한 제 1, 4 블록(B1, B2)의 폭( $w_1, w_4$ )이 각 화소영역(P)의 중앙에 위치한 제 2 및 제 3 블록(B2, B3)의 폭( $w_2, w_3$ )보다 넓게 형성된 것( $w_1, w_4 > w_2, w_3$ )이 본 발명의 가장 큰 특징이 되고 있다.

이때, 상기 제 1, 4 블록(B1, B4)의 폭( $w_1, w_4$ )이 상기 제 2, 3 블록(B2, B3)의 폭( $w_2, w_3$ )보다 최소한  $1\mu\text{m}$  이상 더 큰 폭을 갖고 형성되는 것이 바람직하다.

또한, 상기 제 1, 4 블록(B1, B4)의 폭( $w_1, w_4$ )을 제 2, 3 블록(B2, B3)의 폭( $w_2, w_3$ )보다 더 넓게 형성하는 방법으로는 종래(도 3 참조)와 같이 상기 제 1, 2 화소전극(도 3의 70a, 70b)과 제 1 내지 제 3 공통전극(도 3의 49a, 49b, 49c)을 일정한 폭(도 3에 있어서,  $w_1=w_2=w_3=w_4$ )으로 형성한 경우를 기준으로 할 때, 본 발명에 의한 도 5에 도시한 바와 같이 제 1, 2 화소전극(170a, 170b) 또는 제 1 및 제 3 공통전극(149a, 149c)의 형성 위치를 변경함으로써 즉, 제 1 내지 제 3 공통전극(149a, 149b, 149c)의 위치를 고정시키고, 상기 각 공통전극(149a, 149b, 149c) 사이에 형성되는 제 1, 2 화소전극(170a, 170b)을 화소영역(P)의 중앙에 위치하는 제 2 공통전극(149b) 쪽으로 최소  $0.5\mu\text{m}$  이상 쉬프트(shift)하여 형성되도록 함으로써 제 1, 4 블록(B1, B4)의 폭( $w_1, w_4$ )을 넓히고, 반대로 제 2, 3 블록(B2, B3)의 폭( $w_2, w_3$ )을 좁혀 상기 제 1, 4 블록(B1, B4)과 제 2, 3 블록(B2, B3)의 폭( $w_2, w_3$ )의 차이가 최소  $1\mu\text{m}$  이상( $(w_1, w_4) - (w_2, w_3) > 1\mu\text{m}$ )이 되도록 형성할 수 있다.

전술한 바와 같이, 제 1 공통전극(149a)과 제 1 화소전극(170a) 사이의 제 1 블록(B1)과 제 2 화소전극(170b)과 제 3 공통전극(149c) 사이의 제 4 블록(B4) 각각의 폭( $w_1, w_4$ )을 제 1 화소전극(170a)과 제 2 공통전극(149b) 사이의 제 2 블록(B2)과 제 2 공통전극(149b)과 제 2 화소전극(170b) 사이의 제 3 블록(B3) 각각의 폭( $w_2, w_3$ )보다 넓게 형성함으로써 즉, 화소전극과 공통전극 간의 거리를 넓게 함으로써 전기장의 세기를 상기 제 2, 3 블록보다 낮게 조절하여 이러한 전기장에 의해 반응하는 액정의 반응력을 줄임으로서 각 블록의 투과율을 일정하게 할 수 있다.

따라서, 전술한 구성을 갖는 횡전계형 액정표시장치를 투과도에 따라 시뮬레이션한 도 8을 참조하면, 각 블록을 동일한 간격으로 형성한 종래의 투과율 시뮬레이션 그래프와는 달리 각 블록 간 투과율 곡선의 피크 폭이 거의 일정하게 형성되며, 제 1, 4 블록에 대한 투과율 곡선에 있어서도 그 피크치가 데이터 배선쪽으로 치우치지 않고 평탄하게 형성되었음을 알 수 있다. 이렇게 투과율 곡선의 피크 폭이 각 블록간 동일하게 형성됨으로서 화소영역(P)내에서 휘도 불균일을 제거하여 우수한 화상 품질을 갖는 횡전계형 액정표시장치를 제공할 수 있다.

## <제 2 실시예>

전술한 제 1 실시예에 의한 횡전계형 액정표시장치는 휘도 불균일을 방지하여 우수한 화상 품질을 제공할 수 있지만, 개구율을 향상시키는 효과는 미미하다 할 것이다.

본 발명의 제 2 실시예는 제 1 실시예를 조금 더 개량한 것으로 휘도 불균일 방지 및 개구율까지 향상시킬 수 있는 횡전계형 액정표시장치를 제안한다.

도 9a 와 도 9b는 본 발명의 제 2 실시예에 의한 횡전계형 액정표시장치의 하나의 화소영역을 도시한 평면도이다.

도시한 바와 같이, 제 1 실시예와 유사하게 게이트 배선(243)과 상기 게이트 배선(243)에서 근접하여 나란하게 가로방향으로 공통배선(247)이 연장하고 있으며, 상기 게이트 배선(243)과 교차하며 세로방향으로 데이터 배선(260)이 연장하고 있다. 또한 상기 게이트 배선(243)과 데이터 배선(260)의 교차지점에는 제 1 실시예에서 설명한 동일한 구조로써 스위칭 소자인 박막 트랜지스터(Tr)가 구성되어 있다. 또한 상기 게이트 배선(243)과 나란히 형성된 공통배선(247)에서 분기하며 서로 동일한 폭( $c_1=c_2=c_3$ )과 이격 간격을 가지며 제 1 내지 제 3 공통전극(249a, 249b, 249c)이 구성되어 있으며, 상기 각 공통전극(249a, 249b, 249c) 사이로 상기 박막 트랜지스터(Tr)의 드레인 전극(255)과 연결된 화소전극 보조배선(267)에서 분기하여 제 1, 2 화소전극(270a, 270b)이 형성되어 있다. 이때, 상기 제 1 내지 제 3 공통전극(249a, 249b, 249c)과 제 1, 2 화소전극(270a, 270b) 사이의 영역을 제 1 실시예와 동일하게 제 1 내지 제 4 블록(B1, B2, B3, B4)으로 정의되고 있다.

전술한 구조에 있어서 제 1 실시예와 다른점은, 상대적으로 최소  $1\mu\text{m}$ 이상의 더 큰 폭을 갖는 제 1, 4 블록(B1, B4)의 형성을 단순히 제 1, 2 화소전극(도 5의 170a, 170b)의 위치를 화소영역(P) 중앙에 위치한 제 2 공통전극(도 5의 149b)쪽으로 쉬프트(shift)하여 형성한 제 1 실시예(도 5 참조)와는 달리 제 2 실시예(도 9a, 9b 참조)에서는 도 9a에서와 같이 제 1, 2 화소전극(도 9a의 360a, 360b)의 폭을 줄이거나 또는 도 9b에서와 같이 제 1 및 제 3 공통전극(도 9b의 249a, 249c)의 폭(도 9b의  $c_1, c_3$ )을 줄임으로써 상기 제 1, 4 블록(B1, B4)의 폭( $w_1, w_4$ )을 제 2, 3 블록(B2, B3)의 폭( $w_2, w_3$ )보다 최소  $1\mu\text{m}$ 이상이 더 크도록 형성한 것에 특징이 있다.

이 경우, 종래와 같이 서로 동일한 폭을 갖도록 상기 제 1, 2 화소전극((260a, 360a), (260b, 360b))과 제 1 내지 제 3 공통전극((249a, 349a), (249b, 349b), (249c, 349c))을 형성한 경우를 기준으로 하여, 도 9a에 도시한 바와 같이 제 1 및 제 3 공통전극(349a, 349c)을 이용하여 제 1, 4 블록(B1, B4)의 폭( $w_1, w_4$ )을 제 2, 3 블록(B2, B3)의 폭( $w_2, w_3$ )보다 넓게 하는 경우는 제 1 공통전극(349a)에 있어서는 상기 제 1 공통전극(349a)의 우측으로부터  $1\mu\text{m}$ 이상의 폭을 더 식각하여 패터닝하고 제 3 공통전극(349c)은 좌측으로부터  $1\mu\text{m}$ 이상의 폭을 더 식각하여 패터닝함으로써 제 1, 4 블록(B1, B4)의 폭( $w_1, w_4$ )이 제 2, 3 블록(B2, B3)의 폭( $w_2, w_3$ )보다 넓은 폭을 갖도록 형성할 수 있다.

또한, 도 9b에 도시한 바와 같이, 상기 제 1, 2 화소전극(260a, 260b)의 폭( $p_1, p_2$ )을 줄여 제 1, 4 블록(B1, B4)의 폭( $w_1, w_4$ )을 넓히는 경우는 제 1 화소전극(260a)에 있어서는 좌측으로부터  $1\mu\text{m}$  이상의 폭을 더 식각하여 패터닝하고, 제 2 화소전극(260b)의 경우 우측으로부터  $1\mu\text{m}$  이상의 폭을 더 식각하여 패터닝함으로써 제 1, 4 블록(B1, B4)의 폭( $w_1, w_4$ )이 제 2, 3 블록(B2, B3)의 폭( $w_2, w_3$ )보다 넓은 폭을 갖도록 형성할 수 있다.

또한, 도면으로 나타내지 않았지만 변형예로서 상기 제 1 및 제 2 실시예를 동시에 적용할 수도 있다.

상기 제 2 실시예는 공통전극 또는 화소전극이 자체의 기능을 수행하기 위한 최소 폭을 가져야하므로 상기 전극의 폭을 줄임으로써 제 1, 4 블록의 폭을 제 2, 3 블록의 폭보다 넓은 폭을 갖도록 하는 데에는 한계가 있다. 따라서, 제 1 실시예와 제 2 실시예를 적절히 조절함으로써 즉, 제 1, 2 화소전극의 폭을 좁게 형성하고, 동시에 그 형성 위치 또한 중앙의 제 2 공통전극 쪽으로 치우치도록 형성함으로써 제 1, 4 블록의 폭을 제 2, 3 블록의 폭보다 넓게 할 수 있으며, 또는 제 1, 3 공통전극의 폭을 줄이며 동시에 상기 제 1, 2 화소전극을 중앙의 제 2 공통전극 쪽으로 치우쳐 형성함으로써 이로 인해 각 블록 간 휘도 불균일에 의한 화질 특성을 향상시킬 수 있으며, 전극의 폭을 줄어든 만큼의 개구율을 향상시킬 수 있다.

전술한 제 1, 2 실시예 및 변형예에서는 4 블록 구조의 화소영역을 갖는 횡전계형 액정표시장치만을 보이고 있으나, 6 블록 또는 그 이상의 블록을 갖는 화소영역을 구비한 횡전계형 액정표시장치에도 확대 전용할 수 있다. 즉, 하나의 화소영역의 일측의 데이터 배선에서 중첩하거나 또는 이웃하여 형성된 제 1 공통배선과 상기 제 1 공통배선과 이웃하는 제 1 화소 배선 사이의 제 1 블록과 타측의 데이터 배선에 이웃한 n번째 공통배선과 상기 n(n은 2이상의 자연수) 번째 공통배선과 이웃한 n-1번째 화소전극 사이의 제 2(n-1) 블록의 너비를 다른 블록의 너비보다 넓게 형성함으로써 제 1, 2 실시예와 동일한 효과를 얻을 수 있다.

본 발명은 상기한 실시예에 한정되지 아니하며, 본 발명의 정신을 벗어나지 않는 이상 다양한 변화와 변형이 가능하다.

## 발명의 효과

본 발명에 따른 횡전계형 액정표시장치는 공통전극과 화소전극을 동일한 간격으로 형성 시 투과율이 달라지는 것을 제 1, 4 블록의 폭을 제 2, 3 블록의 폭보다 넓은 폭을 갖도록 구성함으로써 각 블록간 휘도 불균일을 방지하여 화상 품질을 향상시키는 효과를 가지며, 나아가 화소전극 또는 공통전극의 폭을 줄여 화소영역 최외각에 위치하는 블록의 폭을 넓게 형성함으로써 개구율을 향상시키고 이로 인해 전체적인 휘도를 향상시키는 효과가 있다.

(57) 청구의 범위

**청구항 1.**

게이트 배선과, 상기 게이트 배선과 교차하여 화소영역을 정의하는 데이터 배선과, 상기 게이트 배선과 나란히 배치되는 공통배선과, 상기 게이트 배선과 데이터 배선의 교차지점에 박막트랜지스터를 구비하고, 상기 공통배선에서 분기하는 다수의 공통전극과 상기 박막트랜지스터와 연결된 다수의 화소전극을 구비한 횡전계형 액정표시장치에 있어서,

상기 데이터 배선으로부터 근접한 것으로부터 제 1 내지 제 3 폭을 가지며, 서로 동일한 이격 간격을 갖고 구성된 제 1 내지 제 3 공통전극과;

상기 제 1 및 제 2 공통전극 사이에 구비되는 제 4 폭을 갖는 제 1 화소전극과, 상기 제 2, 3 공통전극 사이에 구비되는 제 5 폭을 갖는 제 2 화소전극과;

제 1, 4 블록이라 각각 정의되는 상기 제 1 공통전극과 제 1 화소전극 사이의 영역과 제 2 화소전극과 제 3 공통전극 사이 영역의 제 1 너비가 제 2, 3 블록이라 정의되는 상기 제 1 화소전극과 제 2 공통전극 사이 영역과, 제 2 화소전극과 제 3 공통전극 사이 영역의 제 2 너비보다 넓게 구성되는 것을 특징으로 하는 횡전계형 액정표시장치.

**청구항 2.**

제 1 항에 있어서,

상기 제 1 너비가 제 2 너비보다 최소 1 $\mu$ m 이상 더 큰 너비를 갖는 것이 특징인 횡전계형 액정표시장치.

**청구항 3.**

제 1 항에 있어서,

상기 제 1, 3폭이 제 2 폭보다 작은 것이 특징인 횡전계형 액정표시장치.

**청구항 4.**

제 1 항에 있어서,

상기 제 4, 5폭이 제 1, 3 폭보다 더 작은 것이 특징인 횡전계형 액정표시장치.

**청구항 5.**

제 3 항 또는 제 4 항 중 어느 하나의 항에 있어서,

상기 제 1, 4 블록의 제 1 너비가 제 2, 3 블록의 제 2 너비보다 최소 1 $\mu$ m 이상 더 큰 너비를 갖는 것이 특징인 횡전계형 액정표시장치.

**청구항 6.**

게이트 배선과 상기 게이트 배선과 교차하여 화소영역을 정의하는 데이터 배선과, 상기 게이트 배선과 나란히 배치되는 공통배선과, 상기 게이트 배선과 데이터 배선의 교차지점에 박막트랜지스터를 구비하고, 상기 공통배선에서 분기하는 다수의 공통전극과 상기 박막트랜지스터와 연결된 다수의 화소전극을 구비한 횡전계형 액정표시장치에 있어서,

서로 동일한 이격간격을 갖고 구성된 제 1 내지 제 n(n은 1이상의 자연수) 공통전극과;

상기 제 1 내지 제 n 공통전극 사이에 구성되어 제 1 내지 제 2(n-1) 블록을 정의하는 제 1 내지 제 n-1 화소전극을 포함하고, 제 1 블록 및 제 2(n-1) 블록의 너비가 상기 화소영역 내의 다른 블록의 너비보다 큰 횡전계형 액정표시장치.

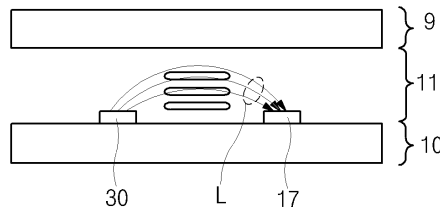
**청구항 7.**

제 6 항에 있어서,

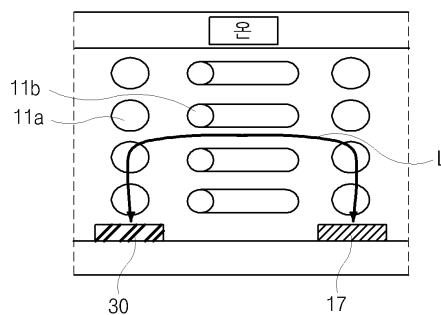
상기 제 1 블록 및 제 2(n-1) 블록의 너비가 다른 블록의 너비보다 최소 1 $\mu$ m 이상 더 큰 것이 특징인 횡전계형 액정표시장치.

**도면**

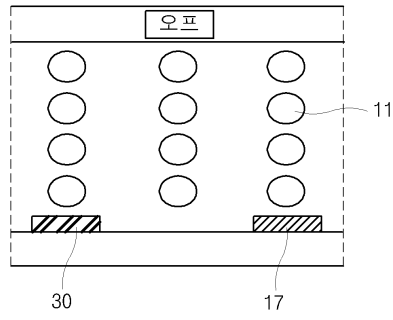
도면1



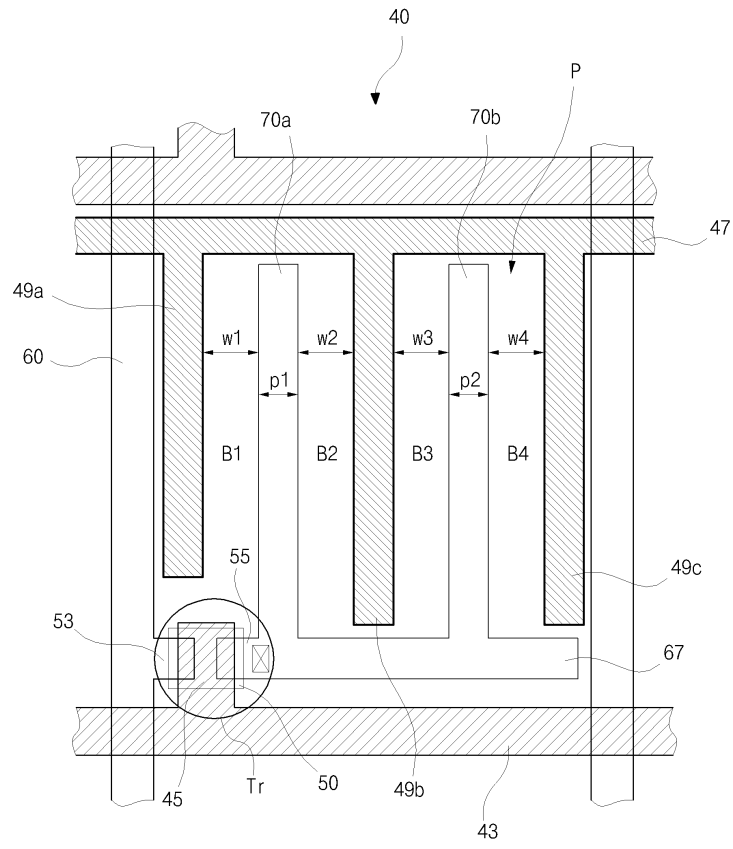
도면2a



도면2b

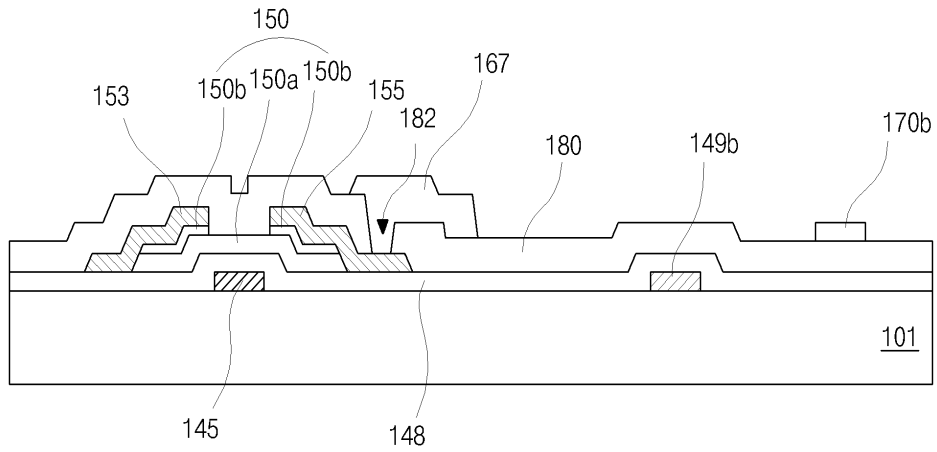


도면3

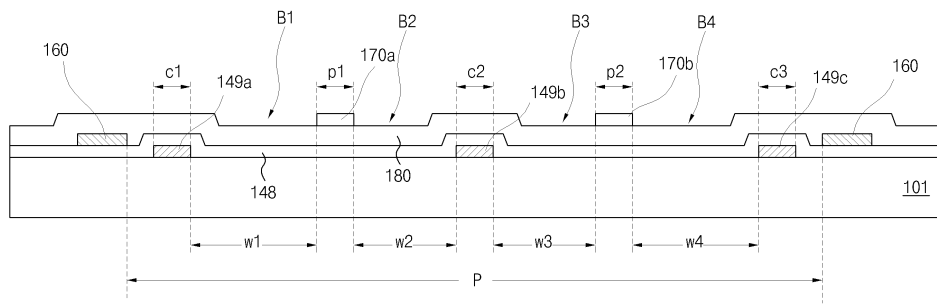




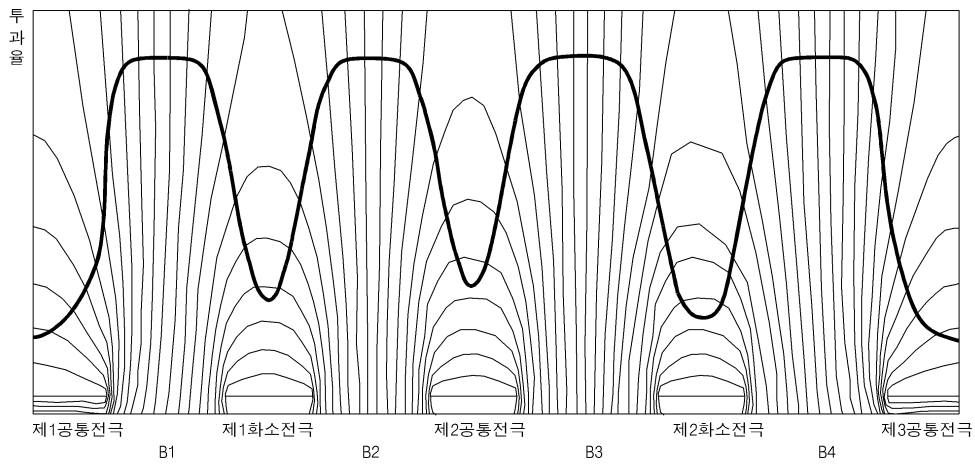
도면6



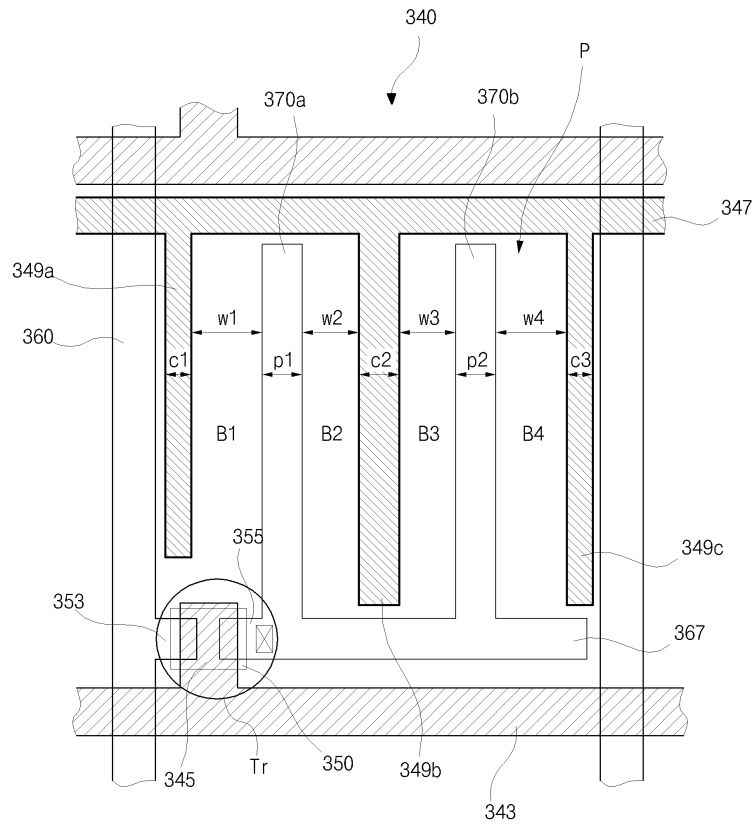
도면7



도면8



도면9a



도면9b

