

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁸ (11) 공개번호 10-2006-0012801
G09G 3/36 (2006.01) (43) 공개일자 2006년02월09일

(21) 출원번호 10-2004-0061446
 (22) 출원일자 2004년08월04일

(71) 출원인 엘지.필립스 엘시디 주식회사
 서울 영등포구 여의도동 20번지
 (72) 발명자 박준하
 대구광역시 북구 동천동 914번지 부영그린타운 206동 1608호
 (74) 대리인 김용인
 심창섭

심사청구 : 있음

(54) 액정표시장치의 구동부 및 이의 구동방법

요약

본 발명은 데이터 드라이버를 추가로 사용하지 않고도 데이터 라인을 양방향에서 구동할 수 있는 액정표시장치의 구동부 및 이의 구동방법에 관한 것으로, 액정패널의 데이터 라인들의 일측에 액정을 구동하기 위한 화소전압을 인가하는 데이터 드라이버; 및 상기 데이터 라인들의 타측에 전압을 인가하는 전압발생부를 포함하여 구성되는 것이다.

대표도

도 3

색인어

액정표시장치, 데이터 라인, 딜레이, 화소전압, 데이터 드라이버

명세서

도면의 간단한 설명

도 1은 종래의 듀얼 스캔방식의 액정표시장치의 구성도
 도 2는 종래의 듀얼 드라이빙방식의 액정표시장치의 구성도
 도 3은 본 발명의 실시예에 따른 액정표시장치의 구동부에 대한 구성도
 도 4는 도 3의 전압발생부의 회로도
 도 5는 도 4의 제 1 선택부의 회로도

도 6은 제 1 선택부로부터 출력된 직류전압에 의해서 화소전압의 딜레이가 보상되는 효과를 설명하기 위한 도면

* 도면의 주요부에 대한 부호 설명

311 : 데이터 드라이버 322 : 게이트 드라이버

305 : 게이트 인쇄회로기판 301a : 제 1 데이터 인쇄회로기판

301b : 제 2 데이터 인쇄회로기판 371 : 데이터 드라이브 IC

381 : 게이트 드라이브 IC 331 : 데이터 TCP

341 : 게이트 TCP 390 : 더미 TCP

355 : 전압발생부 300 : 액정패널

300a : 표시영역 300b : 비표시영역

370 : FPC(Flexible Printed Circuit) DL : 데이터 라인

GL : 데이터 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 데이터 드라이버를 추가로 사용하지 않고도 데이터 라인을 양방향에서 구동할 수 있는 액정표시장치의 구동부 및 이의 구동방법에 대한 것이다.

일반적으로 액정표시장치는 크게 영상신호를 표시하는 액정패널과 외부에서 상기 액정패널에 구동신호를 인가하는 구동회로로 구분할 수 있다.

상기 액정패널은, 도면에는 도시되지 않았지만, 일정한 공간을 갖고 합착된 두 개의 투명 기판(유리 기판)과, 상기 두 개의 투명 기판 사이에 형성된 액정층을 구비한 표시장치이다. 상기 두 개의 투명 기판 중 하나의 기판에는 일정 간격으로 배열된 다수개의 게이트 라인들과, 상기 게이트 라인들에 수직한 방향으로 일정한 간격을 갖고 배열되는 복수개의 데이터 라인들과, 상기 다수개의 게이트 라인들과 상기 데이터 라인들에 의해 정의된 각 화소영역에 형성된 화소전극과, 상기 각 게이트 라인들과 데이터 라인들의 교차하는 부분에 형성되어 상기 게이트 라인의 스캔신호에 따라 스위칭되어 상기 데이터 라인으로부터의 화소전압을 각 화소전극에 전달하는 박막트랜지스터가 구비된다. 그리고, 다른 하나의 기판에는 상기 화소영역을 제외한 부분의 빛을 차단하기 위한 블랙매트릭스층과, 상기 각 화소영역에 색상을 구현하기 위한 컬러필터층과, 상기 화소전극에 대향하여 전계를 인가시키기 위한 공통전극이 구비된다.

한편, 상기 액정패널이 대면적화됨에 따라, 상기 게이트 라인 및 데이터 라인의 길이도 비례하여 증가하게 되는데, 상기 데이터 라인의 길이가 길어짐에 따라 상기 데이터 라인의 저항 성분 및 커패시턴스 성분도 함께 증가하게 된다. 따라서, 상기 데이터 라인이 길어지면 길어질수록 상기 데이터 라인을 따라 흐르는 화소전압에는 더 많은 딜레이가 발생한다. 이와 같은 상기 화소전압의 딜레이를 방지하기 위하여 상기 데이터 라인을 양 방향에서 구동할 수 있는 듀얼 스캔방식의 액정표시장치가 개발되었다.

이하 첨부된 도면을 참조하여 종래의 듀얼 스캔방식의 액정표시장치를 상세히 설명하면 다음과 같다.

도 1은 종래의 듀얼 스캔방식의 액정표시장치의 구성도이다.

도 1에 도시된 바와 같이, 종래의 듀얼 스캔 방식의 액정표시장치는 제 1 표시영역(110a)과 제 2 표시영역(110b)으로 정의되는 액정패널(110)과, 상기 액정패널(110)의 제 1 표시영역(110a)에 형성된 서로 수직교차하는 다수개의 제 1 게이트 라인들(GL1) 및 제 1 데이터 라인들(DL1)과, 상기 제 1 게이트 라인들(GL1) 및 상기 제 1 데이터 라인들(DL1)에 의해 정의되는 매트릭스 형태의 화소영역(170a)에 구비되는 다수개의 박막트랜지스터(도시되지 않음)와, 상기 액정패널(110)의 제 2 표시영역(110b)에 형성된 서로 수직교차하는 다수개의 제 2 게이트 라인들(GL2) 및 제 2 데이터 라인들(DL2)과, 상기 제 2 게이트 라인들(GL2) 및 상기 제 2 데이터 라인들(DL2)에 의해 정의되는 다수개의 화소영역(170b)에 구비되는 다수개의 박막트랜지스터(도시되지 않음)와, 상기 제 1 게이트 라인들(GL1) 및 상기 제 1 데이터 라인들(DL1)을 구동하기 위한 제 1 게이트 드라이버(111a) 및 제 1 데이터 드라이버(112a)와, 상기 제 2 게이트 라인들(GL2) 및 상기 제 2 데이터 라인들(DL2)을 구동하기 위한 제 2 게이트 드라이버(111b) 및 제 2 데이터 드라이버(112b)를 포함하여 구성된다. 여기서, 상기 제 1 및 제 2 게이트 드라이버(111a, 111b)는 다수개의 게이트 드라이브 IC들로 이루어져 있으며, 상기 제 1 및 제 2 데이터 드라이버(112a, 112b)는 다수개의 데이터 드라이브 IC들로 이루어져 있다.

한편, 도면에 도시하지 않았지만, 종래의 듀얼 스캔방식의 액정표시장치는 상기 화소전압에 해당하는 디스플레이 데이터를 출력하는 타이밍 컨트롤러 및 상기 타이밍 컨트롤러로부터 출력된 디스플레이 데이터를 나누어 저장하는 제 1 메모리 및 제 2 메모리를 더 포함한다. 상기 제 1 메모리는 상기 타이밍 컨트롤러로부터 출력된 디스플레이 데이터 중 상기 제 1 데이터 드라이버(112a)에 필요한 디스플레이 데이터만을 저장하며, 상기 제 2 메모리는 상기 타이밍 컨트롤러로부터 출력된 디스플레이 데이터 중 상기 제 2 데이터 드라이버(112b)에 필요한 디스플레이 데이터만을 저장한다. 또한, 도면에 도시하지 않았지만, 상기 데이터 드라이브 IC들 각각은, 순차적인 소스 샘플링 클럭(SSC; Source Sampling Clock)을 공급하는 쉬프트 레지스터 어레이와, 상기 쉬프트 레지스터 어레이의 소스 샘플링 클럭에 응답하여 상기 디스플레이 데이터를 래치하여 출력하는 제 1 및 제 2 래치 어레이와, 상기 제 1 및 제 2 래치 어레이 사이에 배치된 제 1 멀티플렉서(Multiplexer; 이하, MUX라 함)와, 상기 제 2 래치 어레이로부터 출력된 디스플레이 데이터를 화소전압으로 변환하는 디지털-아날로그 변환(Digital Analog Converter; 이하, 'DAC'로 표기) 어레이와, 상기 DAC 어레이로부터 출력되는 화소전압을 완충하여 출력하는 버퍼 어레이와, 상기 버퍼 어레이로부터 출력된 화소전압의 진행경로를 선택하는 제 2 MUX 어레이를 구비한다. 또한, 도면에 도시하지 않았지만, 상기 제 1 및 제 2 데이터 드라이버(112a, 112b)에 구비된 데이터 드라이브 IC들 각각은 TCP에 실장되고, 상기 제 1 데이터 드라이버(112a)의 데이터 드라이브 IC가 실장된 TCP는 인쇄회로기판과 상기 액정패널(110)의 일측 사이에 접속되며, 상기 제 2 데이터 드라이버(112b)의 데이터 드라이브 IC들이 실장된 TCP는 또 다른 인쇄회로기판과 상기 액정패널(110)의 타측 사이에 접속된다.

이와 같이 구성된 종래의 듀얼 스캔방식의 액정표시장치의 동작을 상세히 설명하면 다음과 같다.

먼저, 제 1 게이트 드라이버(111a)가 제 1 게이트 라인(GL1)들에 순차적으로 게이트 구동펄스를 인가하며, 이와 동시에 상기 제 2 게이트 드라이버(111b)가 제 2 게이트 라인들(GL2)에 순차적으로 게이트 구동펄스를 인가한다. 즉, 상기 제 1 게이트 라인들(GL1)과 제 2 게이트 라인들(GL2)은 동시에 스캔된다. 이와 같이 상기 제 1 게이트 라인들(GL1)과 제 2 게이트 라인들(GL2)이 동시에 스캔됨에 따라, 상기 제 1 데이터 드라이버(112a)는 상기 제 1 메모리로부터 디스플레이 데이터를 읽어들이고, 상기 디스플레이 데이터에 해당하는 화소전압을 상기 게이트 구동펄스가 인가된 제 1 게이트 라인들(GL1)에 대응하는 제 1 데이터 라인들(DL1)에 공급한다. 이와 동시에, 상기 제 2 데이터 드라이버(112b)는 상기 제 2 메모리로부터 디스플레이 데이터를 읽어들이고, 상기 디스플레이 데이터에 해당하는 화소전압을 상기 게이트 구동펄스가 인가된 제 2 게이트 라인들(GL2)에 대응하는 제 2 데이터 라인들(DL2)에 공급한다. 따라서, 제 1 표시영역(110a)에 위치한 화소영역들(170a)과 제 2 표시영역(110b)에 위치한 화소영역들(170b)은 동시에 화상을 표현하게 된다.

한편, 상기 제 1 메모리 및 제 2 메모리를 사용하지 않고, 상기 데이터 라인을 양방향으로 구동함으로써, 비용을 줄일 수 있는 듀얼 드라이빙방식의 액정표시장치가 개발되었다.

도 2는 종래의 듀얼 드라이빙방식의 액정표시장치의 구성도이다.

도 2에 도시된 바와 같이, 종래의 듀얼 드라이빙 방식의 액정표시장치는, 서로 수직교차하는 다수개의 게이트 라인들(GL) 및 다수개의 데이터 라인들(DL)을 구비한 액정패널(210)과, 상기 각 게이트 라인들(GL) 및 데이터 라인들(DL)에 의해 매트릭스 형태로 정의되는 다수개의 화소영역들(270)에 구비된 다수개의 박막트랜지스터(도시되지 않음)와, 상기 게이트 라인들(GL)에 순차적으로 게이트 구동펄스를 인가하는 게이트 드라이버(211)와, 상기 데이터 라인들(DL)의 일측에 화소전압을 인가하는 제 1 데이터 드라이버(212a)와, 상기 데이터 라인들(DL)의 타측에 상기 화소전압을 인가하는 제 2 데이터 드라이버(212b)를 포함하여 구성된다. 여기서, 상기 게이트 드라이버(211)는 다수개의 게이트 드라이브 IC들로 이루어져 있으며, 상기 제 1 및 제 2 데이터 드라이버(212a, 212b)는 다수개의 데이터 드라이브 IC들로 이루어져 있다.

한편, 상기 종래의 듀얼 드라이빙방식의 액정표시장치는 상기 디스플레이 데이터에 해당하는 화소전압을 출력하는 타이밍 콘트롤러를 더 포함한다. 상기 타이밍 콘트롤러는 상기 제 1 및 제 2 데이터 드라이버(212a, 212b)에 동일한 디스플레이 데이터를 제공한다. 그리고, 도면에 도시하지 않았지만, 상기 제 1 및 제 2 데이터 드라이버(212a, 212b)에 구비된 데이터 드라이브 IC들 각각은 종래의 듀얼 스캔방식의 액정표시장치에 구비된 데이터 드라이브 IC들과 동일한 구성을 가진다. 또한, 도면에 도시하지 않았지만, 종래의 듀얼 스캔방식의 액정표시장치와 마찬가지로 상기 제 1 및 제 2 데이터 드라이버(212a, 212b)에 구비된 데이터 드라이브 IC들 각각은 TCP에 실장되고, 상기 제 1 데이터 드라이버(212a)의 데이터 드라이브 IC가 실장된 TCP는 인쇄회로기판과 상기 액정패널(210)의 일측 사이에 접속되며, 상기 제 2 데이터 드라이버(212b)의 데이터 드라이브 IC들이 실장된 TCP는 또 다른 인쇄회로기판과 상기 액정패널(210)의 타측 사이에 접속된다.

이와 같이 구성된 종래의 듀얼 드라이빙방식의 액정표시장치의 동작을 상세히 설명하면 다음과 같다.

먼저, 게이트 드라이버(211)가 상기 게이트 라인들(GL)에 순차적으로 게이트 구동펄스를 인가한다. 이때, 상기 제 1 데이터 드라이버(212a)는 상기 타이밍 콘트롤러로부터 입력된 디스플레이 데이터에 해당하는 화소전압을 상기 게이트 구동펄스가 인가된 게이트 라인들(GL)에 대응하는 데이터 라인들(DL)의 일측에 인가한다. 이와 동시에, 상기 제 2 데이터 드라이버(212b)는 상기 타이밍 콘트롤러로부터 입력된 상기 디스플레이 데이터에 해당하는 화소전압을 상기 데이터 라인들(DL)의 타측에 제공한다. 즉, 상기 데이터 라인들(DL)의 양측에는 동일한 화소전압이 동시에 인가된다, 따라서, 상기 화소전압이 딜레이되는 것을 방지할 수 있다.

그러나, 이와 같은 종래의 듀얼 드라이빙방식의 액정표시장치는 여전히 두 개의 데이터 드라이버(제 1 및 제 2 데이터 드라이버(212a, 212b))를 사용한다. 상술한 바와 같이, 상기 각 데이터 드라이버(212a, 212b)는 다수개의 데이터 드라이브 IC들을 구비하고 있으며, 상기 데이터 드라이브 IC들 각각은 상술한 바와 같은 구성을 가진다. 이로 인해 종래의 듀얼 스캔 및 듀얼 구동방식의 액정표시장치는 하나의 데이터 드라이버를 사용하는 일반적인 액정표시장치에 비하여 두 배의 제조비용이 요구되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 데이터 라인의 일측에 데이터 전압을 인가하는 데이터 드라이버 및 상기 데이터 라인의 타측에 직류전압을 인가하는 전압발생부를 구비하여 상기 데이터 라인을 양방향에서 구동함으로써, 제조비용을 줄일 수 있는 액정표시장치의 구동부 및 이의 구동방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 구동부는, 액정패널의 데이터 라인들의 일측에 액정을 구동하기 위한 화소전압을 인가하는 데이터 드라이버; 및 상기 데이터 라인들의 타측에 전압을 인가하는 전압발생부를 포함하여 구성되는 것을 그 특징으로 한다.

또한, 이와 같이 구성된 본 발명에 따른 액정표시장치의 구동부의 구동방법은, 액정패널의 데이터 라인들의 일측에 액정을 구동하기 위한 화소전압을 인가하는 단계; 및 상기 데이터 라인들의 타측에 전압을 인가하는 단계를 포함하여 이루어지는 것을 그 특징으로 한다.

이하 첨부된 도면을 참조하여 본 발명의 실시예에 따른 액정표시장치를 상세히 설명하면 다음과 같다.

도 3은 본 발명의 실시예에 따른 액정표시장치의 구동부에 대한 구성도이다.

본 발명의 실시예에 따른 액정표시장치의 구동부는, 도 3에 도시된 바와 같이, 액정패널(300)의 게이트 라인들(GL)에 게이트 구동펄스를 공급하기 위한 게이트 드라이버(322)와, 상기 액정패널(300)의 데이터 라인들(DL)의 각 일측에 화소전압(아날로그)을 공급하기 위한 데이터 드라이버(311)와, 상기 데이터 라인들(DL)의 각 타측에 일정레벨의 직류전압을 공급하는 전압발생부(355)를 포함하여 구성된다.

여기서, 상기 게이트 드라이버(322)는 다수개의 게이트 드라이브 IC들(381)로 이루어져 있으며, 상기 게이트 드라이브 IC들(381)은 각각 게이트 TCP(341)(Tape Carrier Package)에 실장된다. 그리고, 상기 데이터 드라이버(311)는 다수개의 데이터 드라이브 IC들(371)로 이루어져 있으며, 상기 데이터 드라이브 IC들(371)은 각각 데이터 TCP(331)에 실장된다. 그리고, 상기 액정패널(300)의 주변에는 게이트 인쇄회로기판(305), 제 1 데이터 인쇄회로기판(301a), 및 제 2 데이터 인

채회로기판(301b)이 구비되어 있으며, 상기 게이트 TCP들(341)은 상기 게이트 인쇄회로기판(305)과 상기 액정패널(300)의 비표시영역(300b) 사이에 접속되어 상기 게이트 인쇄회로기판(305)과 상기 액정패널(300)을 전기적으로 연결시킨다. 그리고, 상기 데이터 TCP들(331)은 상기 제 1 데이터 인쇄회로기판(301a)과 상기 액정패널(300)의 비표시영역(300b) 사이에 접속되어 상기 제 1 데이터 인쇄회로기판(301a)과 상기 액정패널(300)을 전기적으로 연결시킨다.

한편, 상기 제 2 데이터 인쇄회로기판(301b)과 상기 액정패널(300)의 비표시영역(300b)은 다수개의 더미 TCP들(390)에 의해서 전기적으로 연결되는데, 상기 더미 TCP들(390)은 각각 상기 데이터 TCP들(331)과 일대일 대응되어 구비된다. 그러나, 상기 더미 TCP들(390)에는 상기 데이터 드라이브 IC(371)가 실장되지 않으며, 단지 상기 제 2 데이터 인쇄회로기판(301b)과 상기 액정패널(300)을 전기적으로 접속시키는 역할만을 한다. 여기서, 상기 제 2 데이터 인쇄회로기판(301)과 상기 액정패널(300)을 상기 더미 TCP(390) 대신에 FPC(Flexible Printed Circuit)를 사용하여 연결하여도 무방하다. 그리고, 상기 게이트 인쇄회로기판(305)과 상기 제 1 데이터 인쇄회로기판(301a)간, 그리고 상기 게이트 인쇄회로기판(305)과 상기 제 2 데이터 인쇄회로기판(301b)간에는 상기 각 인쇄회로기판간을 전기적으로 연결하기 위한 FPC(370)가 구비된다.

여기서, 상기 제 1 데이터 인쇄회로기판(301a)에는, 인터페이스로부터 상기 화소전압에 해당하는 디스플레이 데이터(R,G,B)와 수직 및 수평동기신호 그리고, 클럭신호 등 제어신호를 입력받아 상기 게이트 드라이버(322)와 상기 데이터 드라이버(311)가 화면을 재생하기에 적합한 타이밍으로 상기 디스플레이 데이터와 클럭 및 제어신호를 포맷하여 출력하는 타이밍 콘트롤러(도시되지 않음)와, 상기 액정패널(300) 및 액정표시장치의 각부에 필요한 전압을 공급하는 전원공급부(도시되지 않음)와, 상기 전원공급부로부터 전원을 인가 받아 상기 데이터 드라이버(311)에서 입력되는 디지털 데이터(상기 디스플레이 데이터)를 아날로그 데이터(상기 화소전압)로 변환할 때 필요한 기준전압을 공급하는 감마 기준전압부(도시되지 않음)와, 상기 전원공급부로부터 출력된 전압을 이용하여 액정패널(300)에 사용되는 정전압, 게이트 고전압, 게이트 저전압, 기준전압 및 공통전압 등을 출력하는 DC/DC 변환부(도시되지 않음)가 실장된다. 그리고, 상기 제 2 데이터 인쇄회로기판(301b)에는 상기 전압발생부(355)가 실장된다.

한편, 도면에 도시하지 않았지만, 상기 타이밍 콘트롤러는 상기 인터페이스로부터 수평동기신호, 수직동기신호, 데이터 인에이블 신호 및 클럭신호 등의 타이밍 동기신호들을 입력받아 상기 게이트 드라이버(322), 상기 데이터 드라이버(311) 및 상기 전압발생부(355)에 필요한 제어신호들을 생성하는 제어신호 발생부와, 상기 인터페이스로부터 입력되는 디스플레이 데이터를 입력받아 이를 정렬하여 상기 데이터 드라이버(311)에 공급하기 위한 데이터 신호발생부를 포함한다. 여기서, 상기 제어신호 발생부는 입력되는 상기 수직동기신호를 기준으로 소스 샘플링 클럭(SSC : Source Sampling Clock), 소스 출력 인에이블 신호(SOE : Source Output Enable), 소스 시작 펄스(SSP : Source Start Pulse), 극성반전신호(POL : Polarity reverse)를 생성하여 상기 데이터 드라이버(311)로 공급한다. 그리고, 상기 제어신호 발생부는 입력되는 상기 수직동기신호를 기준으로 게이트 쉬프트 클럭(GSC : Gate Shift Clock), 게이트 출력 인에이블 신호(GOE : Gate Output Enable), 게이트 시작 펄스(GSP : GateStart Pulse)등을 생성하여 상기 게이트 인쇄회로기판(305)을 통해 상기 게이트 드라이버(322)에 공급한다. 또한, 상기 제어신호 발생부는 입력되는 상기 수직동기신호를 기준으로 로드 인에이블 신호(LE : Load Enable)를 생성하여 상기 전압발생부(355)에 공급한다.

한편, 미설명된 도면 300a는 화상이 표시되는 표시영역을 나타낸다.

여기서, 상기 제 2 데이터 인쇄회로기판(301b)에 실장된 전압발생부(355)를 좀 더 상세히 설명하면 다음과 같다.

도 4는 도 3의 전압발생부의 회로도이다.

도 4에 도시된 바와 같이, 상기 전압발생부(355)는 크게 정극성의 직류전압을 출력하는 정극성 전압전원(400a)과, 부극성의 직류전압을 출력하는 부극성 전압전원(400b)과, 상기 정극성의 직류전압과 부극성의 직류전압 중 하나를 선택하여 상기 데이터 라인들(DL) 중 홀수번째 데이터 라인들(DL)의 타측에 공급하는 제 1 선택부(450a)와 그리고, 상기 정극성의 직류전압과 부극성의 직류전압 중 하나를 선택하여 상기 데이터 라인들(DL) 중 짝수번째 데이터 라인들(DL)의 타측에 공급하는 제 2 선택부(450b)를 포함한다. 이때, 상기 제 1 선택부(450a)로부터 출력되는 직류전압과 상기 제 2 선택부(450b)로부터 출력되는 직류전압은 서로 반전된 극성을 가진다.

구체적으로, 상기 제 1 선택부(450a)는 드레인, 극성반전신호(POL)가 인가되는 게이트 및 상기 정극성의 직류전압이 인가되는 소스를 갖는 제 1 NMOS 트랜지스터(NT1)와; 상기 제 1 NMOS 트랜지스터(NT1)의 드레인에 연결되는 드레인, 상기 극성반전신호(POL)가 인가되는 게이트 및 상기 부극성의 직류전압이 인가되는 소스를 갖는 제 1 PMOS 트랜지스터(PT1)와; 그리고, 상기 제 1 NMOS 트랜지스터(NT1)의 드레인과 상기 제 1 PMOS 트랜지스터(PT1)의 드레인에 공통으로 연결되는 소스, 로드 인에이블 신호(LE)가 인가되는 게이트 및 상기 홀수번째 데이터 라인들(DL)의 타측에 연결되는

드레인을 갖는 제 2 NMOS 트랜지스터(NT2)를 포함한다. 그리고, 상기 제 2 선택부(450b)는 드레인, 상기 극성반전신호(POL)가 인가되는 게이트 및 상기 정극성의 직류전압이 인가되는 소스를 갖는 제 2 PMOS 트랜지스터(PT2)와; 상기 제 2 PMOS 트랜지스터(PT2)의 드레인에 연결되는 드레인, 상기 극성반전신호(POL)가 인가되는 게이트 및 상기 부극성의 직류전압이 인가되는 소스를 갖는 제 3 NMOS 트랜지스터(NT3)와; 그리고, 상기 제 2 PMOS 트랜지스터(PT2)의 드레인과 상기 제 3 NMOS 트랜지스터(NT3)의 드레인에 공통으로 연결되는 소스, 상기 로드 인에이블 신호(LE)를 인가받는 게이트 및 상기 짝수번째 데이터 라인들(DL)의 타측에 연결되는 드레인을 갖는 제 4 NMOS 트랜지스터(NT4)를 포함한다.

이와 같이 구성된 본 발명의 실시예에 따른 액정표시장치의 구동부의 동작을 상세히 설명하면 다음과 같다.

먼저, 외부 시스템(도시되지 않음)으로부터 디스플레이 데이터 그리고, 수평동기신호, 수직동기신호 및 클럭신호와 같은 제어신호가 인터페이스에 입력된다. 이후 상기 인터페이스는 상기 디스플레이 데이터, 수평동기신호, 수직동기신호 및 클럭신호를 LVDS(Low Voltage Differential Signal) 방식 또는 TTL(Transistor Transistor Logic) 방식으로 포맷하여 상기 타이밍 콘트롤러로 제공한다. 이때, 상기 타이밍 콘트롤러의 데이터 신호발생부는 상기 수직동기신호를 기준으로 소스 샘플링 클럭(SSC), 소스 출력 인에이블 신호(SOE), 소스 시작 펄스(SSP), 극성반전신호(POL), 게이트 쉬프트 클럭(GSC), 게이트 출력 인에이블 신호(GOE), 게이트 시작 펄스(GSP) 및 로드 인에이블 신호(LE) 등을 생성하고, 상기 소스 샘플링 클럭(SSC), 소스 출력 인에이블 신호(SOE), 소스 스타트 펄스(SSP) 및 극성반전신호(POL)를 상기 데이터 드라이버(311)에 공급하며, 상기 게이트 쉬프트 클럭(GSC : Gate Shift Clock), 게이트 출력 인에이블 신호(GOE) 및 게이트 시작 펄스(GSP)를 게이트 인쇄회로기판(305)을 통해 상기 게이트 드라이버(322)에 공급한다. 그리고, 상기 타이밍 콘트롤러는 상기 로드 인에이블 신호(LE)를 전압발생부(355)에 공급한다. 또한, 상기 타이밍 콘트롤러의 데이터 신호발생부는 상기 디스플레이 데이터를 재정렬하여 상기 데이터 드라이버(311)에 공급한다.

이후, 상기 게이트 드라이버(322)는 상기 타이밍 콘트롤러로부터의 상기 제어신호들(GSP, GSC, GOE)에 응답하여 게이트 라인들(GL)에 순차적으로 게이트 고전압을 공급한다. 이에 따라, 상기 게이트 드라이버(322)는 게이트 라인들(GL)에 접속된 박막트랜지스터가 게이트 라인(GL) 단위로 구동되게 한다. 구체적으로, 상기 게이트 드라이버(322)는 상기 게이트 스타트 펄스(GSP)를 게이트 쉬프트 펄스(GSC)에 따라 쉬프트시켜 쉬프트 펄스를 발생한다. 그리고, 상기 게이트 드라이버(322)는 상기 쉬프트 펄스에 응답하여 매 수평시간(1H)마다 해당 게이트 라인(GL)에 게이트 고전압을 공급하게 된다. 이 경우, 상기 게이트 드라이버(322)는 게이트 출력 인에이블 신호(GOE)의 인에이블 구간에 해당하는 기간에만 게이트 고전압을 출력하게 된다. 그리고, 상기 게이트 드라이버(322)는 상기 게이트 라인들(GL)에 게이트 고전압이 공급되지 않는 나머지 기간에서는 게이트 저전압을 공급하게 된다.

한편, 상기 데이터 드라이버(311)는 타이밍 콘트롤러로부터의 제어신호들(SSP, SSC, SOE, POL)에 응답하여 매 1H마다 1수평라인분씩의 화소전압을 상기 데이터 라인들(DL)의 각 일측에 공급한다. 특히, 상기 데이터 드라이버(311)는 상기 타이밍 콘트롤러로부터 입력된 디지털 신호인 디스플레이 데이터를 감마전압 발생부(도시하지 않음)로부터의 감마 전압을 이용하여 아날로그 신호인 화소전압으로 변환하여, 상기 데이터 라인들(DL)의 각 일측에 공급한다. 구체적으로, 상기 데이터 드라이버(311)는 소스 스타트 펄스(SSP)를 소스 쉬프트 클럭(SSC)에 따라 쉬프트시켜 샘플링 신호를 발생한다. 이어, 상기 데이터 드라이버(311)는 상기 샘플링 신호에 응답하여 디스플레이 데이터(R, G, B)를 일정 단위씩 순차적으로 입력하여 래치한다. 그리고, 상기 데이터 드라이버(311)는 상기 래치된 1수평라인분의 디스플레이 데이터(R, G, B)를 상기 소스 출력 인에이블 신호(SOE)의 라이징 에지에서 동시에 래치하고, 상기 래치된 디스플레이 데이터를 상기 소스 출력 인에이블 신호(SOE)의 폴링에지에서 동시에 출력한다. 이때, 출력된 상기 디스플레이 데이터는 상기 감마 기준전압부에 의해 화소전압으로 변환되어 상기 데이터 라인들(DL)의 일측에 동시에 공급된다. 여기서, 상기 데이터 드라이버(311)는 상기 화소전압을 상기 소스 출력 인에이블 신호(SOE)의 인에이블 구간에 해당하는 기간동안 상기 데이터 라인들의 각 일측에 공급한다. 한편, 상기 데이터 드라이버(311)는 극성제어신호(POL)에 응답하여 상기 홀수번째 데이터 라인들(DL)과 짝수번째 데이터 라인들(DL)에 인가되는 화소전압의 극성이 서로 반전되어 공급되도록 한다. 여기서, 상기 극성제어신호(POL)는 상기 1H주기로 극성이 반전되는 신호이다.

예를 들면, 상기 극성제어신호(POL)가 하이논리일 경우, 상기 데이터 드라이버(311)는 상기 홀수번째 데이터 라인들(DL)에는 정극성의 화소전압을 인가하고, 상기 짝수번째 데이터 라인들(DL)에는 부극성의 화소전압을 인가한다. 한편, 상기 극성제어신호(POL)가 로우논리일 경우, 상기 각 데이터 드라이버(311)는 상기 홀수번째 데이터 라인들(DL)에는 부극성의 화소전압을 인가하고, 상기 짝수번째 데이터 라인들(DL)에는 정극성의 화소전압을 인가한다. 이와 같이 상기 화소전압의 극성을 반전시킴으로써, 상기 액정패널(300)은 도트 인버전방식으로 구동된다.

본 발명에서는 설명의 편의상, 상기 홀수번째 데이터 라인들(DL)에 정극성의 화소전압이 인가되고, 상기 짝수번째 데이터 라인들(DL)에 부극성의 화소전압이 인가된 것으로 하여 설명하기로 한다. 한편, 상기 극성제어신호(POL)는 상기 제 2 데이터 인쇄회로기판(301b)을 통해 전압발생부(355)에 인가되며, 상기 극성제어신호(POL)에 응답하여 상기 전압발생부

(355)의 제 1 선택부(450a)는 정극성의 직류전압을 출력하며, 상기 출력된 정극성의 직류전압은 더미 TCP(390)를 통해 상기 홀수번째 데이터 라인들(DL)의 타측에 각각 인가된다. 또한, 상기 극성제어신호(POL)에 응답하여 상기 전압발생부(355)의 제 2 선택부(450b)는 부극성의 직류전압을 출력하며, 상기 출력된 부극성의 직류전압은 상기 더미 TCP(390)를 통해 상기 짝수번째 데이터 라인들(DL)의 타측에 각각 인가된다. 이를 좀 더 구체적으로 설명하면 다음과 같다.

먼저, 상기 극성제어신호(POL)가 상기 제 1 선택부(450a)의 제 1 NMOS 트랜지스터(NT1)의 게이트, 상기 제 1 선택부(450a)의 제 1 PMOS 트랜지스터(PT1)의 게이트, 상기 제 2 선택부(450b)의 제 2 PMOS 트랜지스터(PT2)의 게이트 및 상기 제 2 선택부(450b)의 제 3 NMOS 트랜지스터(NT3)의 게이트에 입력된다. 여기서, 상기 극성반전신호(POL)가 첫 번째 1H동안 하이논리를 가진다고 하면, 상기 제 1 NMOS 트랜지스터(NT1) 및 상기 제 3 NMOS 트랜지스터(NT3)는 턴-온되고, 상기 제 1 PMOS 트랜지스터(PT1) 및 상기 제 2 PMOS 트랜지스터(PT2)는 턴-오프된다. 따라서, 상기 정극성의 직류전압이 상기 턴-온된 제 1 NMOS 트랜지스터(NT1)를 경유하여 상기 제 2 NMOS 트랜지스터(NT2)의 소스에 충전된다. 그리고, 상기 부극성의 직류전압이 상기 턴-온된 제 3 NMOS 트랜지스터(NT3)를 경유하여 상기 제 4 NMOS 트랜지스터(NT3)의 소스에 충전된다.

이어서, 상기 타이밍 콘트롤러로부터 출력된 로드 인에이블 신호(LE)가 상기 제 2 NMOS 트랜지스터(NT2)의 게이트 및 상기 제 4 NMOS 트랜지스터(NT4)의 게이트에 인가되어, 상기 제 2 NMOS 트랜지스터(NT2) 및 제 4 NMOS 트랜지스터(NT4)를 턴-온시킨다. 그러면, 상기 제 2 NMOS 트랜지스터(NT2)의 소스에 충전되었던 정극성의 직류전압이 상기 턴-온된 제 2 NMOS 트랜지스터(NT2)를 경유하여 홀수번째 데이터 라인들(DL)의 타측에 각각 입력된다. 또한, 상기 제 4 NMOS 트랜지스터(NT4)의 소스에 충전되었던 부극성의 직류전압은 상기 턴-온된 제 4 NMOS 트랜지스터(NT4)를 경유하여 짝수번째 데이터 라인들(DL)의 타측에 각각 입력된다. 여기서, 상기 로드 인에이블 신호(LE)는 상기 소스 출력 인에이블 신호(SOE)에 동기된 신호로서, 상기 제 2 NMOS 트랜지스터(NT2) 및 상기 제 4 NMOS 트랜지스터(NT4)는 상기 로드 인에이블 신호(LE)의 하이논리 구간(상기 소스 출력 인에이블 신호(SOE)의 디스에이블 구간에 해당)에서 턴-온된다. 다시말하면, 상기 제 2 NMOS 트랜지스터(NT2) 및 상기 제 4 NMOS 트랜지스터(NT4)는 상기 소스 출력 인에이블 신호(SOE)의 인에이블 구간(데이터 라인(DL)에 화소전압이 인가되는 기간에 해당하는 구간)보다 앞선 상기 로드 인에이블 신호(LE)의 하이논리 구간에서 턴-온된다. 따라서, 상기 제 2 NMOS 트랜지스터(NT2) 및 상기 제 4 NMOS 트랜지스터(NT4)에 의해 스위칭되는 정극성 직류전압 및 부극성 직류전압은 상기 화소전압보다 앞선 시간에 상기 데이터 라인들(DL)의 타측에 공급된다.

요약하면, 첫 번째 1H기간동안 상기 데이터 라인들(DL) 중 홀수번째 데이터 라인들(DL)의 일측에는 정극성의 화소전압이 각각 공급되며, 상기 홀수번째 데이터 라인들(DL)의 타측에는 정극성의 직류전압이 공급된다. 또한, 상기 첫 번째 1H기간 동안 상기 데이터 라인들(DL) 중 짝수번째 데이터 라인들(DL)의 일측에는 부극성의 화소전압이 각각 공급되며, 상기 짝수번째 데이터 라인들(DL)의 타측에는 부극성의 직류전압이 공급된다.

한편, 두 번째 1H기간동안 상기 홀수번째 데이터 라인들(DL)의 일측에는 부극성의 화소전압이 각각 공급되며, 상기 홀수번째 데이터 라인들(DL)의 타측에는 부극성의 직류전압이 각각 공급된다. 또한, 상기 두 번째 1H기간동안 상기 짝수번째 데이터 라인들(DL)의 일측에는 정극성의 화소전압이 공급되며, 상기 짝수번째 데이터 라인들(DL)의 타측에는 정극성의 직류전압이 공급된다.

이와 같이 상기 각 데이터 라인들(DL)에 화소전압과 직류전압이 동시에 인가되었을 경우, 상기 화소전압의 딜레이가 어떻게 방지되는지 상세히 설명하면 다음과 같다. 여기서, 설명의 편의상 임의의 하나의 홀수번째 데이터 라인에 인가되는 화소전압 및 직류전압에 대하여 설명하기로 한다.

도 5는 도 4의 제 1 선택부의 회로도이고, 도 6은 제 1 선택부로부터 출력된 직류전압에 의해서 화소전압의 딜레이가 보상되는 효과를 설명하기 위한 도면이다.

먼저, 첫 번째 1H기간(H1)동안에 상기 데이터 라인(DL)에 인가되는 정극성의 화소전압 및 정극성의 직류전압에 대하여 설명하기로 한다.

도 6에 도시된 바와 같이, 첫 번째 1H기간(H1)의 첫 번째 기간(T1)동안 극성제어신호(POL) 및 로드 인에이블 신호(LE)는 모두 하이논리를 가지며, 상기 첫 번째 기간(T1)동안 소스 출력 인에이블 신호(SOE)는 디스에이블 구간을 갖는다. 따라서, 상기 하이논리의 극성제어신호(POL)에 응답하여 데이터 드라이버(371)는 정극성의 화소전압(+V_d)을 선택하며, 상기 하이논리의 극성제어신호(POL)에 의해 제 1 NMOS 트랜지스터(NT1)가 턴-온되어 정극성의 직류전압(+V_{dc})을 제 2 NMOS 트랜지스터(NT2)의 소스에 충전시키며, 상기 제 2 NMOS 트랜지스터(NT2)는 상기 하이논리의 로드 인에이블 신호

호(LE)에 의해 턴-온되어 상기 소스에 충전된 정극성의 직류전압(+Vdc)을 데이터 라인(DL)의 타측에 공급한다. 이때, 상기 정극성의 직류전압(+Vdc)은 상기 로드 인에이블 신호(LE)의 하이논리 구간에 해당하는 기간동안 상기 데이터 라인(DL)의 타측에 공급된다.

이후, 두 번째 기간(T2)동안 상기 극성제어신호(POL)는 하이논리를 유지하며, 상기 로드 인에이블 신호(LE)는 로우논리를 갖는다. 그리고, 상기 소스 출력 인에이블 신호(SOE)는 인에이블 구간을 갖는다. 여기서, 상기 두 번째 기간(T2)은 상기 소스 출력 인에이블 신호(SOE)의 인에이블 구간에 해당한다. 따라서, 상기 소스 출력 인에이블 신호(SOE)에 응답하여 상기 데이터 드라이버(371)는 상기 소스 출력 인에이블 신호(SOE)의 인에이블 구간에 해당하는 기간동안 상기 정극성의 화소전압(+Vd)을 상기 데이터 라인(DL)의 일측에 공급한다. 이때, 상기 정극성의 화소전압(+Vd)은 상기 데이터 라인(DL)에 미리 인가된 정극성의 직류전압(+Vdc)에 의해 프리차징(pre-charging)되므로, 상기 데이터 라인(DL)의 저항(R) 성분 및 커패시턴스 성분(C)에 의한 상기 정극성의 화소전압(+Vd)의 딜레이를 방지할 수 있으며, 결국 상기 정극성의 화소전압(+Vd)은 상기 소스 출력 인에이블 신호(SOE)의 인에이블 구간에 해당하는 기간동안 원하는 목표 전압값(+Vo)을 유지하게 된다.

이어서, 두 번째 1H기간(H2)동안 상기 데이터 라인(DL)에 인가되는 부극성의 화소전압(-Vd) 및 정극성의 직류전압(+Vdc)에 대하여 설명하기로 한다.

도 5에 도시된 바와 같이, 세 번째 기간(T3)동안 극성제어신호(POL) 및 로드 인에이블 신호(LE)는 모두 로우논리를 가지며, 상기 세 번째 기간(T3)동안 소스 출력 인에이블 신호(SOE)는 디스에이블 구간을 갖는다. 따라서, 상기 로우논리의 극성제어신호(POL)에 응답하여 상기 데이터 드라이버(371)는 부극성의 화소전압(-Vd)을 선택하며, 상기 로우논리의 극성제어신호(POL)에 의해 제 1 PMOS 트랜지스터(PT1)가 턴-온되어 부극성의 직류전압(-Vdc)을 제 2 NMOS 트랜지스터(NT2)의 소스에 충전시키며, 상기 제 2 NMOS 트랜지스터(NT2)는 상기 하이논리의 로드 인에이블 신호(LE)에 의해 턴-온되어 상기 소스에 충전된 부극성의 직류전압(-Vdc)을 상기 데이터 라인(DL)의 타측에 공급한다. 이때, 상기 부극성의 직류전압(-Vdc)은 상기 로드 인에이블 신호(LE)의 하이논리 구간에 해당하는 기간동안 상기 데이터 라인(DL)의 타측에 공급된다.

이후, 네 번째 기간(T4)동안 상기 극성제어신호(POL)는 로우논리를 유지하며, 상기 로드 인에이블 신호(LE)는 로우논리를 갖는다. 그리고, 상기 소스 출력 인에이블 신호(SOE)는 인에이블 구간을 갖는다. 여기서, 상기 네 번째 기간(T4)은 상기 소스 출력 인에이블 신호(SOE)의 인에이블 구간에 해당한다. 따라서, 상기 소스 출력 인에이블 신호(SOE)에 응답하여 상기 데이터 드라이버(371)는 상기 소스 출력 인에이블 신호(SOE)의 인에이블 구간에 해당하는 기간동안 상기 부극성의 화소전압(-Vd)을 상기 데이터 라인(DL)의 일측에 공급한다. 이에 따라, 상기 부극성의 화소전압(-Vd)은 상기 데이터 라인(DL)에 미리 인가된 상기 부극성의 직류전압(-Vdc)에 의해 프리차징되므로, 상기 데이터 라인(DL)의 저항(R) 성분 및 커패시턴스 성분(C)에 의한 상기 부극성의 화소전압(-Vd)의 딜레이를 방지할 수 있으며, 상기 부극성의 화소전압(-Vd)은 상기 소스 출력 인에이블 신호(SOE)의 인에이블 구간에 해당하는 기간동안 원하는 목표 전압값(-Vo)을 유지하게 된다.

한편, 상기 직류전압은 상기 화소전압의 계조에 상관없이 일정한 크기를 갖는 전압이기 때문에, 모든 계조의 화소전압에 대하여 가장 최적화된 전압 크기를 가질 필요가 있다. 즉, 상기 정극성의 직류전압(+Vdc)은 화소전압 중 최대전압, 즉 노멀리 화이트 모드에서 최고계조(블랙)의 화소전압의 전압 크기와 동일한 전압 크기를 가질 때, 정극성에 해당하는 모든 계조의 화소전압의 딜레이가 가장 효과적으로 보상될 수 있으며, 상기 부극성의 직류전압(-Vdc)은 상기 화소전압 중 최소전압, 즉 노멀리 화이트 모드에서 최저계조(화이트)의 화소전압의 전압 크기와 동일한 크기를 가질 때, 상기 부극성에 해당하는 모든 계조의 화소전압의 딜레이가 가장 효과적으로 보상될 수 있다. 실질적으로, 상기 정극성의 직류전압(+Vdc)은 최고계조의 화소전압보다 약 0.2V 낮은 전압 크기를 갖는 것이 바람직하며, 상기 부극성의 직류전압(-Vdc)은 상기 최저계조의 화소전압보다 약 0.2V 높은 전압 크기를 갖는 것이 바람직하다.

이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 따른 액정표시장치의 구동부 및 이의 구동방법에는 다음과 같은 효과가 있다.

본 발명에 따른 액정표시장치의 구동부의 데이터 라인에는 화소전압과 상기 화소전압의 딜레이를 방지하기 위한 직류전압이 함께 인가된다. 여기서, 상기 화소전압은 데이터 드라이버로부터 공급되며, 상기 직류전압은 전압발생부로부터 공급된다. 상기 전압발생부는 단지 정극성 및 부극성의 직류전압을 공급하기 위한 단순한 회로로서, 상기 데이터 드라이버에 구비된 데이터 드라이브 IC들보다 적은 비용으로 구성할 수 있다.

즉, 본 발명의 액정표시장치의 구동부는 종래처럼 두 개의 데이터 드라이버를 사용하지 않고, 하나의 데이터 드라이버 및 상기 전압발생부를 사용하므로 종래보다 적은 비용으로 상기 데이터 라인을 양방향에서 구동할 수 있다.

(57) 청구의 범위

청구항 1.

액정패널의 데이터 라인들의 일측에 액정을 구동하기 위한 화소전압을 인가하는 데이터 드라이버; 및

상기 데이터 라인들의 타측에 전압을 인가하는 전압발생부를 포함하여 구성되는 것을 특징으로 하는 액정표시장치의 구동부.

청구항 2.

제 1 항에 있어서,

상기 전압은 상기 화소전압보다 먼저 상기 데이터 라인들에 인가되는 것을 특징으로 하는 액정표시장치의 구동부.

청구항 3.

제 2 항에 있어서,

상기 전압은 직류전압인 것을 특징으로 하는 액정표시장치의 구동부.

청구항 4.

제 1 항에 있어서,

상기 전압발생부는 정극성의 직류전압을 출력하는 정극성 전압전원;

부극성의 직류전압을 출력하는 부극성 전압전원;

상기 정극성의 직류전압 및 부극성의 직류전압 중 하나를 선택하여 상기 데이터 라인들 중 홀수번째 데이터 라인들의 타측에 공급하는 제 1 선택부; 및

상기 정극성의 직류전압 및 부극성의 직류전압 중 하나를 선택하여 상기 데이터 라인들 중 짝수번째 데이터 라인들의 타측에 공급하는 제 2 선택부를 포함하는 것을 특징으로 하는 액정표시장치의 구동부.

청구항 5.

제 4 항에 있어서,

상기 정극성의 직류전압은 최고계조의 화소전압과 동일한 전압 크기를 갖는 것을 특징으로 하는 액정표시장치의 구동부.

청구항 6.

제 4 항에 있어서,

상기 부극성의 직류전압은 최저계조의 화소전압과 동일한 전압 크기를 갖는 것을 특징으로 하는 액정표시장치의 구동부.

청구항 7.

제 4 항에 있어서,

상기 제 1 선택부로부터 출력되는 직류전압과 상기 제 2 선택부로부터 출력되는 직류전압은 서로 반전된 극성을 가지는 것을 특징으로 하는 액정표시장치의 구동부.

청구항 8.

제 4 항에 있어서,

상기 제 1 선택부는 드레인, 극성반전신호가 인가되는 게이트 및 상기 정극성의 직류전압이 인가되는 소스를 갖는 제 1 NMOS 트랜지스터;

상기 제 1 NMOS 트랜지스터의 드레인에 연결되는 드레인, 상기 극성반전신호가 인가되는 게이트 및 상기 부극성의 직류전압이 인가되는 소스를 갖는 PMOS 트랜지스터; 및

상기 제 1 NMOS 트랜지스터의 드레인과 상기 PMOS 트랜지스터의 드레인에 연결되는 소스, 인에이블 신호가 인가되는 게이트 및 상기 홀수번째 데이터 라인들의 타측에 연결되는 드레인을 갖는 제 2 NMOS 트랜지스터를 포함하는 것을 특징으로 하는 액정표시장치의 구동부.

청구항 9.

제 4 항에 있어서,

상기 제 2 선택부는 드레인, 상기 극성반전신호가 인가되는 게이트 및 상기 정극성의 직류전압이 인가되는 소스를 갖는 PMOS 트랜지스터;

상기 PMOS 트랜지스터의 드레인에 연결되는 드레인, 상기 극성반전신호가 인가되는 게이트 및 상기 부극성의 직류전압이 인가되는 소스를 갖는 제 1 NMOS 트랜지스터;

상기 PMOS 트랜지스터의 드레인과 상기 제 1 NMOS 트랜지스터의 드레인에 연결되는 소스, 상기 인에이블 신호를 인가받는 게이트 및 상기 짝수번째 데이터 라인들의 타측에 연결되는 드레인을 갖는 제 2 NMOS 트랜지스터를 포함하는 것을 특징으로 하는 액정표시장치의 구동부.

청구항 10.

제 1 항에 있어서,

상기 전압발생부가 실장되는 인쇄회로기판 및 상기 인쇄회로기판과 상기 데이터 라인들간을 전기적으로 접속시키는 TCP를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동부.

청구항 11.

제 10 항에 있어서,

상기 인쇄회로기판과 상기 데이터 라인들간을 FPC로 연결하는 것을 특징으로 하는 액정표시장치의 구동부.

청구항 12.

액정패널의 데이터 라인들의 일측에 액정을 구동하기 위한 화소전압을 인가하는 단계; 및

상기 데이터 라인들의 타측에 전압을 인가하는 단계를 포함하여 이루어지는 것을 특징으로 하는 액정표시장치의 구동부의 구동방법.

청구항 13.

제 12 항에 있어서,

상기 전압은 상기 화소전압보다 먼저 상기 데이터 라인들에 인가되는 것을 특징으로 하는 액정표시장치의 구동부의 구동방법.

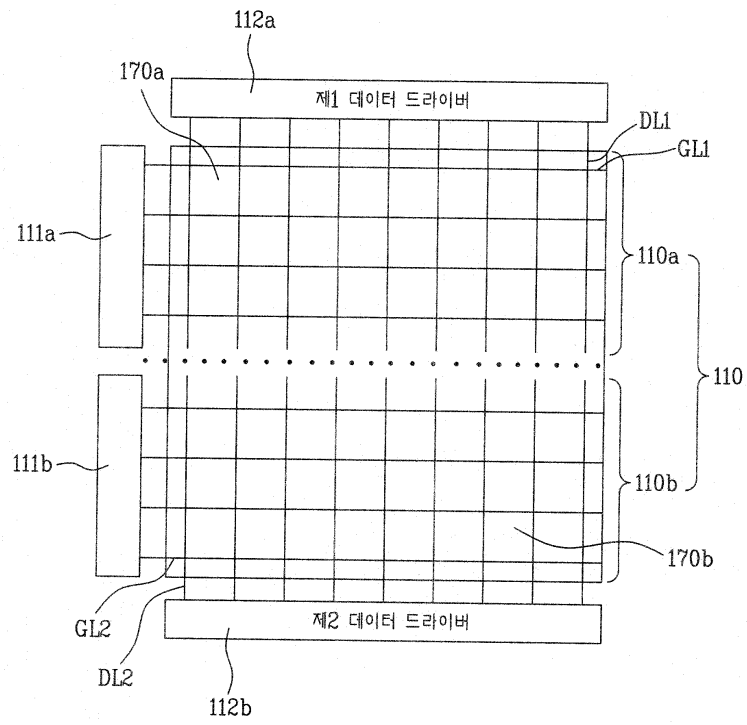
청구항 14.

제 13 항에 있어서,

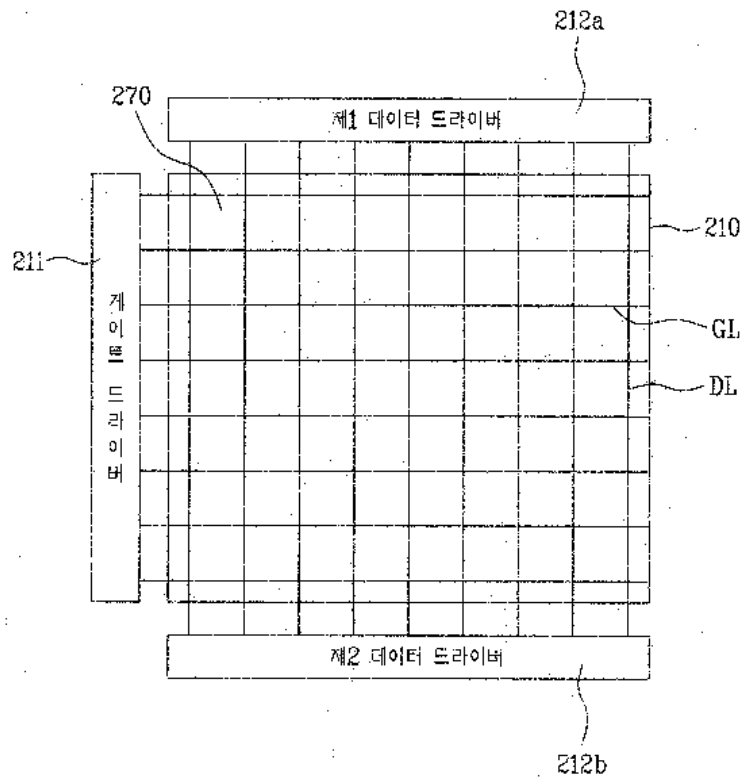
상기 전압은 직류전압인 것을 특징으로 하는 액정표시장치의 구동부의 구동방법.

도면

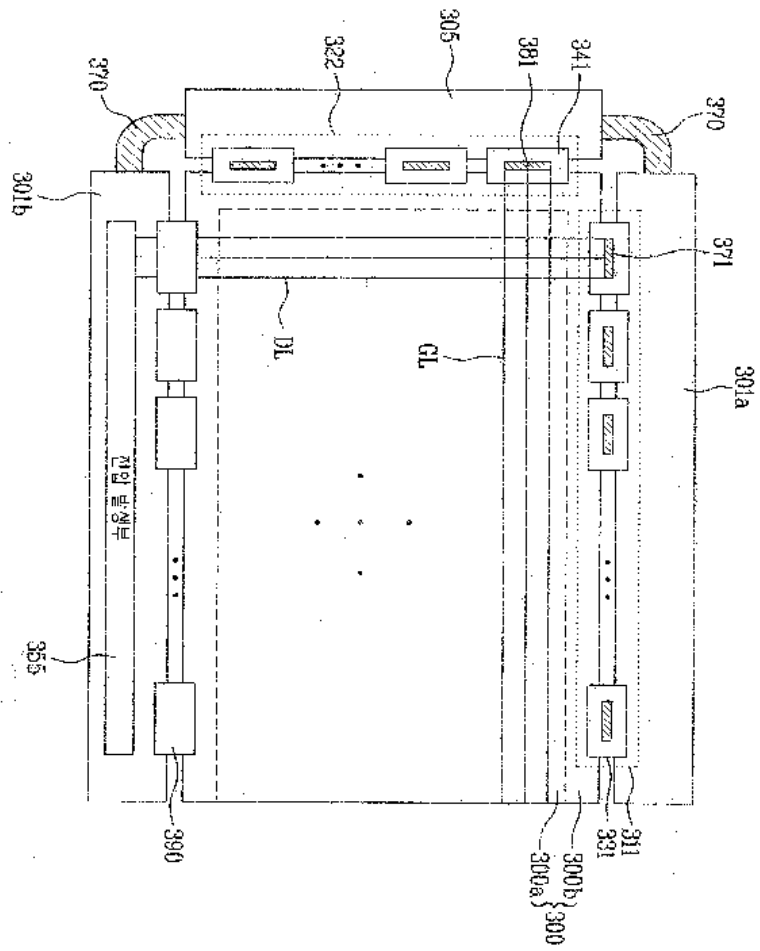
도면1



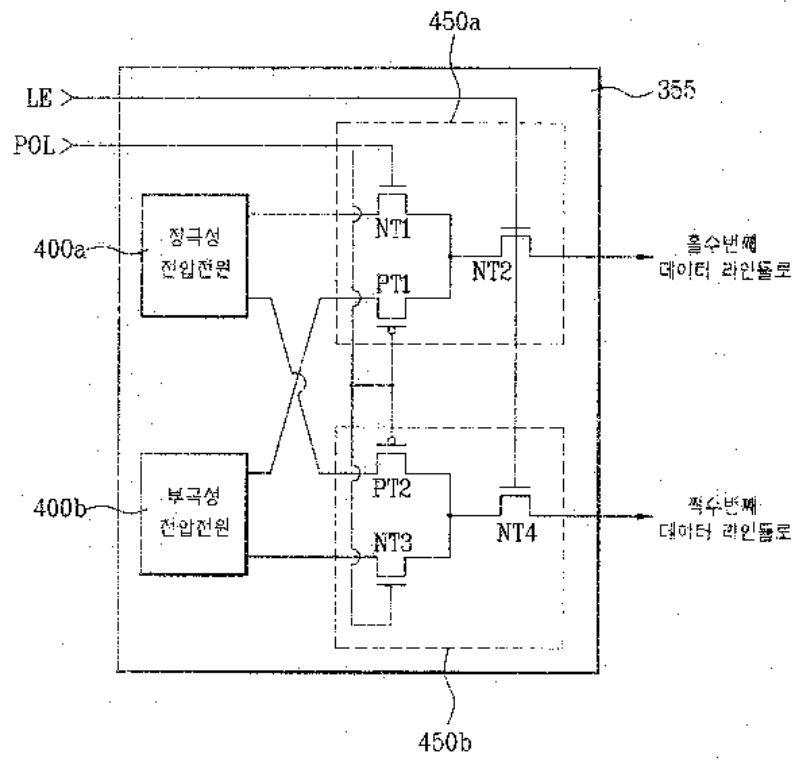
도면2



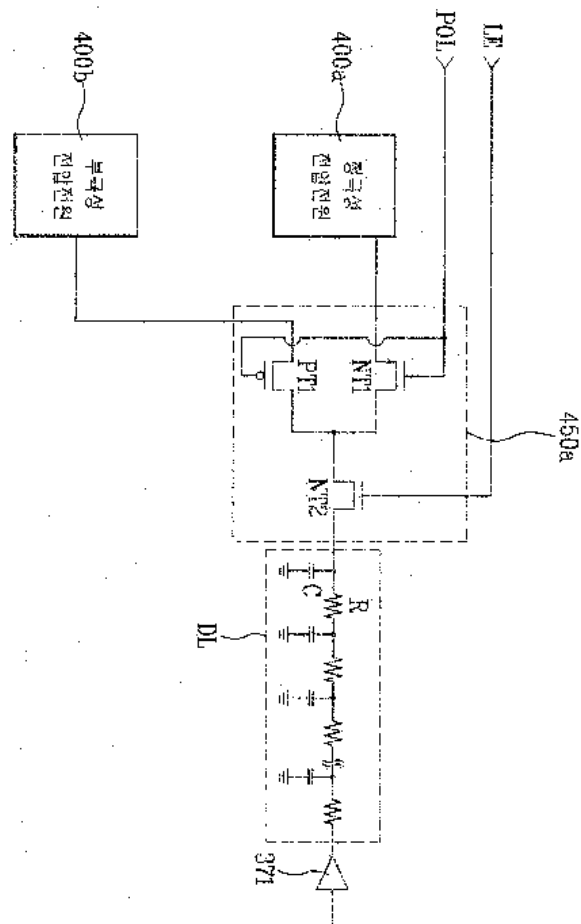
도면3



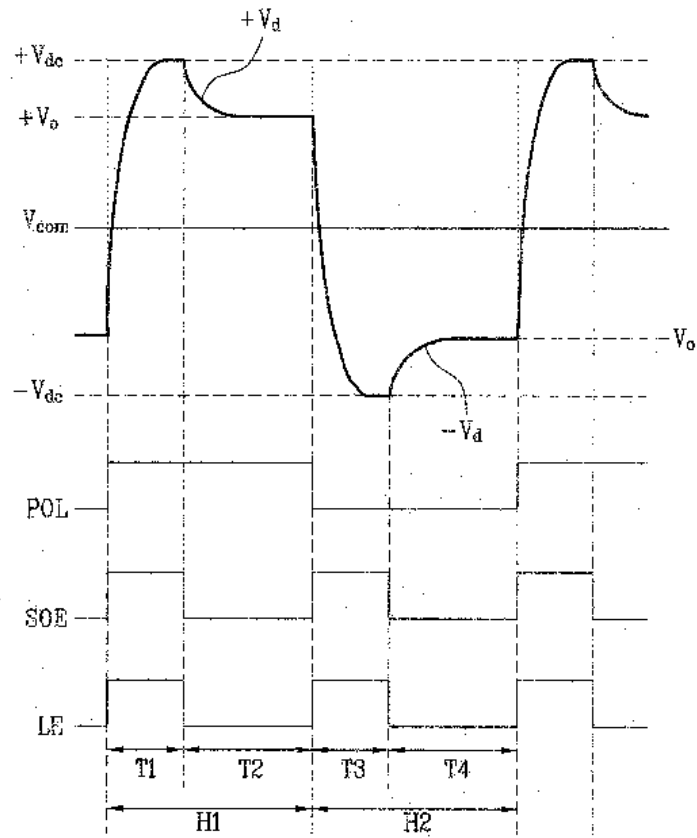
도면4



도면5



도면6



专利名称(译)	液晶显示装置的驱动部分及其驱动方法		
公开(公告)号	KR1020060012801A	公开(公告)日	2006-02-09
申请号	KR1020040061446	申请日	2004-08-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK JOONHA 박준하		
发明人	박준하		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3685 G09G3/3696 G09G2300/0823 G09G2310/0283		
代理人(译)	Simchangseop Gimyongin		
其他公开文献	KR100606973B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置的驱动电路及其驱动方法，通过使用一个数据驱动器和一个用于驱动数据线的电压发生器来驱动双向日期线。组成：一个驱动电路LCD（液晶显示器）包括数据驱动器（311）和电压发生器（355）。数据驱动器在LCD面板的数据线的一侧施加像素电压。像素电压用于驱动LCD。电压发生器在数据线的另一侧施加电压。在像素电压之前将电压施加在数据线上。电压是直流电压。©KIPO 2006

