

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) 。 Int. Cl.⁷
G02F 1/1343(11) 공개번호 10-2005-0058593
(43) 공개일자 2005년06월17일(21) 출원번호 10-2003-0090524
(22) 출원일자 2003년12월12일(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지(72) 발명자 장윤경
경기도의왕시오전동21진달래APT103동807호
유상희
서울특별시영등포구대림1동906번지54호

(74) 대리인 허용록

심사청구 : 없음

(54) 액정표시장치

요약

본 발명에 의한 액정표시장치는, 하부기판 상에 서로 교차하며 형성되는 다수의 게이트 라인 및 데이터 라인과; 상기 게이트 라인 및 데이터 라인이 교차되는 영역 상에 형성되는 다수의 화소전극과; 상기 게이트 라인 및 데이터 라인의 교차부에 형성되는 다수의 박막트랜지스터가 구비되는 액정표시장치에 있어서,

축적 캐패시터의 제 1전극으로 사용되는 상기 게이트 라인의 소정 부분과 상기 게이트 라인에 인접하는 상기 화소 전극 부분이 배향막의 러빙 방향과 동일한 방향으로 기울어진 구조로 형성됨을 특징으로 한다.

이와 같은 본 발명에 의하면, 마스크의 증가 또는 공정의 증가, 공정의 변경 없이 빗샘 현상을 최소화할 수 있으며, 상기 빗샘 현상을 최소화함으로써 결과적으로 동일 개구율을 유지하면서 Contrast Ratio를 확보할 수 있다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치의 일부를 나타내는 분해 사시도.

도 2는 종래의 액정표시장치용 어레이기판의 일부 화소를 개략적으로 도시한 확대 평면도.

도 3은 도 2의 특정부분 I-I에 대한 단면도.

도 4는 본 발명에 의한 액정표시장치용 어레이기판의 일부 화소를 개략적으로 도시한 확대 평면도.

도 5는 도 4의 특정부분 II-II에 대한 단면도.

<도면의 주요 부분에 대한 부호의 설명>

43: 게이트 라인 45: 데이터 라인

47: 전단 화소전극 49: 후단 화소전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 러빙 불량에 의한 빛샘 현상을 극복하는 화소 구조를 갖는 액정표시장치에 관한 것이다.

일반적으로 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

이에 따라, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 편광된 빛이 임의로 변조되어 화상정보를 표현할 수 있다.

이러한 상기 액정은 전기적인 특성 분류에 따라 유전율 이방성이 양(+)인 포지티브 액정과 음(-)인 네거티브 액정으로 구분될 수 있으며, 유전율 이방성이 양인 액정분자는 전기장이 인가되는 방향으로 액정분자의 장축이 평행하게 배열하고, 유전율 이방성이 음인 액정분자는 전기장이 인가되는 방향과 액정분자의 장축이 수직하게 배열한다.

현재에는 박막트랜지스터와, 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 액티브 매트릭스형 액정표시장치(Active Matrix LCD)가 해상도 및 동영상 구현능력이 우수하여 일반적으로 사용되고 있다.

상기 액정표시장치를 구성하는 기본적인 부품인 액정패널의 구조를 살펴보면 다음과 같다.

도 1은 일반적인 액정표시장치의 일부를 나타내는 분해 사시도이다.

도 1을 참조하면, 일반적인 액정표시장치(11)는 블랙매트릭스(6)와 서브컬러필터(적, 녹, 청)(8)를 포함한 컬러필터(7)와, 컬러필터 상에 투명한 공통전극(18)이 형성된 상부기관(5)과, 화소영역(P)과 상기 화소영역 상에 형성된 화소전극(17)과 스위칭소자(T)를 포함한 어레이배선이 형성된 하부기관(22)으로 구성되며, 상기 상부기관(5)과 하부기관(22) 사이에는 앞서 설명한 액정(14)이 충전되어 있다.

상기 하부기관(22)은 어레이 기관이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스 형태로 위치하고, 이러한 다수의 박막트랜지스터를 교차하여 지나가는 게이트 라인(13)과 데이터 라인(15)이 형성된다.

또한, 상기 화소영역(P)은 상기 게이트 라인(13)과 데이터 라인(15)이 교차하여 정의되는 영역이다. 상기 화소영역(P) 상에 형성되는 화소전극(17)은 인듐-틴-옥사이드(ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 전도성 금속을 사용한다.

상기와 같이 구성되는 액정표시장치(11)는 상기 화소전극(17) 상에 위치한 액정층(14)이 상기 박막트랜지스터로부터 인가된 신호에 의해 배향되고, 상기 액정층의 배향정도에 따라 상기 액정층을 투과하는 빛의 양을 조절하는 방식으로 화상을 표현할 수 있다.

도 2는 종래의 액정표시장치용 어레이기관의 일부 화소를 개략적으로 도시한 확대 평면도이다.

도 2를 참조하면, 게이트 라인(13)과 데이터 라인(15)이 교차하여 화소영역(P)을 정의하며 형성되고, 상기 게이트 라인(13)과 데이터 라인(15)의 교차지점에는 게이트전극(31)과 소스전극(33) 및 드레인전극(35)으로 구성된 박막트랜지스터(T)가 구성된다.

상기 소스전극(33)과 드레인전극(35)은 상기 게이트전극(31) 상부에서 소정간격 이격되어 구성되며, 이격된 사이로 액티브 채널(미도시)이 노출된다.

이와 같은 상기 박막트랜지스터의 게이트전극(31)에 소정의 스캐닝 펄스가 인가되면 이에 따라 게이트전극(31)의 전압이 높아지게 되고, 상기 박막트랜지스터는 온(on)상태로 된다. 이 때, 액정구동전압이 상기 데이터 라인(15)으로부터 박막트랜지스터(T)의 드레인, 소스간을 경유하여 액정에 인가되며, 액정용량과 축적용량을 합친 화소용량이 충전된다.

여기서, 상기 축적용량은 게이트라인(13)의 일부와 이에 중첩되는 후단부 화소전극(19)의 일부 및, 상기 게이트라인(13)의 일부와 이에 중첩되는 보조전극(18)으로 구성되는 온 게이트(on gate) 방식의 축적 캐패시터에 의해 형성된다.

도 3은 도 2의 특정부분 I-I에 대한 단면도로, 이는 상기 축적 캐패시터 영역에 대한 단면도이다.

도 3을 참조하면, 기관(100) 상에 축적 캐패시터의 제 1 전극으로 사용되는 게이트라인(13)이 형성되어 있고, 상기 게이트라인(13)을 포함하는 기관의 노출된 면에 게이트 절연막(12)이 형성되어 있다.

그리고, 상기 게이트 절연막(12) 상에는 소스/드레인 전극 형성용 금속층으로 형성된 캐패시터의 제 2 전극으로 사용되는 보조전극(18)이 형성되어 있다.

또한, 상기 보조전극(18)을 보호막(14)이 덮고 있으며, 보호막(14)에는 보조전극(18)의 일부를 노출시키는 콘택홀이 형성되어 있고, 상기 콘택홀을 통하여 화소전극(19)이 보조전극(18)과 연결되면서 보호막(14) 상에 형성되어 있다.

상기와 같이 게이트 라인, 데이터 라인 및 화소 등의 구비된 어레이 기관 즉, 하부기관이 형성되면, 이는 상부기관과 합착되고, 그 사이에 액정층이 형성되는데, 이 때 상기 하부기관의 하부에 배면광(back light)을 통해 조사되는 빛이 상기 화소 이외의 영역에서 새는 것을 방지하기 위해 상기 게이트 라인(13), 데이터 라인(15), 박막트랜지스터(T) 등과 중첩되는 상부기관(미도시) 상의 영역에 블랙매트릭스(BM)가 형성된다. 상기 블랙매트릭스(BM)가 형성되는 부분(20)은 도 2에 도시되어 있다.

또한, 상기 상, 하부기관에는 상기 액정층과의 접촉면에서 각각 전압 인가시 액정의 배향을 용이하게 해주는 상, 하부 배향막(미도시)이 형성되어 있다.

일반적으로 상기 배향막에는 액정의 배향을 일정하게 하고, 액정의 배향을 용이하게 유도하기 위한 선 경사각(pretilt angle)을 주기 위해 러빙처리를 하게 된다. 상기 러빙처리는 러빙포로 감싼 회전 롤러를 기관과 일정한 각도를 유지하며 압력을 가하여 배향막에 일정한 홈을 형성하는 것으로, 단차부가 형성된 기관의 경우 상기 단차부에 대해 러빙 불량이 발생될 수 있다.

이 때, 상기 하부기관은 상부기관에 비해 다수의 공정 즉, 증착, 포토리소그래피 등의 공정이 여러 번 반복되어 제작되기 때문에, 다수개의 어레이 소자들이 단차를 이루게 되어, 상기 상부기관에 비해 단차 빈도가 높게 된다.

이에 따라 상기 배향막의 주 시야각 확보를 위해 도 2에 도시된 바와 같이 위에서 아래로 45°각도로 하부기관을 러빙 처리할 때, 상기 어레이 소자들의 단차에 의해 러빙이 불균일하게 이루어 지기 쉽고, 상기 불균일한 러빙에 의해 빛샘 현상이 발생될 수 있는 것이다.

특히 도 3에 도시된 바와 같이 축적 캐패시터 영역에는 게이트 라인, 보조전극, 화소전극이 적층되어, 단차가 크게 형성되어 있으며, 그에 따라 상기 상, 하부기관이 위에서 아래로 45°각도로 하부기관을 러빙처리하게 되면, 상기 축적 캐패시터 영역의 단차부에 의해 러빙 불량이 발생되어 상기 영역에서 빛샘 현상이 유발되는 것이다.

이 때, 상기 러빙 방향은 주 시야각을 맞추기 위하여 그 변경이 불가능하고, 또한, 러빙 불량에 의한 빛샘 현상을 극복하기 위해 상기 영역에 해당하는 상부기관의 영역에 BM을 형성할 경우 액정표시장치의 개구율이 저하되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 축적 캐패시터의 제 1전극으로 사용되는 게이트 라인의 소정 부분과 상기 게이트 라인에 인접하는 화소 전극 부분이 배향막의 러빙 방향과 동일한 방향으로 기울어진 구조로 형성됨으로써, 러빙 불량에 따른 빛샘 현상을 최소화하는 액정표시장치를 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에 의한 액정표시장치는, 하부기관 상에 서로 교차하며 형성되는 다수의 게이트 라인 및 데이터 라인과; 상기 게이트 라인 및 데이터 라인이 교차되는 영역 상에 형성되는 다수의 화소전극과; 상기 게이트 라인 및 데이터 라인의 교차부에 형성되는 다수의 박막트랜지스터가 구비되는 액정표시장치에 있어서,

축적 캐패시터의 제 1전극으로 사용되는 상기 게이트 라인의 소정 부분과 상기 게이트 라인에 인접하는 상기 화소 전극 부분이 배향막의 러빙 방향과 동일한 방향으로 기울어진 구조로 형성됨을 특징으로 한다.

여기서, 상기 화소 전극 부분은, 상기 게이트 라인의 전단부에 형성되어 상기 박막트랜지스터와 전기적으로 연결되는 전단 화소전극의 하부 영역 및 상기 게이트 라인과 소정 영역 중첩되어 축적 캐패시터를 형성하는 후단 화소전극의 상부 영역임을 특징으로 한다.

또한, 상기 게이트 라인 및 상기 게이트 라인과 소정 영역 중첩되는 후단 화소 전극 사이에 상기 축적 캐패시터의 제 2전극으로 사용되는 보조 전극이 개재됨을 특징으로 한다.

또한, 상기 배향막의 러빙 방향은 위에서 아래로 45°각도이며, 상기 박막트랜지스터는 게이트 전극, 소스 전극, 드레인 전극이 포함되어 구성되며, 상기 박막트랜지스터의 드레인 전극이 상기 전단 화소 전극과 전기적으로 접속됨을 특징으로 한다.

이와 같은 본 발명에 의하면, 마스크의 증가 또는 공정의 증가, 공정의 변경 없이 빛샘 현상을 최소화할 수 있으며, 상기 빛샘 현상을 최소화함으로써 결과적으로 동일 개구율을 유지하면서 Contrast Ratio를 확보할 수 있다.

이하 첨부된 도면을 참조하여 본 발명에 의한 실시예를 상세히 설명하도록 한다.

도 4는 본 발명에 의한 액정표시장치용 어레이기관의 일부 화소를 개략적으로 도시한 확대 평면도이다.

도 4를 참조하면, 본 발명에 의한 액정표시장치용 어레이기판 즉, 하부기판 상에는 게이트 라인(43)과 데이터 라인(45)이 서로 교차하여 화소영역(P)을 정의하며 형성되고, 상기 게이트 라인(43)과 데이터 라인(45)의 교차지점에는 게이트전극(51)과 소스전극(53) 및 드레인전극(55)으로 구성된 박막트랜지스터(T)가 구성된다.

또한, 상기 상부 게이트 라인(43) 및 데이터 라인(45)이 교차되는 영역 즉, 상기 화소영역(P)에는 화소전극(47, 49)이 형성된다.

본 발명의 경우 상기 화소영역(P)을 가로지르는 영역의 상기 게이트 라인과 상기 영역 상의 게이트 라인에 인접하는 상기 화소 전극 부분이 배향막의 러빙 방향과 동일한 방향으로 기울어진 구조로 형성됨을 그 특징으로 한다.

여기서, 상기 화소 전극 부분은, 상기 게이트 라인(43)의 전단부에 형성되어 상기 박막트랜지스터와 전기적으로 연결되는 전단 화소전극(47)의 하부 영역 및 상기 게이트 라인(43)과 소정 영역 중첩되어 축적 캐패시터를 형성하는 후단 화소전극(49)의 상부 영역이 되는 것이다.

상기 박막트랜지스터의 소스전극(53)과 드레인전극(55)은 상기 게이트전극(51) 상부에서 소정간격 이격되어 구성되며, 이격된 사이로 액티브 채널(미도시)이 노출되며, 상기 드레인 전극(55)이 상기 전단 화소전극(47)과 전기적으로 접속되어, 데이터 라인(45)으로부터 인가되는 신호를 상기 전단 화소전극(47)에 전달하게 된다.

즉, 상기 박막트랜지스터의 게이트전극(51)에 소정의 스캐닝 펄스가 인가되면 이에 따라 게이트전극(51)의 전압이 높아지게 되고, 상기 박막트랜지스터는 온(on) 상태로 된다. 이 때, 액정구동전압이 상기 데이터 라인(45)으로부터 박막트랜지스터(T)의 소스, 드레인 전극(53, 55)을 경유하여 화소전극(47)을 통해 액정에 인가되며, 결과적으로 액정용량과 축적용량을 합친 화소용량이 충전된다.

여기서, 상기 축적용량은 게이트라인(43)의 일부와 이에 중첩되는 후단부 화소전극(49)의 일부 및, 상기 게이트라인(43)의 일부와 이에 중첩되는 보조전극(48)으로 구성되는 온 게이트(on gate) 방식의 축적 캐패시터에 의해 형성된다.

도 5는 도 4의 특정부분 II-II에 대한 단면도로, 이는 상기 축적 캐패시터 영역에 대한 단면도이다.

도 5를 참조하면, 기판(500) 상에 축적 캐패시터의 제 1 전극으로 사용되는 게이트라인(43)이 형성되어 있고, 상기 게이트라인(43)을 포함하는 기판의 노출된 면에 게이트 절연막(42)이 형성되어 있다.

그리고, 상기 게이트 절연막(42) 상에는 소스/드레인 전극 형성용 금속층으로 형성된 캐패시터의 제 2 전극으로 사용되는 보조전극(48)이 형성되어 있다.

또한, 상기 보조전극(48)을 보호막(44)이 덮고 있으며, 보호막(44)에는 보조전극(48)의 일부를 노출시키는 콘택홀이 형성되어 있고, 상기 콘택홀을 통하여 화소전극(49)이 보조전극(48)과 연결되면서 보호막(44) 상에 형성되어 있다.

상기와 같이 게이트 라인(43), 데이터 라인(45) 및 화소 등의 구비된 어레이 기판 즉, 하부기판이 형성되면, 이는 상부기판(미도시)과 합착되고, 그 사이에 액정층(미도시)이 형성되는데, 이 때 상기 하부기판의 하부에 배면광(back light)을 통해 조사되는 빛이 상기 화소 이외의 영역에서 새는 것을 방지하기 위해 상기 게이트 라인(43), 데이터 라인(45), 박막트랜지스터(T) 등과 중첩되는 상부기판(미도시) 상의 영역에 블랙매트릭스(BM)가 형성된다.

상기 블랙매트릭스(BM)가 형성되는 부분(40)은 도 4에 도시되어 있다.

또한, 상기 상, 하부기판에는 상기 액정층과의 접촉면에서 각각 전압 인가시 액정의 배향을 용이하게 해주는 상, 하부 배향막(미도시)이 형성되어 있다.

일반적으로 상기 배향막에는 액정의 배향을 일정하게 하고, 액정의 배향을 용이하게 유도하기 위한 선 경사각(pretilt angle)을 주기 위해 러빙처리를 하게 된다. 상기 러빙처리는 러빙포로 감싼 회전 롤러를 기판과 일정한 각도를 유지하며 압력을 가하여 배향막에 일정한 홈을 형성하는 것으로, 단차부가 형성된 기판의 경우 상기 단차부에 대해 러빙 불량이 발생할 수 있다.

이 때, 상기 하부기판은 상부기판에 비해 다수의 공정 즉, 증착, 포토리소그래피 등의 공정이 여러 번 반복되어 제작되기 때문에, 다수개의 어레이 소자들이 단차를 이루게 되어, 상기 상부기판에 비해 단차 빈도가 높게 된다.

중래의 경우 상기 축적 캐패시터 영역에는 게이트 라인, 보조전극, 화소전극이 적층되어 단차가 크게 형성되어 있기 때문에, 상기와 같이 위에서 아래로 45°각도로 하부기판을 러빙 처리하게 되면, 상기 축적 캐패시터 영역의 단차부에 의해 러빙 불량이 발생되어 상기 영역에서 빛샘 현상이 유발되는 문제가 있었다.

본 발명은 상기와 같은 문제점을 극복하기 위하여 화소영역(P)을 가로지르는 영역의 상기 게이트 라인 즉, 상기 축적 캐패시터의 제 1 전극으로 사용되는 게이트 라인의 소정 부분과 상기 영역 상의 게이트 라인에 인접하는 상기 화소 전극 부분이 배향막의 러빙 방향과 동일한 방향으로 기울어진 구조로 형성한다.

이 때, 상기 배향막의 러빙 방향은 위에서 아래로 45°각도이므로, 상기 영역에서의 게이트 라인 및 상기 게이트 라인에 인접한 화소전극 부분도 이와 같이 위에서 아래로 45°각도로 기울어진 구조로 형성하게 된다.

여기서, 상기 화소 전극 부분은, 도 4에 도시된 바와 같이 상기 게이트 라인(43)의 전단부에 형성되어 상기 박막트랜지스터와 전기적으로 연결되는 전단 화소전극(47)의 하부 영역 및 상기 게이트 라인(43)과 소정 영역 중첩되어 축적 캐패시터를 형성하는 후단 화소전극(49)의 상부 영역이 되는 것이다.

이와 같이 큰 단차부가 형성되는 상기 축적 캐패시터 영역을 상기 러빙 방향과 일치하도록 형성함으로써, 상기 영역에서의 러빙 불량에 따른 빛샘 현상을 극복할 수 있게 된다.

결과적으로 본 발명과 같은 구조를 취하면, 동일 개구율을 유지하면서 빛샘을 최소화할 수 있게 되고, 그에 따라 액정표시장치의 화질도 향상되는 것이다.

발명의 효과

본 발명에 의한 액정표시장치에 의하면, 마스크의 증가 또는 공정의 증가, 공정의 변경 없이 빛샘 현상을 최소화할 수 있으며, 상기 빛샘 현상을 최소화함으로써 결과적으로 동일 개구율을 유지하면서 Contrast Ratio를 확보할 수 있다는 장점이 있다.

(57) 청구의 범위

청구항 1.

하부기관 상에 서로 교차하며 형성되는 다수의 게이트 라인 및 데이터 라인과; 상기 게이트 라인 및 데이터 라인이 교차되는 영역 상에 형성되는 다수의 화소전극과; 상기 게이트 라인 및 데이터 라인의 교차부에 형성되는 다수의 박막트랜지스터가 구비되는 액정표시장치에 있어서,

축적 캐패시터의 제 1전극으로 사용되는 상기 게이트 라인의 소정 부분과 상기 게이트 라인에 인접하는 상기 화소 전극 부분이 배향막의 러빙 방향과 동일한 방향으로 기울어진 구조로 형성됨을 특징으로 하는 액정표시장치.

청구항 2.

제 1항에 있어서,

상기 화소 전극 부분은, 상기 게이트 라인의 전단부에 형성되어 상기 박막트랜지스터와 전기적으로 연결되는 전단 화소전극의 하부 영역 및 상기 게이트 라인과 소정 영역 중첩되어 축적 캐패시터를 형성하는 후단 화소전극의 상부 영역임을 특징으로 하는 액정표시장치.

청구항 3.

제 2항에 있어서,

상기 게이트 라인 및 상기 게이트 라인과 소정 영역 중첩되는 후단 화소 전극 사이에 축적 캐패시터의 제 2전극으로 사용되는 보조 전극이 개재됨을 특징으로 하는 액정표시장치.

청구항 4.

제 1항에 있어서,

상기 배향막의 러빙 방향은 위에서 아래로 45°각도 임을 특징으로 하는 액정표시장치.

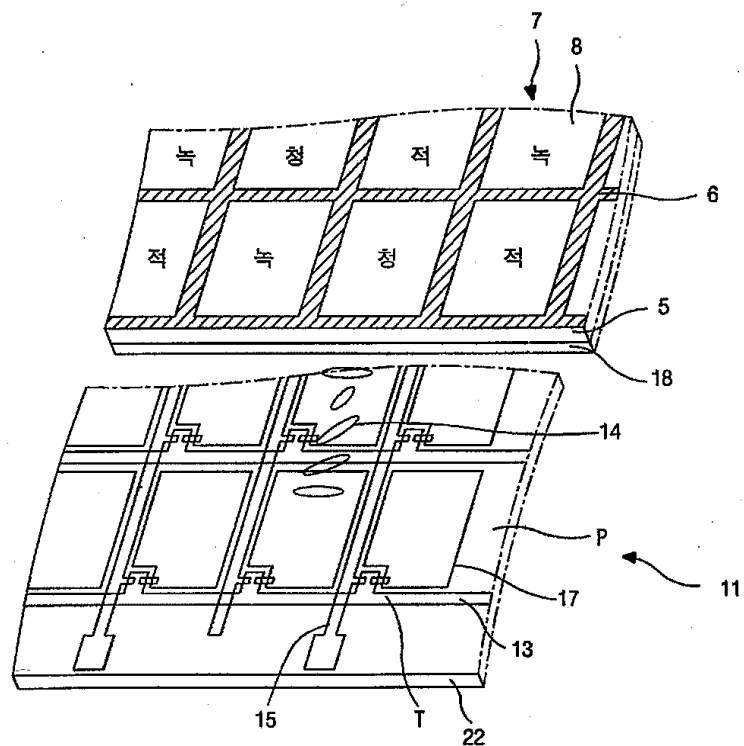
청구항 5.

제 2항에 있어서,

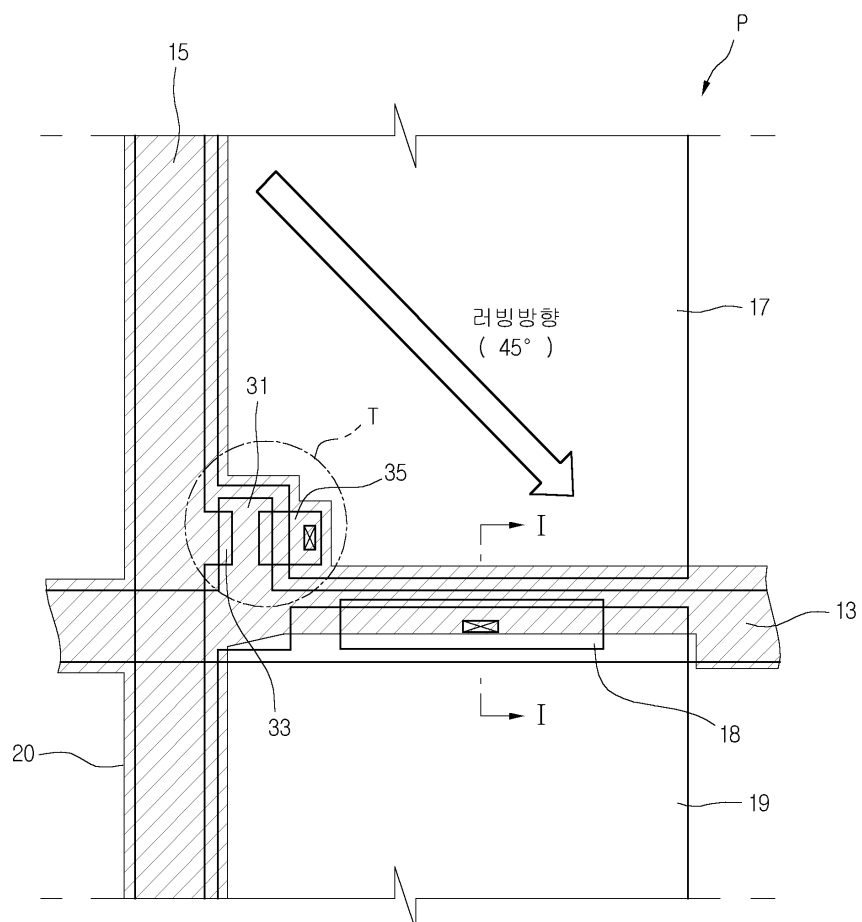
상기 박막트랜지스터는 게이트 전극, 소스 전극, 드레인 전극이 포함되어 구성되며, 상기 박막트랜지스터의 드레인 전극이 상기 전단 화소 전극과 전기적으로 접속됨을 특징으로 하는 액정표시장치.

도면

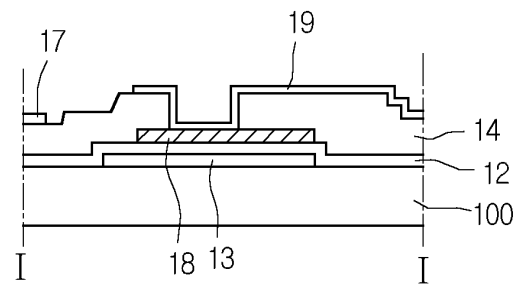
도면1



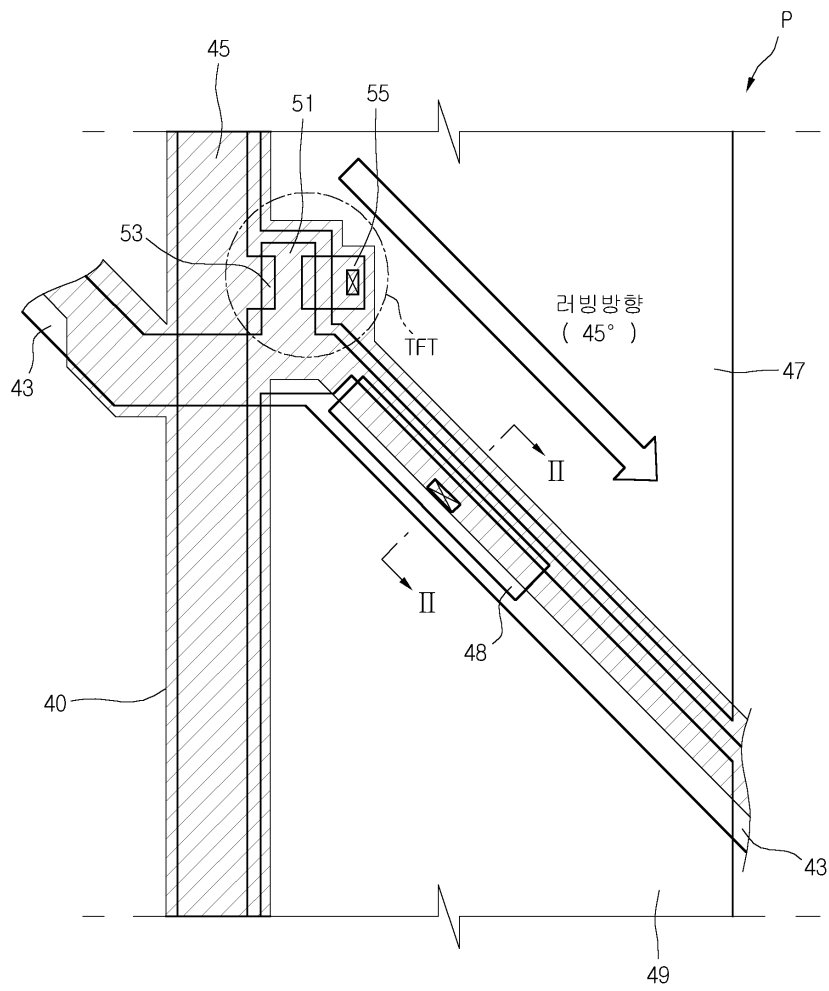
도면2



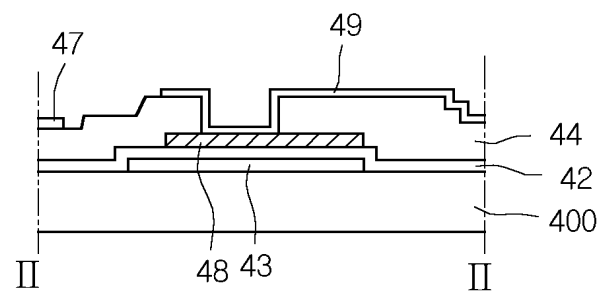
도면3



도면4



도면5



专利名称(译)	液晶显示器		
公开(公告)号	KR1020050058593A	公开(公告)日	2005-06-17
申请号	KR1020030090524	申请日	2003-12-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHANG YOUNGYOUNG 장윤경 YU SANGHEE 유상희		
发明人	장윤경 유상희		
IPC分类号	G02F1/1343		
其他公开文献	KR101001490B1		
外部链接	Espacenet		

摘要(译)

根据本发明的液晶显示装置包括：多条栅极线和数据线，形成在下基板上以便彼此交叉；多个像素电极形成在栅极线和数据线交叉的区域上；以及在栅极线和数据线的交叉处形成的多个薄膜晶体管，其中栅极线的预定部分用作存储电容器的第一电极和像素电极并且该部分形成为在与取向膜的摩擦方向相同的方向上倾斜的结构。根据本发明，可以在不增加掩模数量，增加步骤数量和改变工艺，并使漏光现象最小化的情况下使漏光现象最小化，从而在保持相同孔径比的同时确保对比度。 4

