

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
G02F 1/133(11) 공개번호 10-2005-0058052
(43) 공개일자 2005년06월16일(21) 출원번호 10-2003-0090298
(22) 출원일자 2003년12월11일(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지(72) 발명자 정병무
경상북도칠곡군석적면남울리우방신천지타운205동902호
김도영
대구광역시북구동천동화성3차아파트105동1609호

(74) 대리인 김영호

심사청구 : 없음

(54) 액정표시장치 및 그의 구동방법

요약

본 발명은 화질 저하를 방지할 수 있도록 한액정표시장치 및 그의 구동방법에 관한 것이다.

본 발명에 의한 액정표시장치는 액정셀들이 매트릭스 타입으로 배열되며 다수의 데이터라인들과 다수의 게이트라인들의 교차부에 박막트랜지스터가 형성되는 액정표시패널과; 박막트랜지스터의 문턱전압 이상으로 설정되는 게이트 하이전압을 발생하는 제1 전압원과; 박막트랜지스터의 문턱전압 이하로 설정되는 게이트 로우 변형 전압을 발생하는 제2 전압원과; 게이트 로우 변형 전압보다 낮은 게이트 로우전압을 발생하는 제3 전압원과; n(n은 1 이상의 자연수) 번째 게이트 라인에 상기 n 번째 게이트 하이전압 및 n 번째 게이트 로우 변형 전압을 순차적으로 공급한 후 상기 n 번째 게이트 로우 변형 전압과 동기되도록 상기 n+1 번째 게이트 하이전압을 상기 n+1 번째 게이트라인에 공급하기 위한 게이트 절환부를 구비한다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 통상적인 스캔펄스를 나타내는 파형도.

도 2은 본 발명의 실시예에 의한 액정표시장치를 나타내는 도면.

도 3는 도 2에 도시된 액정표시장치에서 게이트 구동회로를 상세히 나타내는 도면.

도 4는 도 3에 도시된 게이트 구동회로에 의해 생성되어 게이트라인들에 공급되는 스캔펄스를 나타내는 도면.

도 5a 내지 도 5c는 도 4에 도시된 스캔펄스를 생성하기 위한 방법을 설명하기 위한 도면.

〈도면의 주요부분에 대한 부호의 설명〉

110 : 시스템 111 : 인터페이스회로

112 : 타이밍 컨트롤러 113 : 데이터 구동회로

114 : 게이트 구동회로 115 : 액정패널

116 : DC-DC 변환기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치 및 그의 구동방법에 관한 것으로, 특히 화질 저하를 방지할 수 있도록 한 액정표시장치 및 그의 구동방법에 관한 것이다.

통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다. 액정패널에는 게이트라인들과 데이터라인들이 교차하게 배열되고 그 게이트라인들과 데이터라인들의 교차로 마련되는 영역에 액정셀들이 위치하게 된다. 이 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련된다. 화소전극들 각각은 스위칭 소자인 박막트랜지스터(Thin Film Transistor; 이하, "TFT"라함)의 소스 및 드레인 단자들을 경유하여 데이터라인들 중 어느 하나에 접속된다. TFT의 게이트단자는 화소전압신호가 1라인분씩의 화소전극들에게 인가되게 하는 게이트라인들 중 어느 하나에 접속된다. 구동회로는 게이트라인들을 구동하기 위한 게이트 구동회로와, 데이터라인들을 구동하기 위한 데이터 구동회로와, 공통전극을 구동하기 위한 공통전압 발생부를 구비한다. 게이트 구동회로는 스캔신호를 게이트라인들에 순차적으로 공급하여 액정패널 상의 액정셀들을 1라인분씩 순차적으로 구동한다. 데이터 구동회로는 게이트라인들 중 어느 하나에 스캔신호가 공급될 때마다 데이터라인들 각각에 화소전압신호를 공급한다. 공통전압 발생부는 공통전극에 공통전압신호를 공급한다. 이에 따라, 액정표시장치는 액정셀별로 화소전압신호에 따라 화소전극과 공통전극 사이에 인가되는 전계에 의해 광투과율을 조절함으로써 화상을 표시한다.

이와 같은 액정표시장치의 액정패널에서는 데이터라인들에 공급되어진 데이터전압(공통전극 전압)과 액정셀에 충전되어진 액정 셀 전압과의 차전압에 해당하는 피드 쓰루 전압(Feed Through Voltage, ΔV_p)이 발생하게 된다. 이 피드 쓰루 전압(ΔV_p)은 TFT의 게이트단자와 액정 셀 전극 사이에 존재하는 기생 용량에 의해 발생하는 것으로써 액정패널 상에 인가되는 데이터에 따라 그 크기가 변동함으로써 플리커를 유발한다. 이러한 이 피드 쓰루 전압(ΔV_p)은 다음과 같이 [수학식1]로 정의된다.

$$\Delta V_p = \frac{C_{gd}}{C_{gd} + C_{lc} + C_{st}} \Delta V_g$$

수학식 1

여기서, C_{gd} 는 TFT의 게이트단자와 드레인단자사이에 형성되는 기생캐패시터이고, C_{lc} 는 TFT의 드레인 단자와 공통전극 사이에 접속된 액정캐패시터이다. C_{st} 는 TFT의 드레인 단자와 이전단 게이트라인에 접속된 스토리지 캐패시터이다. ΔV_g 는 게이트 펄스의 게이트 하이전압(V_{GH})과 게이트 로우전압(V_{GL})의 차전압이다.

한편, 플리커는 피드 쓰루 전압(ΔV_p)이 상승하게 되면 더 많이 유발된다. 이러한 피드 쓰루 전압(ΔV_p)은 게이트 펄스가 하강할 때 특히 더 많이 유발된다. 따라서, 플리커의 유발을 줄이기 위해서는 게이트 펄스가 하강할 때 피드 쓰루 전압(ΔV_p)을 줄여야 한다. 이러한 피드 쓰루 전압(ΔV_p)을 줄이기 위해서는 수학식1에서 보듯이 스캔펄스의 게이트 하이전압(V_{GH})과 게이트 로우전압(V_{GL})의 차전압인 ΔV_g 을 줄여야 함을 알 수 있다. 그러나, 종래의 액정표시장치에서 이용되는 스캔펄스는 도 1에 도시된 바와 같이 스캔펄스가 하강할 때 게이트 하이전압(V_{GH})에서 게이트 로우전압(V_{GL})으로 곧바로 하강하게 되므로 ΔV_g 가 커지게 된다. 이에 따라, 플리커가 많이 유발되어 화질이 저하되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 화질 저하를 방지할 수 있도록 한 액정표시장치 및 그의 구동방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시예에 의한 액정표시장치는 액정셀들이 매트릭스 타입으로 배열되며 다수의 데이터라인들과 다수의 게이트라인들의 교차부에 박막트랜지스터가 형성되는 액정표시패널과; 상기 박막트랜지스터의 문턱전압 이상으로 설정되는 게이트 하이전압을 발생하는 제1 전압원과; 상기 박막트랜지스터의 문턱전압 이하로 설정되는 게이트 로우 변형 전압을 발생하는 제2 전압원과; 상기 게이트 로우 변형 전압보다 낮은 게이트 로우전압을 발생하는 제3 전압원과; 상기 n (n 은 1 이상의 자연수) 번째 게이트 라인에 상기 n 번째 게이트 하이전압 및 n 번째 게이트 로우 변형 전압을 순차적으로 공급한 후 상기 n 번째 게이트 로우 변형 전압과 동기되도록 상기 $n+1$ 번째 게이트 하이전압을 상기 $n+1$ 번째 게이트라인에 공급하기 위한 게이트 절환부를 구비한다.

상기 액정표시장치에서 상기 게이트전압 절환부는 상기 다수의 게이트라인들 각각에 접속되어 제어신호에 따라 상기 게이트 하이전압, 게이트 로우 변형 전압 및 게이트 로우전압을 상기 다수의 게이트라인들 각각에 공급하기 위한 다수의 스위치들을 구비한다.

상기 액정표시장치에서 상기 n 및 n+1 번째 게이트라인을 제외한 나머지 게이트라인들에는 상기 게이트 로우전압을 공급하는 것을 특징으로 한다.

본 발명의 실시예에 의한 액정표시장치의 구동방법은 액정셀들이 매트릭스 타입으로 배열되며 다수의 데이터라인들과 다수의 게이트라인들의 교차부에 박막트랜지스터가 형성되는 액정표시패널을 구비하는 액정표시장치의 구동방법에 있어서, 상기 n(n은 1 이상의 자연수) 번째 게이트 라인에 상기 박막트랜지스터의 문턱전압보다 높은 게이트 하이전압을 인가하는 단계와, 상기 n 번째 게이트 라인에 상기 박막트랜지스터의 문턱전압보다 낮은 게이트 로우 변형 전압을 인가함과 동시에 상기 n+1 번째 게이트 라인에 상기 박막트랜지스터의 문턱전압보다 높은 게이트 하이전압을 인가하는 단계를 포함한다.

상기 액정표시장치의 구동방법에서 상기 n 및 n+1 번째 게이트 라인을 제외한 나머지 게이트 라인들에 상기 게이트 로우 변형 전압 보다 낮은 게이트 로우전압을 인가하는 단계를 더 포함한다.

상기 목적들 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 2 내지 도 5c를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 2 및 도 3은 본 발명의 실시예에 의한 액정표시장치를 나타내는 도면이다.

도 2 및 도 3을 참조하면, 본 발명의 실시예에 의한 액정표시장치는 $m \times n$ 개의 액정셀들(Clc)이 매트릭스 타입으로 배열되고 m 개의 데이터라인들(D1 내지 Dm)과 n 개의 게이트라인들(G1 내지 Gn)이 교차되며 그 교차부에 TFT가 형성된 액정패널(115)과, 액정패널(115)의 데이터라인들(D1 내지 Dm)에 데이터를 공급하기 위한 데이터 구동회로(113)와, 게이트라인들(G1 내지 Gn)에 스캔신호를 공급하기 위한 게이트 구동회로(114)와, 인터페이스회로(111)로부터의 동기신호를 이용하여 데이터 구동회로(113)와 게이트 구동회로(114)를 제어하기 위한 타이밍 콘트롤러(112)와, 액정패널(115)에 공급되는 전압들을 발생하기 위한 DC-DC 변환기(116)를 구비한다.

시스템(110)은 수직/수평 동기신호, 클럭신호 및 데이터(RGB)를 인터페이스회로(111)에 공급하고 전원으로부터 발생되는 3.3V의 VCC 전압을 전원전압으로써 디지털 회로소자들(111,112,113,114)과 DC-DC 변환기(116)에 공급한다.

액정패널(115)은 두 장의 유리기관 사이에 액정이 주입된다. 이 액정패널(115)의 하부 유리기관 상에 형성된 데이터라인들(D1 내지 Dm)과 게이트라인들(G1 내지 Gn)은 상호 교차된다. 데이터라인들(D1 내지 Dm)과 게이트라인들(G1 내지 Gn)의 교차부에 형성된 TFT는 게이트라인(G1 내지 Gn)으로부터의 스캔신호에 응답하여 데이터라인들(D1 내지 Dn) 상의 데이터를 액정셀(Clc)에 공급하게 된다. 이를 위하여, TFT의 게이트전극은 해당 게이트라인(G1 내지 Gn)에 접속되며, 소스전극은 해당 데이터라인(D1 내지 Dm)에 접속된다. 그리고 TFT의 드레인전극은 액정셀(Clc)의 화소전극에 접속된다. 액정패널(115)의 상부 유리기관 상에는 도시하지 않은 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 그리고 액정패널(115)의 상부 유리기관과 하부 유리기관 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내측 면 상에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다. 또한, 액정패널(115)의 액정셀(Clc) 각각에는 스토리지 캐패시터(Cst)가 형성된다. 스토리지 캐패시터(Cst)는 액정셀(Clc)의 화소전극과 전단 게이트라인 사이에 형성되거나, 액정셀(Clc)의 화소전극과 도시하지 않은 공통전극라인 사이에 형성되어 액정셀(Clc)의 전압을 일정하게 유지시키는 역할을 한다.

데이터 구동회로(113)는 타이밍 콘트롤러(112)로부터의 데이터 제어신호(DDC)에 응답하여 디지털 비디오 데이터(RGB)를 계조값에 대응하는 아날로그 감마전압으로 변환하고 그 아날로그 감마전압을 데이터라인들(D1 내지 Dm)에 공급한다. 이 데이터 구동회로(113)가 집적화된 데이터 드라이브 집적회로에는 전원전압으로써 3.3V의 VCC 전압이 공급된다.

타이밍 콘트롤러(112)는 인터페이스회로(111)를 경유하여 시스템(110)의 그래픽 콘트롤러로부터 입력되는 수직/수평 동기신호와 클럭신호를 이용하여 게이트 구동회로(114)를 제어하기 위한 게이트 제어신호(GDC)와 데이터 구동회로(113)를 제어하기 위한 데이터 제어신호(DDC)를 발생한다. 게이트 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 쉬프트 클럭(Gate Shift Clock : GSC), 게이트 출력 신호(Gate Output Enable : GOE) 등을 포함한다. 데이터 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse : GSP), 소스 쉬프트 클럭(Source Shift Clock : SSC), 소스 출력 신호(Source Output Enable : SOC), 극성신호(Polarity : POL) 등을 포함한다. 그리고 타이밍 콘트롤러(112)는 인터페이스회로(111)를 경유하여 시스템(110)의 그래픽 콘트롤러로부터 입력되는 디지털 비디오 데이터(RGB)를 재정렬하여 데이터 구동회로(113)에 공급한다. 이 타이밍 콘트롤러(112)를 구동시키기 위한 전원전압은 시스템(110)의 전원으로부터 입력되는 3.3V의 VCC 전압이다. 또한, VCC 전압은 타이밍 콘트롤러(112) 내부에 설치된 위상고정루프회로(Phase Lock Loop : PLL)의 전원전압으로 공급된다. 위상고정루프회로(PLL)는 타이밍 콘트롤러(112)에 입력되는 클럭신호를 도시하지 않은 발진기로부터 발생되는 기준 주파수와 비교하고 그 오차만큼 클럭신호의 주파수를 조정하여 디지털 비디오 데이터(RGB)를 샘플링하기 위한 클럭신호를 발생한다.

인터페이스회로(111)는 시스템(110)의 그래픽 콘트롤러로부터 입력되는 신호들의 전압레벨을 낮추고 주파수를 높임으로써 시스템(110)과 타이밍 콘트롤러(112) 사이에 필요한 신호배선 수를 줄이게 된다. 이 인터페이스회로(111)를 구동시키기 위한 전원전압은 시스템(110)의 전원으로부터 입력되는 3.3V의 VCC 전압이다.

인터페이스회로(111)로부터 타이밍 콘트롤러(112)에 공급되는 신호의 고주파 성분과 높은 전압으로 인하여 발생하는 전자기장(Interference : 이하, 'EMI'라 한다)을 줄이기 위하여, 인터페이스회로(111)와 타이밍 콘트롤러(112) 사이에는 도시하지 않은 EMI 필터가 설치되고 있다.

DC-DC 변환기(116)는 시스템(110)의 전원으로부터 입력되는 3.3V의 VCC 전압을 승압 또는 감압하여 액정패널(115)에 공급되는 전압을 발생한다. 이를 위하여, DC-DC 변환기(116)는 출력단에 출력전압을 절환하기 위한 출력 스위치소자와, 그 출력 스위치소자의 제어신호의 듀티비나 주파수를 제어하여 출력전압을 승압하거나 감압시키기 위한 펄스폭 변조기(Pulse Width Modulator : PWM)나 펄스주파수 변조기(Pulse Frequency Modulator : PFM)를 포함한다. 펄스폭 변조기는 출력 스위치소자의 제어신호 듀티비가 높여 DC-DC 변환기(116)의 출력 전압을 높이거나, 그 출력 스위치소자의 제어신호 듀티비를 낮추어 DC-DC 변환기(116)의 출력 전압을 낮춘다. 펄스주파수 변조기는 출력 스위치소자의 제어신호 주파수를 높여 DC-DC 변환기(116)의 출력 전압을 높이거나, 그 출력 스위치소자의 주파수를 낮추어 DC-DC 변환기(116)의 출력 전압을 낮춘다. DC-DC 변환기(116)의 출력 전압은 6V 이상의 VDD 전압, 10 단계 미만의 감마기준전압(GMA1~10), 2.5~3.3V의 VCOM 전압, 15V 이상의 게이트 하이전압(VGH), TFT의 문턱전압 이하의 직류전압인 게이트 로우 변형 전압(VGLT), -4V 이하의 게이트 로우전압(VGL)이다. 감마기준전압(GMA1~10)은 VDD 전압의 분압에 의해 발생된 전압이다. VDD 전압과 감마기준전압은 아날로그 감마전압으로써 데이터 구동회로(113)에 공급된다. VCOM 전압은 데이터 구동회로(113)를 경유하여 액정패널(115)에 형성된 공통전극에 공급되는 전압이다. VGH 전압은 TFT의 문턱전압 이상으로 설정된 스캔펄스의 하이논리전압으로써 게이트 구동회로(114)에 공급되고, VGLT 전압은 TFT의 문턱전압 이하로 설정된 스캔펄스의 제1 로우논리전압으로써 게이트 구동회로(114)에 공급되며, VGL 전압은 TFT의 오프 전압으로 설정된 스캔펄스의 제2 로우논리전압으로써 게이트 구동회로(114)에 공급된다.

게이트 구동회로(114)는 타이밍 컨트롤러(112)로부터의 게이트 제어신호(GDC)에 응답하여 스캔펄스를 게이트라인들(G1 내지 Gn)에 순차적으로 공급하여 데이터가 공급되는 액정패널(115)의 수평라인을 선택한다. 이 게이트 구동회로(114)가 집적화된 게이트 드라이브 집적회로에는 전원전압으로써 3.3V의 VCC 전압이 공급된다. 여기서, 스캔펄스는 게이트 구동회로(114)가 DC-DC 변환기(114)로부터 VGH 전압, VGLT 전압 및 VGL 전압을 공급받아 생성된다. 이러한 스캔펄스를 생성하기 위하여 게이트 구동회로(114)는 DC-DC 변환기(114)로부터 공급되는 게이트 하이전압(VGH), 게이트 로우 변형 전압(VGLT) 및 게이트 로우전압(VGL)을 순차적으로 각각의 게이트라인들에 공급하기 위해 n개의 게이트 라인들(G1 내지 Gn) 각각에 접속된 n개의 스위치들(S1 내지 Sn)을 구비한다. 이러한 스위치들(S1 내지 Sn)의 동작에 의해 생성된 도 4에 도시된 바와 같은 스캔펄스가 게이트라인들(G1 내지 Gn)에 공급된다. 따라서, 게이트 하이전압(VGH)은 게이트 로우전압(VGL)보다 높은 게이트 로우 변형 전압(VGLT)으로 하강하게 되므로 피드 쓰로 전압(ΔV_p)을 줄일 수 있게 된다. 이에 따라, 플리커가 유발되는 것을 방지할 수 있게 된다. 또한, 다음 게이트라인에 게이트 하이전압(VGH)이 공급될 때 이전 게이트라인에 게이트 로우 변형 전압(VGLT)을 공급함으로써 액정셀(Clc) 충전시 커패시터에 의한 영향으로 인한 화질이 저하되는 것을 방지할 수 있게 된다.

이를 상세히 설명하면, 먼저 도 5a에 도시된 바와 같이 제1 스위치(S1)가 DC-DC 변환기(114)로부터 공급되는 게이트 하이전압(VGH)과 연결되어 게이트 하이전압(VGH)을 제1 게이트라인(G1)에 공급한다. 이 때, 제1 게이트라인(G1)을 제외한 나머지 게이트라인들과 연결된 스위치들은 DC-DC 변환기(114)로부터 공급되는 게이트 로우전압(VGL)과 연결되어 게이트 로우전압(VGL)을 제1 게이트라인(G1)을 제외한 나머지 게이트라인들에 공급한다.

그 후, 도 5b에 도시된 바와 같이 제2 스위치(S2)가 DC-DC 변환기(114)로부터 공급되는 게이트 하이전압(VGH)과 연결되어 게이트 하이전압(VGH)을 제2 게이트라인(G2)에 공급한다. 이 때, 제1 스위치(S1)는 DC-DC 변환기(114)로부터 공급되는 게이트 로우 변형 전압(VGLT)과 연결되어 게이트 로우 변형 전압(VGLT)을 제1 게이트라인(G1)에 공급한다. 여기서, 게이트 로우 변형 전압(VGLT)은 TFT의 문턱전압 이하로 설정된다. 그리고, 제1 및 제2 게이트라인(G1, G2)을 제외한 나머지 게이트라인들과 연결된 스위치들은 DC-DC 변환기(114)로부터 공급되는 게이트 로우전압(VGL)과 연결되어 게이트 로우 변형 전압(VGLT)을 제1 및 제2 게이트라인(G1, G2)을 제외한 나머지 게이트라인들에 공급한다. 여기서, 제2 게이트라인(G2)에 게이트 하이전압(VGH)을 공급할 때 이전 라인인 제1 게이트라인(G1)에 게이트 로우 변형 전압(VGLT)을 공급함으로써 제2 게이트라인(G2)의 액정셀(Clc)을 충전시 커패시터에 의해 이전 라인인 제1 게이트라인(G1)에 영향을 미치는 것을 방지할 수 있다. 다시말해서, 제2 게이트라인(G2)과 접속된 스토리지 캐패시터(Cst)가 이전 라인인 제1 게이트라인(G1)과 접속되어 있으므로 제2 게이트라인(G2)에 게이트 하이전압(VGH)이 공급될 때 게이트 로우전압(VGL)이 공급되는 제1 게이트라인(G1)이 게이트 하이전압(VGH)의 영향을 받는 커패시터 현상이 발생하게 된다. 이러한 커패시터 현상에 의해 제2 게이트라인(G2)에 게이트 하이전압(VGH)이 공급될 때 제1 게이트라인(G1)에는 게이트 로우전압(VGL)이 조금씩 흔들림으로써 화면상에 가로선(dim)이 발생되어 화질을 저하시키게 된다. 이에 따라, 제2 게이트라인(G2)에 게이트 하이전압(VGH)을 공급할 때 이전 라인인 제1 게이트라인(G1)에 직류전압인 게이트 로우 변형 전압(VGLT)을 공급함으로써 커패시터를 방지하여 가로선(dim)이 발생하는 것을 방지할 수 있게 된다. 따라서, 화질이 저하되는 것을 방지할 수 있다.

그 다음, 도 5c에 도시된 바와 같이 제3 스위치(S3)가 DC-DC 변환기(114)로부터 공급되는 게이트 하이전압(VGH)과 연결되어 게이트 하이전압(VGH)을 제3 게이트라인(G3)에 공급한다. 이 때, 제2 스위치(S2)는 DC-DC 변환기(114)로부터 공급되는 게이트 로우 변형 전압(VGLT)과 연결되어 게이트 로우 변형 전압(VGLT)을 제2 게이트라인(G2)에 공급한다. 여기서, 게이트 로우 변형 전압(VGLT)은 TFT의 문턱전압 이하로 설정된다. 그리고, 제2 및 제3 게이트라인(G2, G3)을 제외한 나머지 게이트라인들과 연결된 스위치들은 DC-DC 변환기(114)로부터 공급되는 게이트 로우전압(VGL)과 연결되어 게이트 로우전압(VGL)을 제2 및 제3 게이트라인(G2, G3)을 제외한 나머지 게이트라인들에 공급한다. 여기서, 제3 게이트라인(G3)에 게이트 하이전압(VGH)을 공급할 때 이전 라인인 제2 게이트라인(G2)에 게이트 로우 변형 전압(VGLT)을 공급함으로써 제3 게이트라인(G3)의 액정셀(Clc)을 충전시 커패시터에 의해 이전 라인인 제2 게이트라인(G2)에 영향을 미치는 것을 방지할 수 있다. 다시말해서, 제3 게이트라인(G3)과 접속된 스토리지 캐패시터(Cst)가 이전 라인인 제2 게이트라인(G2)과 접속되어 있으므로 제3 게이트라인(G3)에 게이트 하이전압(VGH)이 공급될 때 게이트 로우전압(VGL)이 공급되는 제2 게이트라인(G1)이 게이트 하이전압(VGH)의 영향을 받는 커패시터 현상이 발생하게 된다. 이러한 커패시터 현상에 의해 제3 게이트라인(G3)에 게이트 하이전압(VGH)이 공급될 때 제2 게이트라인(G2)에는 게이트 로우전압(VGL)이 조금씩 흔들림으로써 화면상에 가로선(dim)이 발생되어 화질을 저하시키게 된다. 이에 따라, 제3 게이트라인(G3)에 게이트 하이전압(VGH)을 공급할 때 이전 라인인 제2 게이트라인(G2)에 직류전압인 게이트 로우 변형 전압(VGLT)을 공급함으로써 커패시터를 방지하여 가로선(dim)이 발생하는 것을 방지할 수 있게 된다. 따라서, 화질이 저하되는 것을 방지할 수 있다. 한편, 나머지 게이트라인들도 동일한 방법으로 생성된 스캔펄스를 공급받는다.

이와 같은 본 발명의 실시예에 의한 액정표시장치에서 게이트라인들(G1 내지 Gn)에 공급되는 스캔펄스는 게이트 하이전압(VGH)에서 TFT의 문턱전압보다 조금 낮게 설정된 전압값을 갖는 게이트 로우 변형 전압(VGLT)으로 하강한 후 다시 게이트 로우전압(VGL)으로 하강하게 된다. 이에 따라, 플리커 발생에 직접적인 관련이 있는 게이트 하이전압(VGH)과 게

이트로우 변형 전압(VGLT)의 차전압인 피드 쓰로우 전압(ΔV_p)이 줄어들게 되어 플리커 유발을 줄일 수 있게 된다. 또한, 게이트라인들(G1 내지 Gn)에 게이트 하이전압(VGH)이 공급될 때 이전단 게이트라인에 게이트 로우 변형 전압(VGLT)을 공급함으로써 커플링에 의한 가로선(dim)이 발생하는 것을 방지할 수 있게 된다. 이에 따라, 화질이 저하되는 것을 방지할 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그의 구동방법에 의하면 게이트라인들에 게이트 하이전압을 공급할 때 이전단 게이트라인에 TFT의 문턱전압보다 낮게 설정된 직류전압인 게이트 로우 변형 전압을 공급한다. 따라서, 이전단 게이트라인과의 커플링으로 인한 가로선이 발생하는 것을 방지할 수 있을 뿐만 아니라 피드 쓰로우 전압을 줄일 수 있게 되어 플리커 유발을 줄일 수 있게 된다. 이에 따라, 화질이 저하되는 것을 방지할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

액정셀들이 매트릭스 타입으로 배열되며 다수의 데이터라인들과 다수의 게이트라인들의 교차부에 박막트랜지스터가 형성되는 액정표시패널과;

상기 박막트랜지스터의 문턱전압 이상으로 설정되는 게이트 하이전압을 발생하는 제1 전압원과;

상기 박막트랜지스터의 문턱전압 이하로 설정되는 게이트 로우 변형 전압을 발생하는 제2 전압원과;

상기 게이트 로우 변형 전압보다 낮은 게이트 로우전압을 발생하는 제3 전압원과;

상기 n(n은 1 이상의 자연수) 번째 게이트 라인에 상기 n 번째 게이트 하이전압 및 n 번째 게이트 로우 변형 전압을 순차적으로 공급한 후 상기 n 번째 게이트 로우 변형 전압과 동기되도록 상기 n+1 번째 게이트 하이전압을 상기 n+1 번째 게이트 라인에 공급하기 위한 게이트 절환부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 게이트전압 절환부는,

상기 다수의 게이트라인들 각각에 접속되어 제어신호에 따라 상기 게이트 하이전압, 게이트 로우 변형 전압 및 게이트 로우전압을 상기 다수의 게이트라인들 각각에 공급하기 위한 다수의 스위치들을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3.

제 2 항에 있어서,

상기 n 및 n+1 번째 게이트라인을 제외한 나머지 게이트라인들에는 상기 게이트 로우전압을 공급하는 것을 특징으로 하는 액정표시장치.

청구항 4.

액정셀들이 매트릭스 타입으로 배열되며 다수의 데이터라인들과 다수의 게이트라인들의 교차부에 박막트랜지스터가 형성되는 액정표시패널을 구비하는 액정표시장치의 구동방법에 있어서,

상기 n(n은 1 이상의 자연수) 번째 게이트 라인에 상기 박막트랜지스터의 문턱전압보다 높은 게이트 하이전압을 인가하는 단계와,

상기 n 번째 게이트 라인에 상기 박막트랜지스터의 문턱전압보다 낮은 게이트 로우 변형 전압을 인가함과 동시에 상기 n+1 번째 게이트 라인에 상기 박막트랜지스터의 문턱전압보다 높은 게이트 하이전압을 인가하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

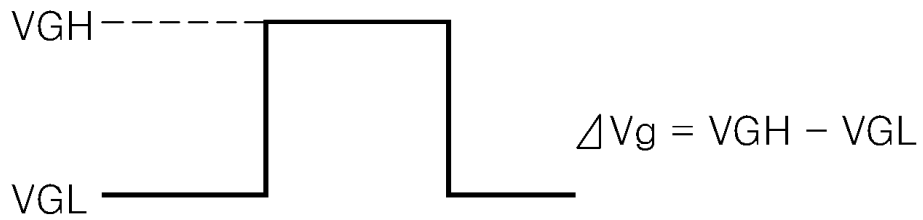
청구항 5.

제 4 항에 있어서,

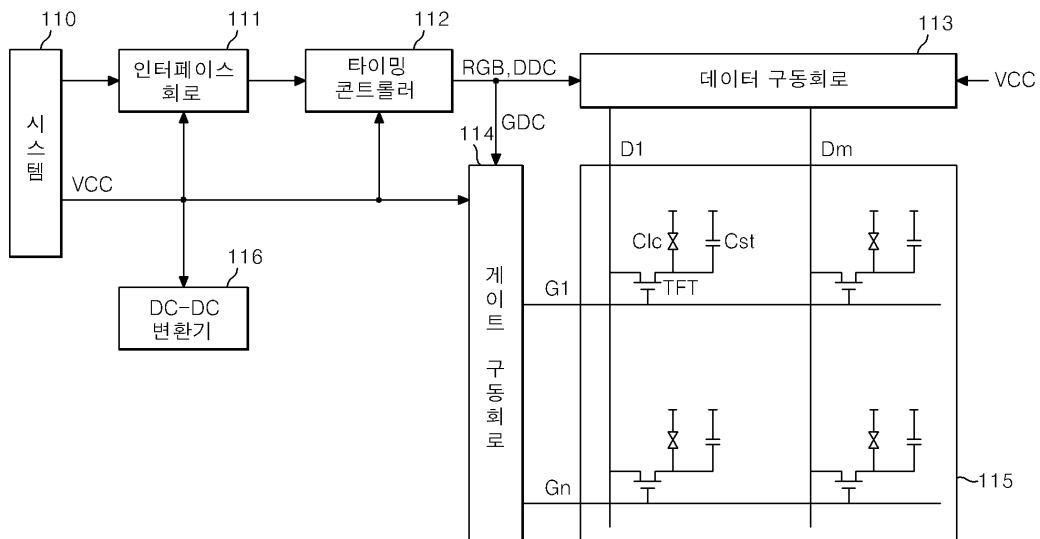
상기 n 및 n+1 번째 게이트 라인을 제외한 나머지 게이트 라인들에 상기 게이트 로우 변형 전압 보다 낮은 게이트 로우 전압을 인가하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

도면

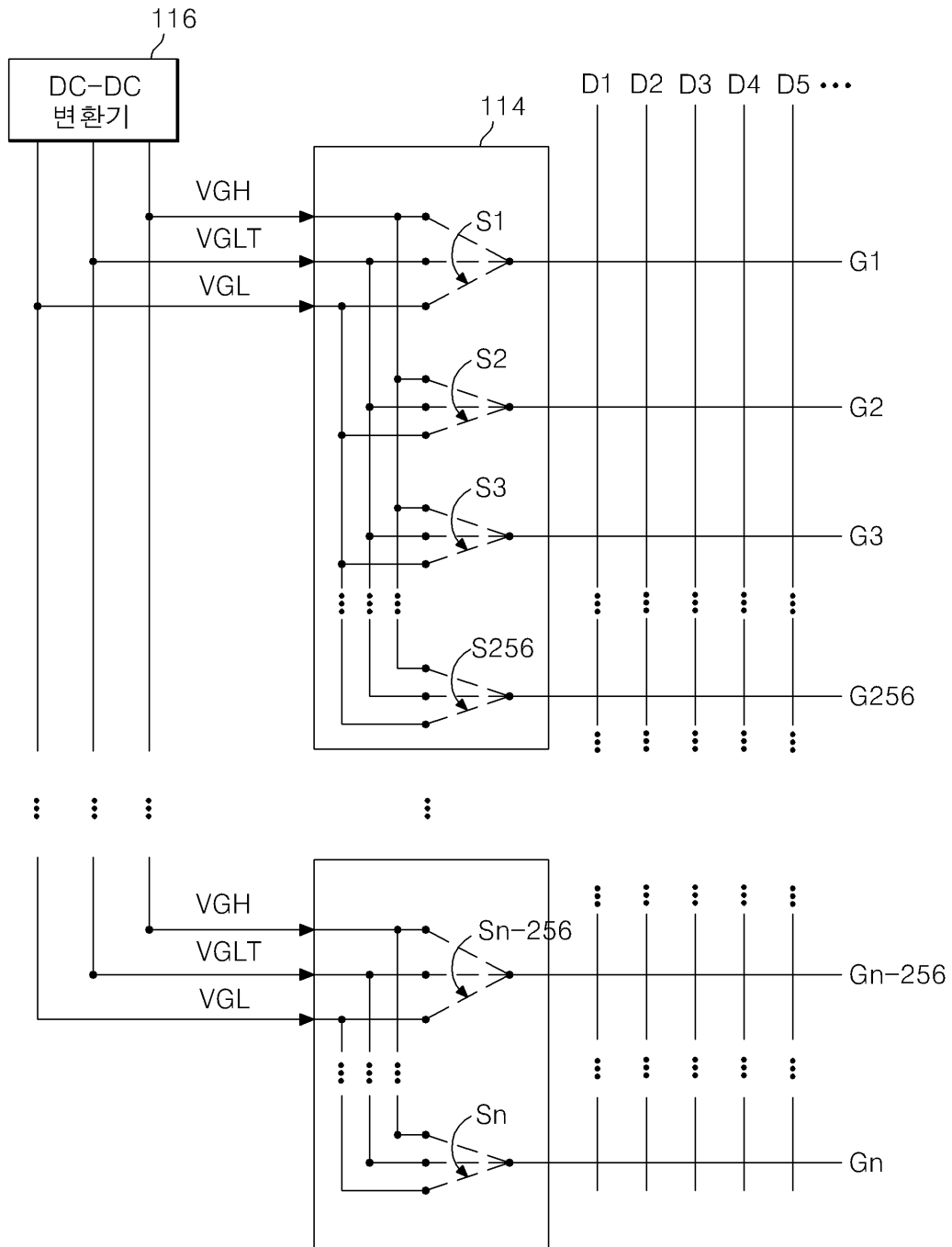
도면1



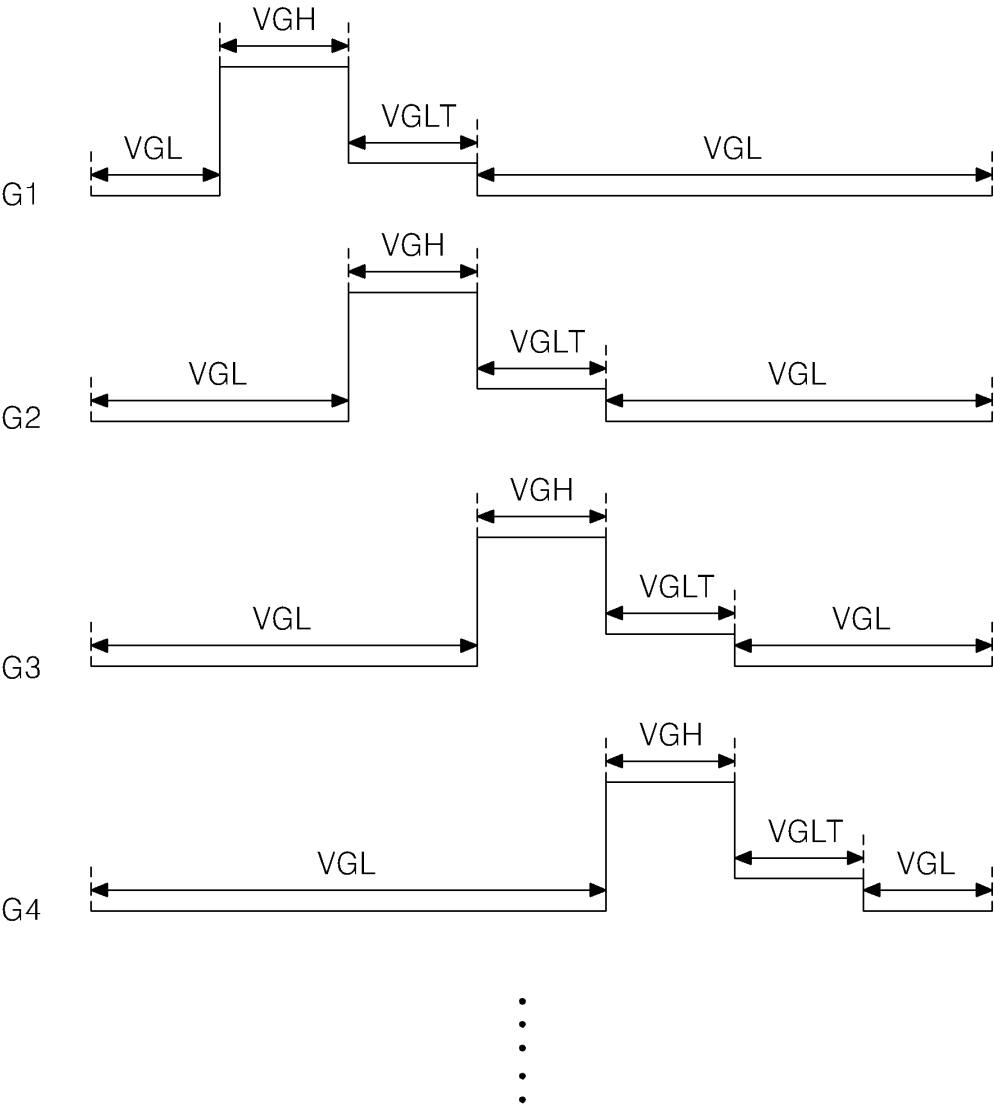
도면2



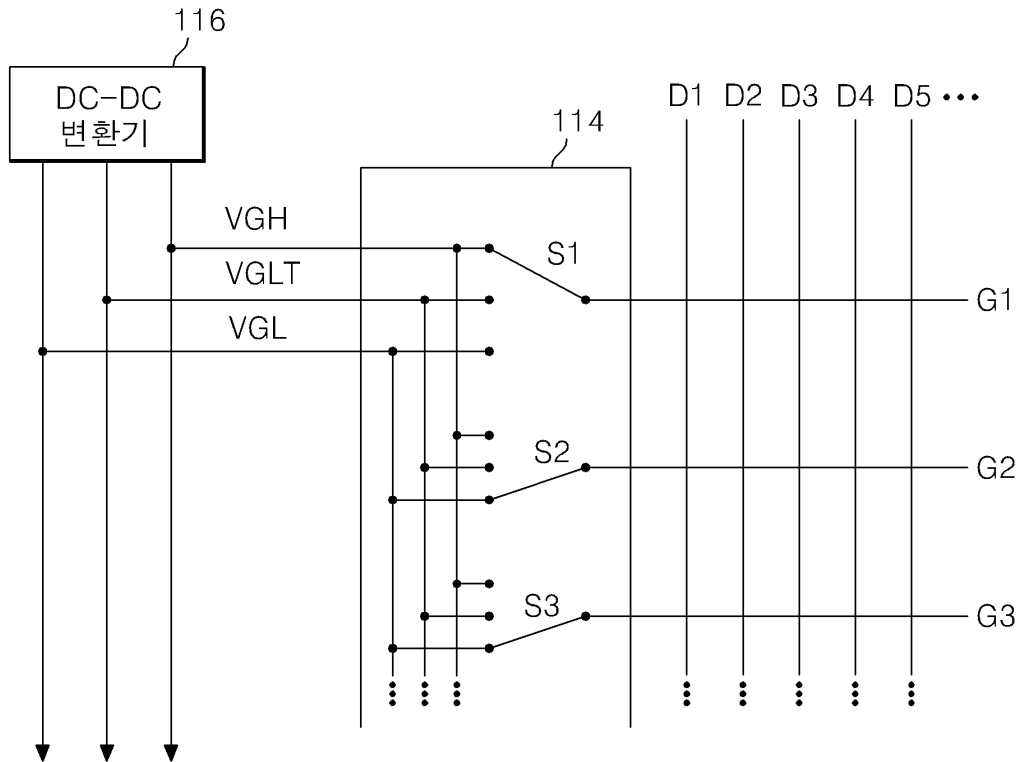
도면3



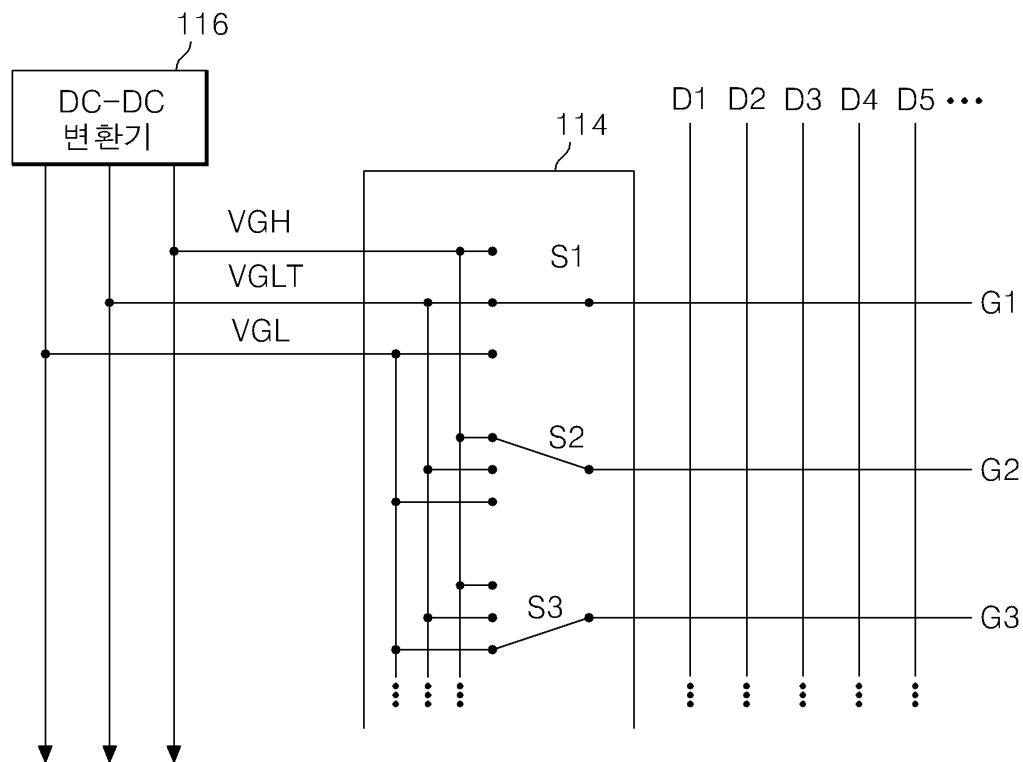
도면4



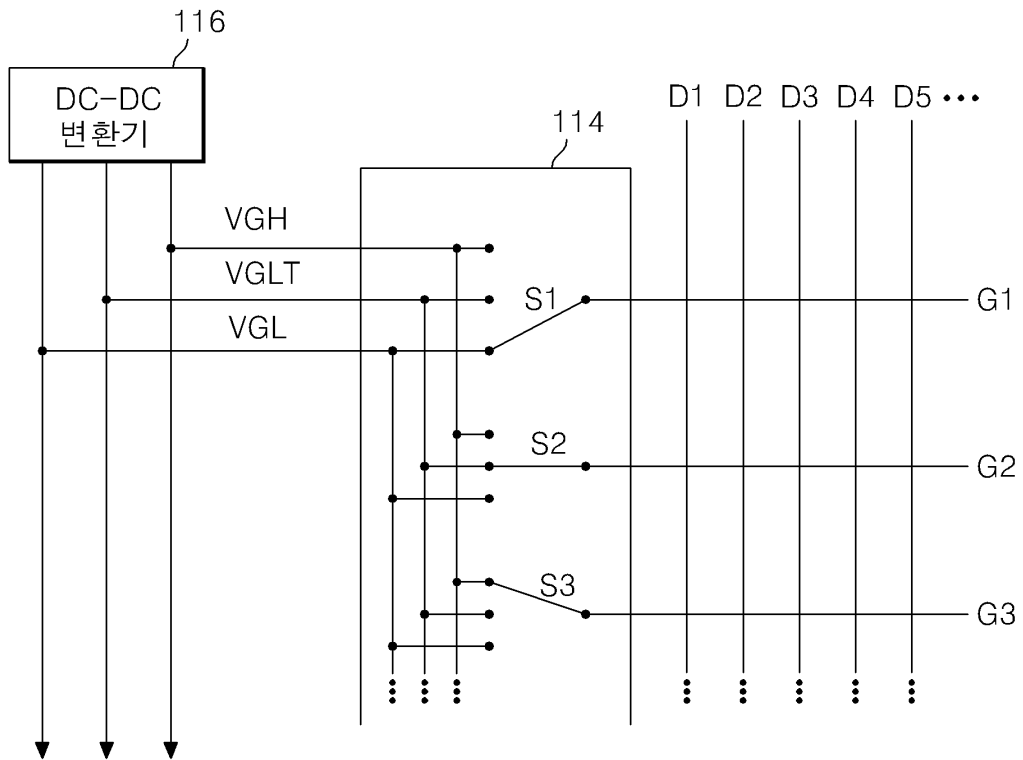
도면5a



도면5b



도면5c



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020050058052A	公开(公告)日	2005-06-16
申请号	KR1020030090298	申请日	2003-12-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG BYUNG MU 정병무 KIM DO YOUNG 김도영		
发明人	정병무 김도영		
IPC分类号	G02F1/133		
其他公开文献	KR101007684B1		
外部链接	Espacenet		

摘要(译)

用途：提供LCD（液晶显示器）和用于驱动LCD的方法，以防止由与前一栅极线耦合引起的水平线的产生，并通过提供低于阈值电压的电压来降低馈电电压。当向栅极线提供高栅极电压时，薄膜晶体管到前一栅极。

