

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
G02F 1/1339(11) 공개번호 10-2005-0052731
(43) 공개일자 2005년06월07일(21) 출원번호 10-2003-0086271
(22) 출원일자 2003년12월01일(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지(72) 발명자 김웅권
경기도군포시산본동1145세종아파트640-1204
김동국
경기도의왕시오전동100모락산현대APT104-904

(74) 대리인 특허법인네이트

심사청구 : 없음

(54) 씨오티 구조 액정표시장치 및 그 제조방법

요약

본 발명은 액정표시장치에 관한 것으로, 어레이기판에 컬러필터가 구성된 COT구조의 액정표시장치에 관한 것이다.

본 발명에 따른 액정표시장치는 컬러필터가 형성된 하부기판과 합착되는 상부 기판에 패턴드 스페이서(patterned spacer)와 액정패널의 외곽부에 대응하여 구성되는 합착 키(key)와 빛샘방지 패턴을 동일한 마스크 공정으로 제작하는 것을 특징으로 한다.

이와 같이 하면, 공정을 단순화 할 수 있어 비용 및 시간을 줄여 생산 수율을 개선하고 제품의 경쟁력을 높일 수 있는 장점이 있다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치의 구성을 개략적으로 도시한 분해 사시도이고,

도 2는 도 1의 II-II를 따라 절단한 단면도이고,

도 3은 종래에 따른 COT구조의 액정표시장치를 개략적으로 도시한 확대 단면도이고,

도 4는 본 발명에 따른 COT구조의 액정표시장치를 개략적으로 도시한 확대 단면도이고,

도 5a 내지 도 5c는 본 발명에 따른 COT구조 액정표시장치용 상부기판의 제조방법을 공정 순서에 따라 도시한 공정 단면도이고,

도 6은 COT구조의 액정표시장치용 어레이기판의 일부를 개략적으로 도시한 확대 평면도이고,

도 7과 도 8과 도 9는 도 6의 VII-VII, VIII-VIII, IX-IX를 따라 절단하여 도시한 단면도이고,

도 10은 본 발명에 따른 빛샘 방지 패턴과 배선의 구성을 개략적으로 도시한 평면도이고,

도 11은 본 발명의 제 2 실시예에 따른 COT구조 액정표시장치의 구성을 도시한 확대 단면도이고,
 도 12는 본 발명의 제 3 실시예에 따른 COT구조 액정표시장치를 구성하는 상부기관의 일부를 도시한 확대 단면도이고,
 도 13a 내지 도 13c는 COT구조 액정표시장치용 상부기관의 제조방법을 공정 순서에 따라 도시한 공정 단면도이다.

<도면의 주요부분에 대한 간단한 설명>

200 : 제 1 기관 202 : 게이트 전극
 204 : 게이트 배선 206 : 게이트 패드
 208 : 게이트 절연막 210 : 액티브층
 212 : 소스 전극 214 : 드레인 전극
 216 : 보호막 218a, 218b : 컬러필터
 220 : 블랙매트릭스 222 : 평탄화막
 224 : 화소 전극 226 : 게이트 패드 전극
 250 : 제 2 기관 252c : 스페이서
 254a : 합착키 254b : 빔샘 방지 패턴
 256 : 공통 전극 270 : 편광필름
 280 : 탑케이스

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로 특히, COT(color filter on TFT)구조의 박막트랜지스터 어레이기관을 포함하는 액정표시장치의 구성 및 그 제조방법에 관한 것이다.

일반적으로, 액정표시장치는 액정분자의 광학적 이방성과 복굴절 특성을 이용하여 화상을 표현하는 것으로, 전계가 인가 되면 액정의 배열이 달라지고 달라진 액정의 배열 방향에 따라 빛이 투과되는 특성 또한 달라진다.

일반적으로, 액정표시장치는 전계 생성 전극이 각각 형성되어 있는 두 기관을 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고 두 기관 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 상기 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.

도 1은 종래에 따른 액정표시장치를 개략적으로 나타낸 도면이다.

도시한 바와 같이, 일반적인 컬러 액정표시장치(11)는 서브 컬러필터(8)와 각 서브 컬러필터(8)사이에 구성된 블랙 매트릭스(6)를 포함하는 컬러필터(7)와 상기 컬러필터(7)의 상부에 증착된 공통전극(18)이 형성된 상부기관(5)과, 화소영역(P)이 정의되고 화소영역에는 화소전극(17)과 스위칭소자(T)가 구성되며, 화소영역(P)의 주변으로 어레이배선이 형성된 하부기관(22)과, 상부기관(5)과 하부기관(22) 사이에는 액정(14)이 충전되어 있다.

상기 하부기관(22)은 어레이기관(array substrate)이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터(TFT)를 교차하여 지나가는 게이트 배선(13)과 데이터 배선(15)이 형성된다.

이때, 상기 화소영역(P)은 상기 게이트 배선(13)과 데이터 배선(15)이 교차하여 정의되는 영역이며, 상기 화소영역(P)상에는 전술한 바와 같이 투명한 화소전극(17)이 형성된다.

상기 화소전극(17)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성금속을 사용한다.

상기 화소전극(17)과 병렬로 연결된 스토리지 캐패시터(C)가 게이트 배선(13)의 상부에 구성되며, 스토리지 캐패시터(C)의 제 1 전극으로 게이트 배선(13)의 일부를 사용하고, 제 2 전극으로 소스 및 드레인 전극과 동일층 동일물질로 형성된 아일랜드 형상의 소스/드레인 금속층(30)을 사용한다.

이때, 상기 소스/드레인 금속층(30)은 화소 전극(17)과 접촉되어 화소전극의 신호를 받도록 구성된다.

전술한 바와 같이 구성된 액정패널은 도시하지는 않았지만, 상기 게이트 배선과 데이터 배선의 일 끝단에 각각 구성된 게이트 패드와 데이터 패드를 노출하는 스크라이빙(scribing) 공정과, 상기 노출된 각 패드와 PCB를 접착하는 공정을 진행한 후, 탑 케이스(top case) 및 보텀 케이스(bottom case)를 이용하여 백라이트(back light)와 고정되는 공정을 거치게 된다.

이때, 상기 액정패널을 고정하는 탑 케이스는 액정패널의 주변을 커버하는 기능을 하나, 화상 영역을 제외한 액정패널의 주변부를 완전히 덮지는 못한다.

이를 위해 종래에는 상기 액정패널의 주변부로 빔샘 방지용 패턴을 더욱 구성하였다.

이에 대해, 이하 도 2를 참조하여 설명한다.

도 2는 종래에 따른 액정표시장치의 주변부를 도시한 확대 단면도이다.

도 2의 단면도는, 앞서 언급한 패드부를 노출하기 위해 상부 기판의 일부를 절단한 공정을 진행한 단면도이다.

도시한 바와 같이, 액정표시장치(D)는 제 1 기판(하부 기판, 40)과 제 2 기판(상부 기판, 70)이 합착 되어 구성되며, 도시하지는 않았지만 제 1 및 제 2 기판(40, 70)사이에는 액정층(미도시)이 존재한다.

상기 액정표시장치(D)의 상부에는 편광필름(80)이 구성되며, 상기 액정표시장치(D)는 탑케이스(TC)를 통해 고정된다.

상기 제 1 기판(40)의 일면에는 박막트랜지스터(T) 및 어레이배선(미도시)이 구성되는데, 박막트랜지스터(T)는 게이트 전극(42)과 액티브 층(50)과 소스 및 드레인 전극(58, 60)을 포함한다.

도시하지는 않았지만, 상기 박막트랜지스터(T)의 소스 전극(58, 60)과 연결되는 데이터 배선(미도시)이 기판의 일 방향으로 연장되어 구성되고, 상기 게이트 전극(42)과 연결되는 게이트 배선(44)이 상기 데이터 배선(미도시)과는 수직인 방향으로 연장 형성되고 데이터 배선(미도시)과는 화소 영역(P)을 정의한다.

상기 화소 영역(P)에는 상기 드레인 전극(60)과 접촉하 투명한 화소 전극(64)이 구성된다.

또한, 상기 데이터 배선(미도시)과 게이트 배선(44)의 일 끝단에는 각각 데이터 패드 전극(미도시)과 게이트 패드 전극(46)이 구성되며, 데이터 패드 전극 및 게이트 패드 전극(미도시, 46)는 별도로 구성한 투명한 데이터 패드 단자전극과 게이트 패드 단자전극(미도시, 66)과 접촉하도록 구성된다.

상기 게이트 패드 단자전극(66)과 데이터 패드 단자전극(미도시)은 외부로 노출되어 이후에 PCB(미도시)와 연결되는 공정을 진행된다.

전술한 바와 같이 박막트랜지스터 어레이배선이 구성된 제 1 기판(40)과 실린트(84)를 통해 합착되는 제 2 기판(70)에는 상기 데이터 패드 단자 전극 및 게이트 패드 단자전극을 노출하기 위해 제거된 영역에 합착키(K)가 형성되며, 상기 탑케이스(top case, TC)가 완전히 덮지 못하는 영역에 대응하여 빔샘방지 패턴이 형성되고, 상기 하부 기판(40)의 박막트랜지스터(T)에 대응하는 영역에 기둥 형상의 스페이서(82)가 형성된다.

단면적인 구성을 설명하면, 제 2 기판(70)상에 제 1 마스크 공정으로 합착키를 형성하고 동시에, 액정패널의 주변부에 빔샘 방지 패턴(74)을 형성하고, 상기 박막트랜지스터(T)와 게이트 및 데이터 배선(44, 미도시)에 대응하여 블랙 매트릭스(72)를 구성한다.

다음으로, 제 2 마스크 공정으로 상기 제 1 기판(40)의 화소 영역에(P) 대응하는 제 2 기판 (70)면에 컬러필터(76)를 형성하고 컬러 필터 및 블랙 매트릭스(72, 74)가 형성된 기판(100)의 전면에 공통 전극(78)을 구성한다.

다음으로, 제 3 마스크 공정으로, 상기 공통 전극(78)이 형성된 기판(70)의 전면에 투명한 유기물질을 도포하고 패터하여, 상기 박막트랜지스터(T)에 대응하는 부분에 기둥형상의 스페이서(82)를 구성한다.

전술한 바와 같은 공정으로, 상부 기판(70)에 컬러필터(76)가 형성된 액정표시장치(D)를 제작할 수 있다.

그런데, 전술한 바와 같이 상부 컬러필터 기판과 하부 어레이기판을 합착하여 액정패널을 제작하는 경우에는, 컬러필터 기판과 어레이기판의 합착 오차에 의한 빔샘 불량 등이 발생할 확률이 매우 높다.

따라서, 이러한 문제를 해결하기 위해 근래에는 어레이기판에 컬러필터를 구성하는 COT(color filter on TFT)구조가 제안되었다.

도 3은 종래에 따른 COT구조의 액정표시장치의 구성을 개략적으로 도시한 확대 단면도이다.

도시한 바와 같이, 종래에 따른 COT 구조의 액정표시장치(100)는 어레이기판(110)과, 어레이기판(110)과는 실런트(180)를 통해 합착되는 상부 기판(150)으로 구성된다.

상기 어레이기판(110)은 기판 면에 게이트 전극(112)과 액티브층(120)과 소스 전극(122)과 드레인 전극(124)을 포함하는 박막트랜지스터(T)가 구성되고 도시하지는 않았지만, 상기 박막트랜지스터(T)를 중심으로 수직하게 교차하여 화소 영역(P)을 정의하는 게이트 배선 및 데이터 배선(114,미도시)이 구성된다.

상기 게이트 배선(114)의 일 끝단에는 게이트 패드(116)가 구성되고, 상기 데이터 배선(미도시)의 일 끝단에는 데이터 패드(미도시)가 구성된다.

상기 박막트랜지스터(T)및 어레이 배선이 구성된 기판(110)의 전면에는 적,녹,청 컬러필터(128a,128b,미도시)와 블랙 매트릭스(130)가 구성되는데, 상기 컬러필터(128a,128b)는 화소 영역(P)에 대응하여 구성되고, 상기 블랙 매트릭스(130)는 박막트랜지스터(T)의 채널영역에 대응하여 구성된다.

상기 컬러 필터(128a,128b,128c)의 상부에는 상기 드레인 전극(124)과 접촉하는 투명한 화소 전극(134)이 구성된다.

전술한 바와 같이 구성된 어레이기판(110)에 대응하는 상부 기판(150)의 일면에는 공통 전극(156)이 구성되고, 상기 실런트(sealant,158)를 포함하는 액정패널의 외곽에 대응하여 별도의 빔샘방지 패턴(152)을 구성한다.

또한, 상기 박막트랜지스터(T)에 대응하는 영역에는 기둥형상의 스페이서(170)를 구성하고, 상기 게이트 패드 및 데이터 패드 영역에 대응하여 잘려나간 부분의 상부기판(150)에 대응하여 합착키(alignment key,154)가 구성된다.

상기 합착키(154)는 상부 기판(150)과 어레이기판(110)을 합착하기 위해 사용되는 것으로, 상기 블랙매트릭스(130)와 동시에 구성될 수 있다.

상기 상부 기판(150)의 상부에는 편광판(170)이 구성되고, 상기 액정패널의 주변으로는 액정패널의 측면을 덮는 탑케이스(top case, 160)가 구성된다.

전술한 구성에서, 상기 빔샘방지 패턴(152)은 앞서 일반적인 액정표시장치의 구성에서 설명한 바와 같이, 상기 탑케이스(160)에 의한 차폐불가 영역에 대응하여 이를 차폐하기 위해 구성하는 것이다.

그런데, 일반적인 액정표시장치의 구성에서는 상부 기판(150)에 컬러필터(color filter)와 블랙매트릭스(black matrix)를 구성하기 때문에, 상기 블랙 매트릭스를 형성하는 공정에서 상기 빔샘방지 패턴(152)과 합착키(154)를 동시에 형성할 수 있었다.

그러나, COT구조에서는 상기 컬러필터(128a,128b,128c)와 블랙매트릭스(130)가 어레이기판(110)에 구성되기 때문에, 상기 합착키(154)와 빔샘 방지 패턴(152)을 별도로 구성해야 할 뿐 아니라, 상기 기둥형상의 스페이서(158)를 형성하는 공정까지 더하여 마스크 공정이 추가된다.

따라서, 전술한 종래의 COT구조 액정표시장치는 공정추가로 인한 비용 증가와 공정시간이 늘어나 생산효율이 매우 떨어지는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 전술한 바와 같은 문제를 해결하기 위한 목적으로 제안된 것으로,

본 발명은 COT 구조 액정표시장치에 구성되는 상부기판을 구성함에 있어서, 상부 기판에 구성되는 합착키와 액정패널의 주변에 대응하여 구성되는 빔샘 방지 패턴과 기둥형상의 스페이서를 하나의 마스크 공정으로 형성하는 것을 특징으로 한다.

이와 같이 하면, 제조 비용 감소 및 공정 시간 감소로 인해 생산 수율이 개선될 수 있고 제품의 경쟁력을 향상시킬 수 있는 장점이 있다.

발명의 구성 및 작용

전술한 목적을 달성하기 위한 본 발명에 따른 씨.오.티(COT)구조 액정표시장치는 표시 영역과 비표시 영역으로 정의되며 접촉수단을 통해 합착된 제 1 기판과, 제 2 기판과; 상기 제 1 기판의 일면에 위치하고, 서로 수직하게 교차하여 화소영역을 정의하는 게이트 배선과 데이터 배선과; 상기 게이트 배선과 데이터 배선의 교차지점에 위치하는 스위칭 소자와; 상기 화소 영역에 구성된 컬러필터와; 상기 컬러필터의 상부에 위치하고 상기 스위칭 소자와 연결된 투명한 화소 전극과; 상기 제 1 기판과 마주보는 제 2 기판의 비표시 영역에 구성된 합착키와 이에 적층된 제 1 패턴과, 빔샘방지패턴과 이에 적층된 제 2 패턴과, 상기 표시영역에 구성되고 상기 합착키와 빔샘방지 패턴과 동일한 물질로 구성된 불투명 패턴과, 불투명 패턴에 적층되고 상기 제 1 패턴과 제 2 패턴과 동일한 물질로 형성된 기둥형상의 스페이서와; 상기 합착된 제 1 기판과 제 2 기판의 주변을 덮는 탑케이스(top case)를 포함한다.

상기 빗샘 방지패턴과 이에 적층된 제 2 패턴은 상기 실런트의 상부로 연장하여 구성할 수 있으며, 상기 적층된 빗샘방지 패턴과 제 2 패턴은, 이에 대응하여 하부기판에 구성된 다수의 게이트 배선과 데이터 배선의 각 이격영역에 대응하여 구성할 수 있다.

상기 제 2 패턴은 상기 제 1 패턴과 상기 기둥형상의 스페이스(spacer)보다 낮은 높이로 구성할 수 있다.

상기 스위칭 소자의 상부에 차광수단인 블랙매트릭스(black matrix)가 더욱 구성된 되며, 상기 컬러필터는 상기 화소영역에 적색과 녹색과 청색의 컬러필터가 각각 대응되도록 형성된다.

상기 스위칭 소자는 게이트 전극과 액티브층과 소스 전극과 드레인 전극을 포함하는 박막트랜지스터이다.

상기 제 2 기판과 상기 합착키와 빗샘방지 패턴과 불투명 패턴 사이에 구성된 투명한 공통 전극을 포함하며, 상기 공통 전극과 상기 화소 전극은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명 도전성 금속그룹 중 선택된 하나로 구성한다.

상기 제 1 패턴과 제 2 패턴과 기둥형상의 스페이스는 감광성 특성을 가진 투명한 유기물질로 형성하는 것을 특징으로 한다.

본 발명의 특징에 따른 씨.오.티(COT)구조 액정표시장치 제조방법은 제 1 기판과 제 2 기판을 표시 영역과 비표시 영역으로 정의하는 단계와; 상기 제 1 기판의 일면에 서로 수직하게 교차하여 화소영역을 정의하는 게이트 배선과 데이터 배선과;상기 게이트 배선과 데이터 배선의 교차지점에 위치하는 스위칭 소자를 형성하는 단계와;상기 화소 영역에 컬러필터를 형성하는 단계와; 상기 컬러필터의 상부에 상기 스위칭 소자와 연결된 투명한 화소 전극을 형성하는 단계와; 상기 제 2 기판의 비표시 영역에 합착키 영역과 빗샘 방지영역을 정의하고, 상기 표시 영역에 스페이스 영역을 정의하는 단계와; 상기 제 2 기판의 일면에 불투명한 금속층과, 투명한 유기막층을 적층하는 단계와; 상기 유기막을 마스크 공정으로 패터닝하여, 상기 합착키 영역에 제 1 패턴과, 상기 빗샘 방지영역에 제 2 패턴과, 상기 스페이스 영역에 기둥형상의 스페이스를 형성하는 단계와; 상기 제 1 패턴과 제 2 패턴과 스페이스 사이로 노출된 불투명한 금속층을 제거하여, 상기 제 1 패턴의 하부에 합착키와, 상기 제 2 패턴의 하부에 빗샘방지 패턴을 형성하는 단계와; 상기 제 1 기판과 제 2 기판을 실런트(접착 수단)을 통해 접착하는 단계를 포함한다.

상기 빗샘 방지패턴과 이에 적층된 제 2 패턴은 상기 실런트의 상부로 연장하여 형성할 수 있다.

상기 빗샘방지 패턴과 이에 적층된 제 2 패턴은 이에 대응하여 하부기판에 구성된 다수의 게이트 배선과 데이터 배선의 각 이격영역에 대응하여 형성할 수 있다.

상기 제 2 패턴은 상기 제 1 패턴과 상기 기둥형상의 스페이스(spacer)보다 낮은 높이로 형성할 수 있으며, 이를 위한 방법은 기판 상에 기판에 합착키 영역과 빗샘 방지영역을 포함하는 비표시 영역과, 스페이스 영역을 포함하는 표시영역을 정의하는 단계와; 상기 다수의 영역이 정의된 기판의 일면에 불투명한 금속층과, 투명한 유기막층을 적층하는 단계와; 상기 투명한 유기막층의 상부에 합착키 영역과 스페이스 영역에 대응한 반사부과, 상기 빗샘 방지영역에 대응한 반투과부와, 투과부가 구성된 마스크를 위치시키는 단계와; 상기 유기막을 마스크 공정으로 패터닝하여, 상기 합착키 영역에 제 1 패턴과, 상기 스페이스 영역에 기둥형상의 스페이스와, 상기 빗샘 방지영역에 상기 제 1 패턴과 기둥형상의 스페이스보다 낮은 높이의 제 2 패턴을 형성하는 단계와; 상기 제 1 패턴과 제 2 패턴과 스페이스 사이로 노출된 불투명한 금속층을 제거하여, 상기 제 1 패턴의 하부에 합착키와, 상기 제 2 패턴의 하부에 빗샘방지 패턴을 형성하는 단계를 포함한다.

이하 첨부한 도면을 참조하여, 본 발명에 따른 바람직한 실시예를 설명한다.

-- 실시예 --

도 4는 본 발명에 따른 COT 구조 액정표시장치의 구성을 개략적으로 도시한 단면도이다.

도시한 바와 같이, 본 발명에 따른 COT구조 액정표시장치(198)는 어레이기판인 하부 기판(200)과 상부 기판(250)이 실런트(sealant, 260)를 통해 합착하여 구성된 액정패널과, 액정패널의 상부에 구성된 편광판(LP)과, 액정패널(LP)과 편광판(270)을 측면에서 고정하는 탑케이스(280)를 포함한다.

상기 액정패널(LP)은 실제로 영상이 나오는 표시영역(DA)과, 표시영역을 둘러싼 비표시영역(NDA)으로 나누어 진다.

상기 표시 영역(DA)은 액정패널(LP)의 크기 및 해상도에 따라 수십만개에서 수백만개의 화소(P)로 구성된다.

상기 하부 기판에는 상기 각 화소(P)마다 일 방향으로 게이트 배선(204)이 구성되고 이와 수직한 방향으로 데이터 배선(미도시)을 구성하고, 상기 게이트 배선(204)과 데이터 배선(미도시)이 교차되는 부분마다 박막트랜지스터(T)를 구성하며, 상기 박막트랜지스터(T)는 게이트 전극(202)과 액티브층(210)과 소스 전극(212)과 드레인 전극(214)을 포함한다.

상기 게이트 배선(204)의 끝단에는 게이트 패드(206)를 구성하고, 상기 데이터 배선(미도시)의 끝단에는 데이터 패드(미도시)를 구성한다.

상기 화소(P)마다 적,녹,청 컬러필터(128a,128b,128c)를 구성하고, 상기 박막트랜지스터(T)에 대응하여 블랙매트릭스(220)가 구성된다.

상기 컬러필터(128a, 128b)의 상부에는 상기 각 화소(P)마다 독립적으로 패터하여 화소 전극(224)을 구성하며, 상기 화소 전극(224)을 드레인 전극(214)과 접촉하도록 하여 드레인 전극(214)으로부터 화소 전압을 입력받도록 한다.

전술한 바와 같이 구성된 하부 기관(200)에 대응하는 상부 기관(250)에는 공통 전극(CL)과, 상기 공통 전극(치) 상부의 상기 데이터 패드 및 게이트 패드(미도시, 206)에 대응하는 면여 합착키(align key, 254a)를 구성하고, 상기 실리콘(260)을 포함하는 액정패널(LP)의 주변에 대응하여 빔샘 방지패턴(254b)을 구성하고, 상기 박막트랜지스터(T)에 대응하는 영역에는 기둥형상의 스페이서(252c)를 형성한다.

전술한 구성에서, 특징적인 것은 상기 합착키(254c)와 빔샘 방지 패턴(254a)과 기둥형상의 스페이서(252b)를 하나의 마스크 공정으로 제작하는 것이다.

이하, 도 5a 내지 도 5c를 참조하여, 본 발명에 따른 COT구조 액정표시장치의 상부기관 형성방법을 설명한다.

먼저, 도 5a에 도시한 바와 같이, 표시 영역(DA)과 비표시 영역(NDA)으로 정의된 투명한 절연 기관(250)상에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하여 공통전극(CL)을 형성한다.

다음으로, 상기 공통 전극(CL)의 상부에 빛 반사율이 낮은 크롬옥사이드(CrO_x)를 증착하여 불투명 금속층(M)을 형성하고, 연속하여 투명한 감광성 유기물질을 도포하여 감광층(포지티브특성)(O)을 형성한다.

이때, 상기 비표시 영역(NDA)은 합착키 영역(AK)과 빔샘 방지패턴이 형성될 영역(LSPA)으로 나누어지며, 상기 빔샘방지 패턴이 형성될 영역(LSPA)은 기관(250)의 둘레에 걸쳐 정의된다.

다음으로, 상기 감광층(O)의 상부에 투과부(T)와 차단부(S)로 구성된 마스크(300)를 위치시킨후 연속하여, 마스크(300)의 상부로 빛을 조사하여 하부의 감광층(O)을 노광(exposure)하고 현상(develop)하는 공정을 진행한다.

도 5b에 도시한 바와 같이, 노광공정과 현상공정을 진행하면 비표시 영역(NDA)에는 합착키 영역(AK)과 빔샘방지 패턴 영역(LSPA)에 대응하여 제 1 패턴(252a)과 제 2 패턴(252b)이 구성되고, 이와 동일한 높이로 상기 표시 영역(DA)에는 기둥형상의 스페이서(252c)가 형성된다.

다음으로, 제 1 패턴(252a)과 제 2 패턴(252b)과 상기 스페이서(252c)사이로 노출된 하부의 불투명 금속층을 습식식각하는 공정을 진행한다.

도 5c에 도시한 바와 같이, 상기 습식식각 공정을 진행하게 되면, 상기 각 패턴의 하부에만 불투명한 금속이 남게 된다.

따라서, 상기 합착키 영역(AK)에는 합착키(254a)와 투명한 제 1 패턴(252a)이 적층된 형상이 되고, 상기 빔샘방지 패턴 영역(LSPA) 또한 빔샘 방지 패턴(254b)과 투명한 제 2 패턴(252b)이 구성되고, 상기 표시 영역(DA)에는 불투명한 금속의 제 3 패턴(254c)과 기둥형상의 스페이서(252c)가 구성된다.

이때, 상기 기둥형상의 스페이서(252c)는 바람직하게 랜덤하게 구성한다.

전술한 바와 같은 1 마스크 공정으로, 기관(200)상에 합착키(254a)와 빔샘방지 패턴(254b)과 기둥형상의 스페이서(252c)를 형성할 수 있다.

다음으로, 상기 노출된 기관(250) 면에 공통 전극(256)을 형성한다.

이상과 같이 형성된 상부 기관(250)과 합착되는 하부 기관(210)의 평면 구성을 이하, 간략히 설명한다.

도 6은 본 발명의 제 1 실시예에 따른 COT 액정표시장치용 어레이기관의 구성을 개략적으로 도시한 평면도이다.

도시한 바와 같이, 어레이기관(200)은 표시영역(DA)과 비표시 영역(NDA)으로 나뉘어 진다.

상기 표시영역(DA)과 비표시영역(NDA)을 포함하는 기관(200)상에 일 방향으로 연장되고 일 끝단에 게이트 패드(206)를 포함하는 게이트 배선(204)을 구성하고, 게이트 배선(204)과는 수직하게 교차하고 일 끝단에 데이터 패드(DP)를 포함하는 데이터 배선(DL)을 구성한다.

상기 두 배선(204, DL)의 교차지점에는 게이트 전극(202)과 액티브층(210)과 소스 전극(212)과 드레인 전극(214)을 포함하는 박막트랜지스터(T)를 구성한다.

상기 다수의 화소 영역(P)에 대응하여 적색과 녹색과 청색의 컬러필터(218a, 218b)를 순차 구성하고, 박막트랜지스터(T)에 대응하여 블랙매트릭스(BM)를 형성한다.

상기 컬러필터(218a, 218b)의 상부에는 상기 드레인 전극(214)과 접촉하는 투명한 화소 전극(224)을 구성한다.

전술한 구성에서, 상기 게이트 배선(204)의 일부 상부에 섬 형상의 금속전극(CM)을 구성하고, 상기 화소 전극을 금속전극(CM)과 연결함으로써, 게이트 배선의 일부를 제 1 전극으로 하고 상기 금속 전극(CM)을 전극으로 하는 보조 용량부(C_{ST})를 구성할 있다.

이하, 도 7과 도 8과 도 9를 참조하여, 전술한 바와 같이 구성된 COT구조의 액정표시장치용 어레이기판의 제조방법을 설명한다.

도 7과 도 8과 도 9는 도 6의 VII-VII, VIII-VIII, IX-IX를 절단하여, 도시한 단면도이다.

도시한 바와 같이, 기판(200)상에 일 방향으로 연장되고 일 끝단에 게이트 패드(206)를 포함하는 게이트 배선(204)과, 게이트 배선(204)에서 돌출된 게이트 전극(202)을 형성한다.

다음으로, 게이트 패드(206)와 게이트 배선(204)과 게이트 전극(202)이 형성된 기판(200)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나 이상의 물질을 증착하여 게이트 절연막(208)을 형성한다.

다음으로, 상기 게이트 전극(202)에 대응하는 게이트 절연막(208)의 상부에 섬형상의 액티브층(210)과 오믹 콘택층(OCL)을 순차 적층하여 형성한다.

다음으로, 상기 오믹 콘택층(OCL)이 형성된 기판(200)의 전면에 도전성 금속층을 증착하고 패틴하여, 상기 오믹 콘택층(OCL)과 접촉하고 서로 이격되어 위치하는 소스 전극(212)과 드레인 전극(214)과, 소스 전극(212)과 연결되고 상기 게이트 배선(204)과는 수직하게 교차하여 화소 영역(P)을 정의하고 일 끝단에는 데이터 패드(DP)를 포함하는 데이터 배선(미도시)을 형성한다. 다음으로, 상기 게이트 전극(202)과 액티브층 및 오믹 콘택층(210, OCL)과 소스 전극(212)과 드레인 전극(214)을 포함하는 박막트랜지스터(T)가 구성된 기판(200)의 전면에 앞서 설명한 무기절연물질 그룹 중 선택된 하나를 증착하여 보호막(216)을 형성한다.

다음으로, 상기 박막트랜지스터(T)와 게이트 배선 및 데이터 배선(204, DL)에 대응하여 블랙 매트릭스(220)를 형성한다.

이때, 고개구율 구조에서는 상기 게이트 배선 및 데이터 배선(204, 미도시)에 대응하여 블랙매트릭스(220)를 형성하지 않을 수 있다.

다음으로, 상기 화소 영역(P)에 대응하여 적색과 녹색과 적색의 컬러필터(218a, 도 6의 218b, 218c)를 형성한다.

다음으로, 상기 컬러필터(218a, 도 6의 218b, 218c)가 형성된 기판(200)의 전면에 투명한 유기물질을 도포하여 평탄화막(222)을 형성하고, 상기 컬러필터(218a, 도 6의 218b, 218c)에 대응하는 평탄화막(222)의 상부에는 상기 드레인 전극(214)과 접촉하는 투명한 화소 전극(224)을 형성한다.

전술한 공정을 통해 COT구조의 액정표시장치용 어레이기판을 제작할 수 있으며, 이와 같이 제작된 어레이기판과 앞서 설명한 상부기판을 실린트를 통해 합착하여 액정패널을 형성한다.

이때, 상기 실린트(도 4의 260)는 액정패널 주변에 코팅되며 게이트 배선(204)과 게이트 패드(206)사이 및 데이터 패드(DP)와 데이터 배선(도 6의 DL) 사이 영역 즉 링크영역에 코팅된다.

상기 상부 기판(도 4의 250)과 하부 기판(도 4의 200)을 합착하는 공정은 합착기를 이용하게 되며, 먼저 대략적으로 상부 기판(도 4의 250)과 하부 기판(도 4의 200)을 합착한 후 상기 합착기(252a)를 이용한 미세 조정을 통해 완전하게 합착하게 된다.

다음으로, 상기 게이트 패드(206)와 데이터 패드(DP)를 노출하기 위해, 상부기판(250)을 절단하게 되는데 이 공정에서 상기 합착기(252a)는 제거된다.

한편, 전술한 합착 공정에서 상기 상부 기판(250)과 하부 기판(200)을 미세하게 조정하기 위해서는 두 기판(200, 250)을 합착한 상태에서 움직이게 되는데 이때, 상기 빔샘 방지 패틴(도 4의 254b)은 아래 유기막(252b)이 존재하기 때문에, 유기막(252b)의 일측과 하부기판(200)의 최상층이 닿게 된다.

결과적으로, 상기 합착 공정 중 미세 합착 공정시에는 상기 유기막(252b)과 하부 기판(200)사이의 마찰력 때문에 미세 합착공정이 제대로 진행되지 않게 된다.

이를 해결하기 위한 방법을 이하, 도 10을 참조하여 설명한다.

도 10은 이격된 다수의 배선의 일부를 확대한 확대 평면도이다.(게이트 배선을 예를 들어 설명한다.)

도시한 바와 같이, 상기 차광 패틴(252b)과 이에 적층된 유기막(미도시)은 다수의 배선(202)의 상부에 형성되는데, 이때 앞서 언급한 바와 같이 상기 유기막(미도시)과 하부층(미도시)의 마찰을 줄이기 위해, 유기막과 하부층의 접촉면적을 줄일 필요가 있다.

따라서, 배선(202)과 배선(202)사이에 대응하는 영역에만 상기 차광 패턴(254b)과 이에 적층된 유기막(미도시)을 형성하면 된다.

이와 같은 경우에는, 상기 빔샘 방지 패턴(254b)사이에 대응하는 불투명한 배선(202)이 빛을 차폐하는 역할을 하게 되므로 빛을 차단하는 기능에는 아무런 문제가 없다.

이상으로, 본 발명의 제 1 실시예에 따른 COT액정표시장치의 구성과 그 제조방법을 설명하였다.

이하, 제 2 실시예를 통해 상기 제 1 실시예의 변형예를 설명한다.

-- 제 2 실시예 --

본 발명의 제 2 실시예의 특징은 상기 제 1 실시예의 구성에서, 빔샘 방지 패턴과 이에 적층되는 유기막 패턴을 실런트(sealant)의 상부로 연장하여 형성하는 것을 특징으로 한다.

도 11은 본 발명의 제 2 실시예에 따른 COT 구조 액정표시장치의 구성을 개략적으로 도시한 단면도이다.

도시한 바와 같이, 본 발명에 따른 COT구조 액정표시장치(298)는 어레이기판인 하부 기판(300)과 상부 기판(350)이 실런트(sealant, 360)를 통해 합착하여 구성된 액정패널과, 액정패널의 상부에 구성된 편광판(LP)과, 액정패널(LP)과 편광판(370)을 측면에서 고정하는 탭케이스(380)를 포함한다.

상기 액정패널(LP)은 실제로 영상이 나오는 표시영역(DA)과, 표시영역을 둘러싼 비표시영역(NDA)으로 나누어 진다.

상기 표시 영역(DA)은 액정패널(LP)의 크기 및 해상도에 따라 수십만개에서 수백만개의 화소(P)로 구성된다.

상기 하부 기판에는 상기 각 화소(P)마다 일 방향으로 게이트 배선(304)이 구성되고 이와 수직한 방향으로 데이터 배선(미도시)을 구성하고, 상기 게이트 배선(304)과 데이터 배선(미도시)이 교차되는 부분마다 박막트랜지스터(T)를 구성하며, 상기 박막트랜지스터(T)는 게이트 전극(302)과 액티브층(310)과 소스 전극(312)과 드레인 전극(314)을 포함한다.

상기 게이트 배선(304)의 끝단에는 게이트 패드(306)를 구성하고, 상기 데이터 배선(미도시)의 끝단에는 데이터 패드(미도시)를 구성한다.

상기 화소(P)마다 적, 녹, 청 컬러필터(318a, 318b, 미도시)를 구성하고, 상기 박막트랜지스터(T)에 대응하여 블랙매트릭스(320)가 구성된다.

상기 컬러필터(318a, 318b)의 상부에는 상기 각 화소(P)마다 독립적으로 패틴하여 화소 전극(224)을 구성하며, 상기 화소 전극(324)을 드레인 전극(314)과 접촉하도록 하여 드레인 전극(314)으로부터 화소 전압을 입력받도록 한다.

전술한 바와 같이 구성된 하부 기판(300)에 대응하는 상부 기판(350)에는 공통 전극(CL)과, 상기 데이터 패드 및 게이트 패드(미도시, 306)에 대응하는 공통 전극(치)의 일면에 합착키(align key, 354a)를 구성하고, 상기 액정패널(LP)의 주변에 대응하여 빔샘 방지패턴(354b)을 구성하고, 상기 박막트랜지스터(T)에 대응하는 영역에는 기둥형상의 스페이서(352c)를 형성한다.

상기 합착키(354c)와 빔샘 방지 패턴(354b)과 기둥형상의 스페이서(352bc)를 하나의 마스크 공정으로 제작한다.

전술한 구성에서, 상기 빔샘방지패턴(354b)을 상기 실런트(360)의 상부로 연장하여 형성하는 것을 특징으로 한다. 이와 같이 하면, 액정패널(LP)의 주변을 덮는 탭케이스(380)의 마진율을 증대시키는 장점이 있다.

이상과 같이 설명한 본 발명의 제 2 실시예의 구성은 앞서 설명한 도 10의 구성과 같이, 상기 빔샘 방지 패턴(354b)과 이에 적층된 유기막 패턴(352b)을 형성할 때 다수의 데이터 배선 및 게이트 배선의 사이영역에 대응하여 형성할 수 있다.

전술한 제 1 실시예와 제 2 실시예의 구성은 차광 패턴에 적층된 유기막과 하부기판의 최상층 사이에 발생하는 마찰을 줄이기 위해, 상기 빔샘 방지 패턴과 유기막이 랜덤하게 구성된 예를 제시하였다.

이하, 제 3 실시예에서 상기 빔샘 방지 패턴과 하부기판의 최상층이 닿지 않는 상부기판의 구조 및 제조방법을 설명한다.

-- 제 3 실시예 --

본 발명에 따른 제 3 실시예의 특징은 하나의 마스크 공정으로, 높낮이가 다른 유기막 패턴을 형성하는 것이다.

도 12는 본 발명의 제 3 실시예에 따른 COT 구조 액정표시장치용 상부기판의 구성을 개략적으로 도시한 단면도이다.

도시한 바와 같이, 비표시 영역(NDA)과 표시 영역(DA)에 대응하는 기관(500)의 일면에 공통 전극(CL)을 형성하고, 공통 전극(CL)상에 합착키(504a)와 이에 적층된 제 1 유기막 패턴(502a)과, 빛샘 방지 패턴(504b)과 이에 적층된 제 2 유기막 패턴(502b)과, 기둥형상의 스페이서(502c)와 이것의 하부에 구성된 불투명한 금속패턴(504c)을 형성한다.

이때, 상기 제 1 유기막 패턴(502c)과 제 2 유기막 패턴(502b)과 기둥형상의 스페이서(502c)는 동시에 하나의 마스크 공정으로 패턴되지만, 상기 빛샘 방지 패턴(504b)에 적층된 제 2 유기막 패턴(502b)은 제 1 유기막 패턴(502a)과 기둥형상의 스페이서(502c)에 비해 낮은 높이로 형성되도록 하는 것을 특징으로 한다.

이상과 같이 상부기관을 구성하면, 상기 상부기관과 앞서 설명한 도 7과 도 8과 도 9에서 설명한 어레이기관을 합착한 후 단면구성을 보면, 상기 빛샘 방지 패턴에 적층된 유기막 패턴과 하부 기관의 최상층과 접촉하지 않는 것을 알 수 있다.

따라서, 유기막 패턴과 하부기관의 최상층 사이에 마찰력이 존재하지 않기 때문에 상,하부 기관을 합착하는 공정에서 마찰력에 의한 합착불량이 발생하지 않는다.

이하, 도 13a 내지 도 13c를 참조하여, 본 발명의 제 3 실시예에 따른 COT 액정표시장치용 상부기관의 제조방법을 설명한다.

도 13a에 도시한 바와 같이, 표시 영역(DA)과 비표시 영역(NDA)으로 정의된 투명한 절연 기관(500)상에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명 도전성 금속 그룹 중 선택된 하나를 증착하여 공통 전극(CL)을 형성한다.

상기 공통 전극(CL)의 상부에는 빛 반사율이 낮은 크롬옥사이드(CrO_x)를 증착하여 불투명 금속층(M)을 형성하고, 연속하여 투명한 감광성 유기물질을 도포하여 감광층(포지티브특성)(O)을 형성한다.

이때, 상기 비표시 영역(NDA)은 합착키 영역(AK)과 빛샘 방지패턴이 형성될 영역(LSPA)으로 나누어지며, 상기 빛샘방지 패턴이 형성될 영역(LSPA)은 기관(500)의 둘레에 걸쳐 정의된다.

다음으로, 상기 감광층(O)의 상부에 투과부(T)와 차단부(S)부와 반 투과부(HS)로 구성된 마스크(400)를 위치시킨 후 연속하여, 마스크(400)의 상부로 빛을 조사하여 하부의 감광층(O)을 노광(exposure)하고 현상(develop)하는 공정을 진행한다.

이때, 상기 마스크(400)의 반투과부(HS)는 상기 빛샘 방지패턴 영역(LSPA)에 대응하여 위치하며, 반투과부는 반투명막을 코팅하거나 슬릿을 구성하는 방법으로 형성할 수 있다.

도 13b에 도시한 바와 같이, 노광공정과 현상공정을 진행하면 비표시 영역(NDA)에는 합착키 영역(AK)과 빛샘방지 패턴 영역(LSPA)에 대응하여, 제 1 유기막 패턴(502a)과 이보다 낮은 높이로 형성된 제 2 유기막 패턴(502b)이 구성되고, 상기 제 1 유기막 패턴(502a)과 동일한 높이로 상기 표시 영역(DA)에는 기둥형상의 스페이서(502c)가 다수개 형성된다.

다음으로, 제 1 유기막 패턴(502a)과 제 2 유기막 패턴(502b)과 상기 스페이서(502c)사이로 노출된 하부의 불투명 금속층을 습식식각하는 공정을 진행한다.

도 13c에 도시한 바와 같이, 상기 습식식각 공정을 진행하게 되면, 상기 각 패턴의 하부에만 불투명한 금속이 남게 된다.

따라서, 상기 합착키 영역(AK)에는 합착키(504a)와 투명한 제 1 유기막 패턴(592a)이 적층된 형상이 되고, 상기 빛샘방지 패턴 영역(LSPA) 또한 빛샘 방지 패턴(502b)과 투명한 제 2 유기막 패턴(504b)이 구성되고, 상기 표시 영역(DA)에는 불투명한 금속의 제 3 패턴(504c)과 기둥형상의 스페이서(502c)가 구성된다.

이때, 상기 기둥형상의 스페이서(502c)는 바람직하게 랜덤하게 구성한다.

전술한 바와 같은 1 마스크 공정으로, 기관(500)상에 합착키(502a)와 빛샘방지 패턴(504b)과 기둥형상의 스페이서(502c)를 형성할 수 있다.

전술한 바와 같은 공정으로 본 발명의 제 2 실시예에 따른 COT 액정표시장치용 상부기관을 형성할 수 있다.

발명의 효과

전술한 바와 같이 제작된 본 발명에 따른 COT 액정표시장치는 아래와 같은 효과가 있다.

첫째, 상부 기관과 하부 기관을 합착 할 때 사용하는 합착키와 액정패널의 주변에 구성하여 빛샘을 방지하는 빛샘 방지 패턴과 기둥형상의 스페이서를 하나의 마스크 공정으로 형성할 수 있기 때문에 공정을 단순화를 통해, 공정 수율 개선 및 비용절감 효과가 있다.

둘째, 상부기관에 구성한 빛샘 방지 패턴과 이에 적층된 유기막 패턴을 형성할 때, 하부 기관에 구성하는 다수의 게이트 배선과 데이터 배선의 사이 영역에 대응하여 위치하도록 패턴함으로써, 상기 유기막 패턴과 어레이기관의 최상층과의 접촉면적을 줄일 수 있으므로 미세 합착 공정시 마찰력에 의한 합착불량을 방지할 수 있다.

셋째, 상기 빔샘 방지 패턴을 실린트의 상부까지 연장하여 형성함으로써, 탑케이스를 구성하는데 있어서 공정마진을 확보할 수 있는 효과가 있다.

넷째, 하나의 마스크 공정으로 상기 합착키와 빔샘 방지 패턴과 스페이스를 형성하는 공정에서, 상기 빔샘 방지 패턴에 대응하여 반투과부를 사용함으로써, 빔샘 방지 패턴에 적층된 유기막 패턴의 높이를 상기 스페이스의 높이보다 낮출 수 있다.

따라서, 상부기판과 하부기판을 합착하는 얼라인 공정중 미세 얼라인 공정 시, 상기 유기막 패턴과 하부기판에 최상층과의 접촉을 피할 수 있으므로 마찰력에 의한 합착공정 불량을 방지할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

표시 영역과 비표시 영역으로 정의되며 접촉수단을 통해 합착된 제 1 기판과, 제 2 기판과;

상기 제 1 기판의 일면에 위치하고, 서로 수직하게 교차하여 화소영역을 정의하는 게이트 배선과 데이터 배선과;

상기 게이트 배선과 데이터 배선의 교차지점에 위치하는 스위칭 소자와;

상기 화소 영역에 구성된 컬러필터와;

상기 컬러필터의 상부에 위치하고 상기 스위칭 소자와 연결된 투명한 화소 전극과;

상기 제 1 기판과 마주보는 제 2 기판의 비표시 영역에 구성된 합착키와 이에 적층된 제 1 패턴과, 빔샘방지패턴과 이에 적층된 제 2 패턴과, 상기 표시영역에 구성되고 상기 합착키와 빔샘방지 패턴과 동일한 물질로 구성된 불투명 패턴과, 불투명 패턴에 적층되고 상기 제 1 패턴과 제 2 패턴과 동일한 물질로 형성된 기둥형상의 스페이스와;

상기 합착된 제 1 기판과 제 2 기판의 주변을 덮는 탑케이스(top case)를

포함하는 씨.오.티(COT)구조 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 빔샘 방지패턴과 이에 적층된 제 2 패턴은 상기 실린트의 상부로 연장되어 위치한 씨.오.티(COT)구조 액정표시장치.

청구항 3.

제 1 항 내지 제 2 항 중 어느 한 항에 있어서,

상기 적층된 빔샘방지 패턴과 제 2 패턴은, 이에 대응하여 하부기판에 구성된 다수의 게이트 배선과 데이터 배선의 각 이격영역에 대응하여 구성된 씨.오.티(COT)구조 액정표시장치.

청구항 4.

제 1 항에 있어서,

상기 제 2 패턴은 상기 제 1 패턴과 상기 기둥형상의 스페이스(spacer)보다 낮은 높이로 구성된 씨.오.티(COT)구조 액정표시장치.

청구항 5.

제 1 항에 있어서,

상기 스위칭 소자의 상부에 차광수단인 블랙매트릭스(black matrix)가 더욱 구성된 씨.오.티(COT)구조 액정표시장치.

청구항 6.

제 1 항에 있어서,

상기 컬러필터는 상기 화소영역에 적색과 녹색과 청색의 컬러필터가 각각 대응되도록 형성된 씨.오.티(COT)구조 액정표시장치.

청구항 7.

제 1 항에 있어서,

상기 스위칭 소자는 게이트 전극과 액티브층과 소스 전극과 드레인 전극을 포함하는 박막트랜지스터인 씨.오.티(COT)구조 액정표시장치.

청구항 8.

제 1 항에 있어서,

상기 제 2 기판과 상기 합착기와 빛샘방지 패턴과 불투명 패턴 사이에 구성된 투명한 공통 전극을 포함하는 박막트랜지스터인 씨.오.티(COT)구조 액정표시장치.

청구항 9.

제 8 항에 있어서,

상기 공통 전극과 상기 화소 전극은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명 도전성 금속 그룹 중 선택된 하나로 구성된 씨.오.티(COT)구조 액정표시장치.

청구항 10.

제 1 항에 있어서,

상기 제 1 패턴과 제 2 패턴과 기둥형상의 스페이서는 감광성 특성을 가진 투명한 유기물질인 씨.오.티(COT)구조 액정표시장치.

청구항 11.

제 1 기판과 제 2 기판을 표시 영역과 비표시 영역으로 정의하는 단계와;

상기 제 1 기판의 일면에 서로 수직하게 교차하여 화소영역을 정의하는 게이트 배선과 데이터 배선과;

상기 게이트 배선과 데이터 배선의 교차지점에 위치하는 스위칭 소자를 형성하는 단계와;

상기 화소 영역에 컬러필터를 형성하는 단계와;

상기 컬러필터의 상부에 상기 스위칭 소자와 연결된 투명한 화소 전극을 형성하는 단계와;

상기 제 2 기판의 비표시 영역에 합착기 영역과 빛샘 방지영역을 정의하고, 상기 표시 영역에 스페이서 영역을 정의하는 단계와;

상기 제 2 기판의 일면에 불투명한 금속층과, 투명한 유기막층을 적층하는 단계와;

상기 유기막을 마스크 공정으로 패터닝하여, 상기 합착키 영역에 제 1 패터닝과, 상기 빔샘 방지영역에 제 2 패터닝과, 상기 스페이서 영역에 기둥형상의 스페이서를 형성하는 단계와;

상기 제 1 패터닝과 제 2 패터닝과 스페이서 사이로 노출된 불투명한 금속층을 제거하여, 상기 제 1 패터닝의 하부에 합착키와, 상기 제 2 패터닝의 하부에 빔샘방지 패터닝을 형성하는 단계와

상기 제 1 기판과 제 2 기판을 실런트(접착 수단)을 통해 접촉하는 단계

를 포함하는 씨.오.티(COT) 액정표시장치 제조방법.

청구항 12.

제 11 항에 있어서,

상기 빔샘 방지패터닝과 이에 적층된 제 2 패터닝은 상기 실런트의 상부로 연장되어 형성된 씨.오.티(COT)구조 액정표시장치 제조방법.

청구항 13.

제 11 항 내지 제 12 항 중 어느 한 항에 있어서,

상기 빔샘방지 패터닝과 이에 적층된 제 2 패터닝은 이에 대응하여 하부기판에 구성된 다수의 게이트 배선과 데이터 배선의 각 이격영역에 대응하여 형성된 씨.오.티(COT)구조 액정표시장치 제조방법.

청구항 14.

제 12 항에 있어서,

상기 제 2 패터닝은 상기 제 1 패터닝과 상기 기둥형상의 스페이서(spacer)보다 낮은 높이로 형성된 씨.오.티(COT)구조 액정표시장치 제조방법.

청구항 15.

제 14 항에 있어서,

제 2 패터닝이 상기 제 1 패터닝과 상기 기둥형상의 스페이서(spacer)보다 낮은 높이로 형성되는 방법은,

기판 상에 기판에 합착키 영역과 빔샘 방지영역을 포함하는 비표시 영역과, 스페이서 영역을 포함하는 표시영역을 정의하는 단계와;

상기 다수의 영역이 정의된 기판의 일면에 불투명한 금속층과, 투명한 유기막층을 적층하는 단계와;

상기 투명한 유기막층의 상부에 합착키 영역과 스페이서 영역에 대응한 반사부와, 상기 빔샘 방지영역에 대응한 반투과부와, 투과부가 구성된 마스크를 위치시키는 단계와;

상기 유기막을 마스크 공정으로 패터닝하여, 상기 합착키 영역에 제 1 패터닝과, 상기 스페이서 영역에 기둥형상의 스페이서와, 상기 빔샘 방지영역에 상기 제 1 패터닝과 기둥형상의 스페이서보다 낮은 높이의 제 2 패터닝을 형성하는 단계와;

상기 제 1 패터닝과 제 2 패터닝과 스페이서 사이로 노출된 불투명한 금속층을 제거하여, 상기 제 1 패터닝의 하부에 합착키와, 상기 제 2 패터닝의 하부에 빔샘방지 패터닝을 형성하는 단계

를 포함하는 씨.오.티(COT) 액정표시장치용 제조방법.

청구항 16.

제 11 항에 있어서,

상기 스위칭 소자의 상부에 차광수단인 블랙매트릭스(black matrix)가 더욱 형성된 씨.오.티(COT)구조 액정표시장치 제조방법.

청구항 17.

제 11 항에 있어서,

상기 컬러필터는 상기 화소영역에 적색과 녹색과 청색의 컬러필터가 각각 대응되도록 형성된 씨.오.티(COT)구조 액정표시장치 제조방법.

청구항 18.

제 11 항에 있어서,

상기 스위칭 소자는 게이트 전극과 액티브층과 소스 전극과 드레인 전극을 포함하는 박막트랜지스터인 씨.오.티(COT)구조 액정표시장치 제조방법.

청구항 19.

제 11 항에 있어서,

상기 제 2 기판과 상기 적층된 불투명한 금속층과 투명한 유기막층 상에 공통 전극을 형성하는 단계를 포함하는 씨.오.티(COT)구조 액정표시장치 제조방법.

청구항 20.

제 19 항에 있어서,

상기 공통 전극과 상기 화소 전극은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명 도전성 금속 그룹 중 선택된 하나로 구성된 씨.오.티(COT)구조 액정표시장치 제조방법.

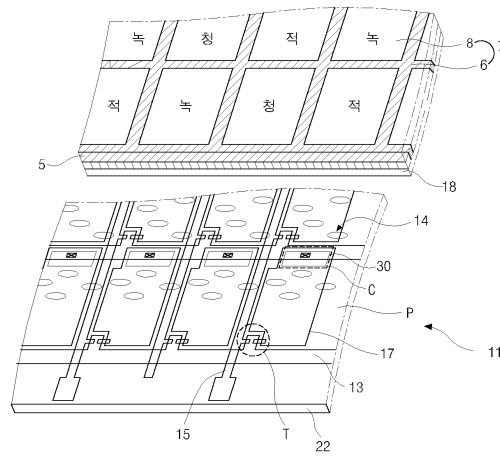
청구항 21.

제 11 항에 있어서,

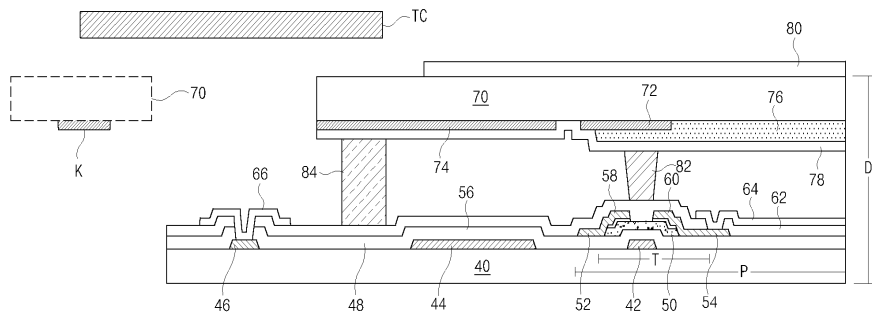
상기 제 1 패딩과 제 2 패딩과 기둥형상의 스페이서는 감광성 특성을 가진 투명한 유기물질인 씨.오.티(COT)구조 액정표시장치 제조방법.

도면

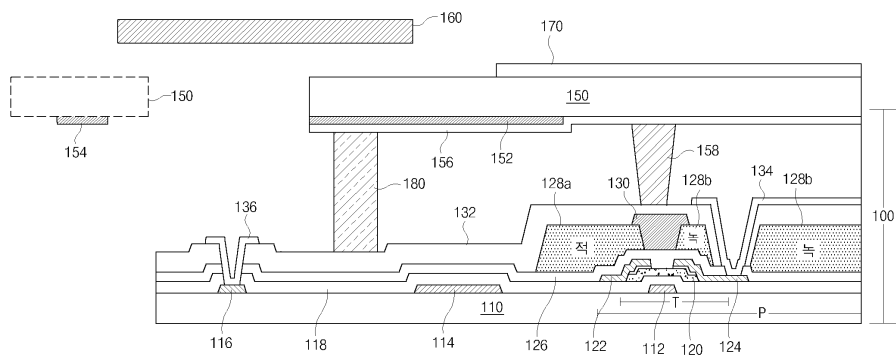
도면1



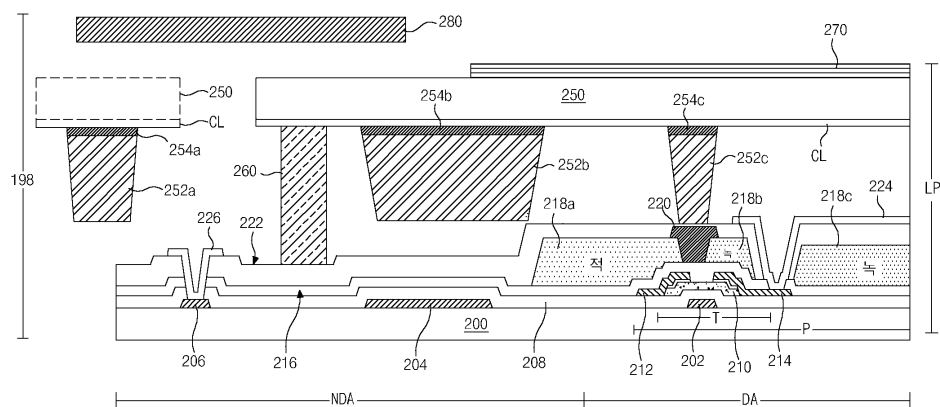
도면2



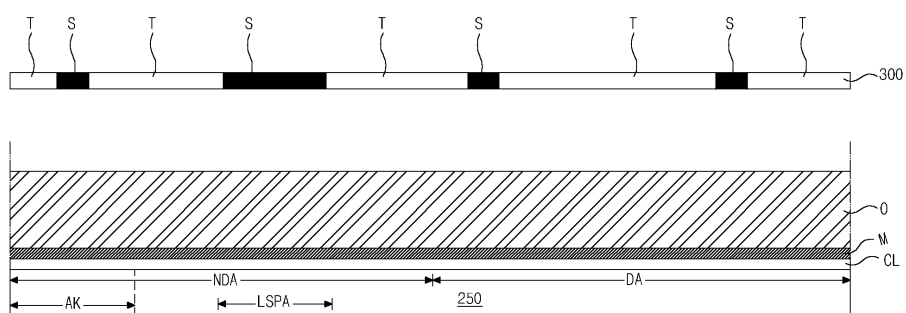
도면3



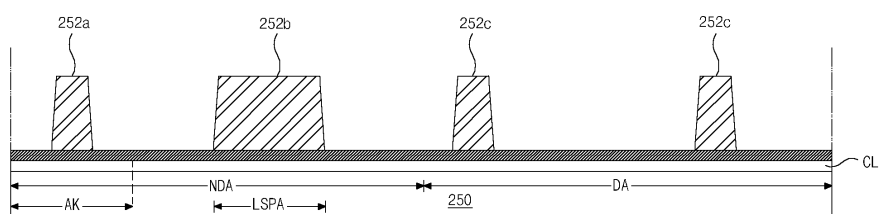
도면4



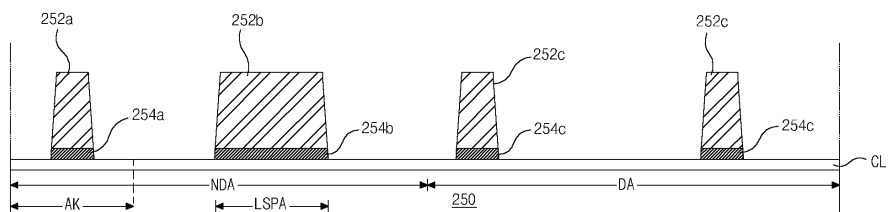
도면5a



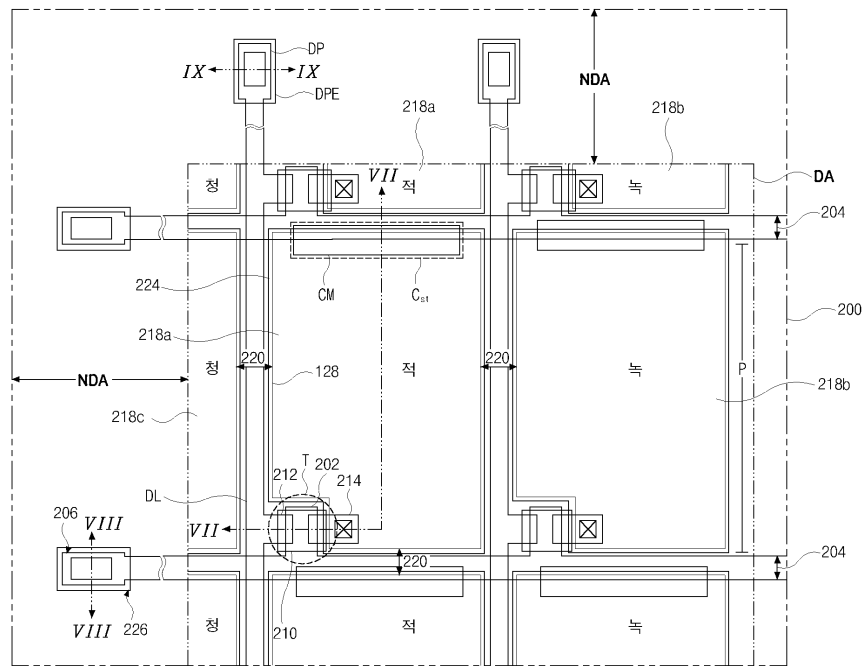
도면5b



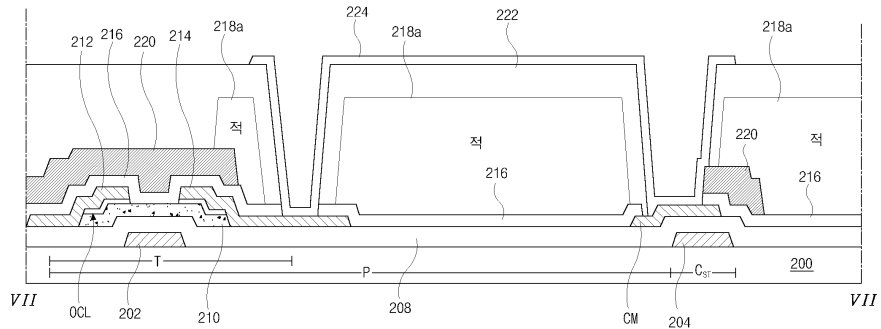
도면5c



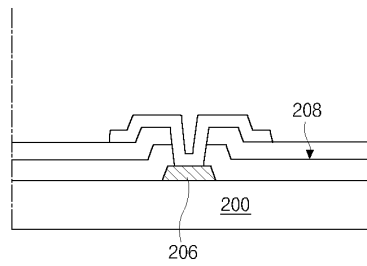
도면6



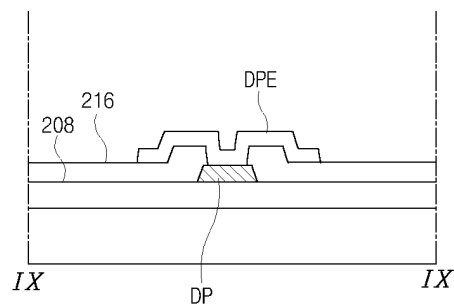
도면7



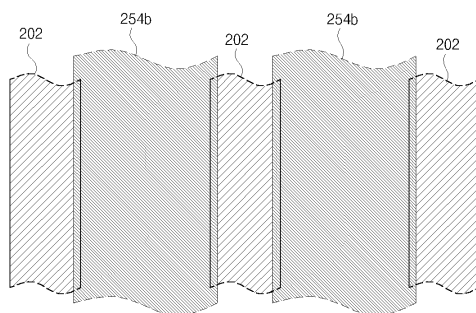
도면8



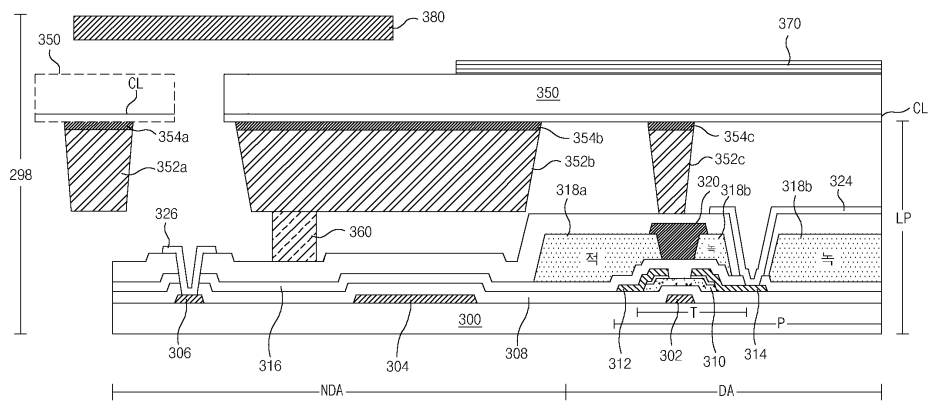
도면9



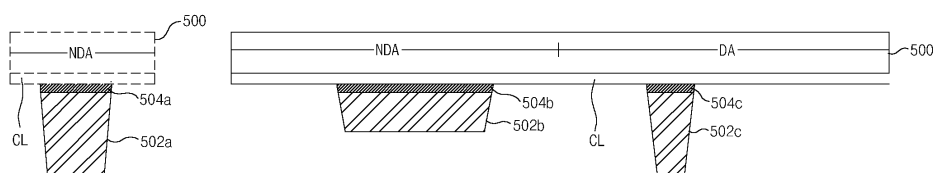
도면10



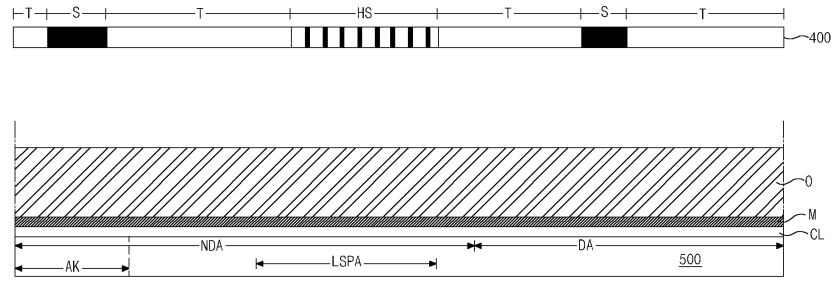
도면11



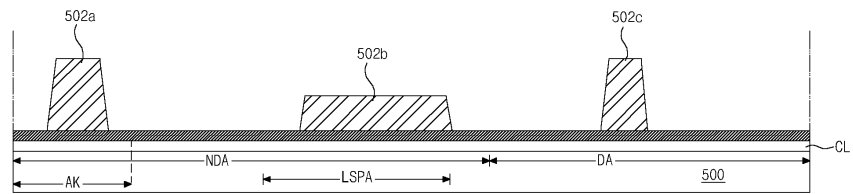
도면12



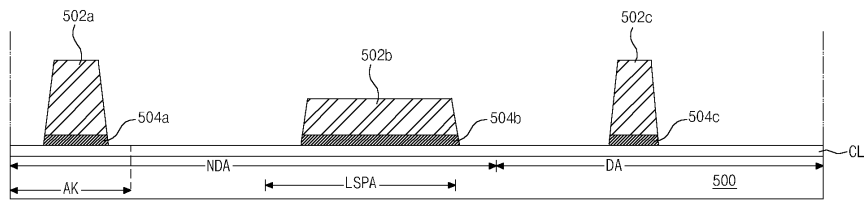
도면13a



도면13b



도면13c



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020050052731A	公开(公告)日	2005-06-07
申请号	KR1020030086271	申请日	2003-12-01
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM WOONGKWON 김웅권 KIM DONGGUK 김동국		
发明人	김웅권 김동국		
IPC分类号	G02F1/1339		
其他公开文献	KR101033459B1		
外部链接	Espacenet		

摘要(译)

用途：通过单一掩模工艺形成对准键，防漏光图案和间隔物，提供液晶显示器及其制造方法，以减少工艺数量和成本。

