(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G09G 3/36

(11) 공개번호 10-2004-0055335
(43) 공개일자 2004년06월26일

(21) 출원번호 10-2002-0081979
(22) 출원일자 2002년12월20일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 박광순
대구광역시동구신암5동54-35

김철세
대구광역시달서구용산동410-2보람타운202동303호

(74) 대리인 김영호

심사청구 : 없음

(54) 액정표시장치의 구동장치 및 방법

요약

본 발명은 데이터라인의 수 및 이에 대응하는 데이터 드라이브 집적회로의 수를 줄일 수 있도록 한 액정표시장치에 관한 것이다.

본 발명의 액정표시장치는 다수의 수직라인을 이루도록 형성되는 데이터라인들과, 데이터라인들과 교차되는 방향으로 다수의 수평라인을 이루도록 형성되는 다수의 게이트라인들과, 수평라인 마다 형성되는 다수의 액정셀들을 구비하며, 하나의 데이터라인은 수평라인을 따라 형성된 적어도 3개 이상의 액정셀들에 비디오신호를 공급한다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래의 액정표시장치를 나타내는 도면.

도 2는 본 발명의 제 1실시예에 의한 액정표시장치를 나타내는 도면.

도 3은 도 2에 도시된 액정셀들을 구동시키기 위하여 게이트라인에 공급되는 게이트신호를 나타내는 파형도.

도 4는 도 2의 다른 실시예에 의한 액정표시장치를 나타내는 도면.

도 5는 본 발명이 제 2실시예에 의한 액정표시장치를 나타내는 도면.

도 6은 본 발명의 제 3실시예에 의한 액정표시장치를 나타내는 도면.

도 7은 도 6에 도시된 액정셀들을 구동시키기 위하여 게이트라인에 공급되는 게이트신호를 나타내는 파형도.

도 8은 본 발명의 실시예에 의한 박막 트랜지스터의 구조를 나타내는 단면도.

도 9는 본 발명의 다른 실시예에 의한 박막 트랜지스터의 구조를 나타내는 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

2,12,30,40 : 액정패널 4,14,32,42 : 데이터 드라이버

6,16,34,44 : 게이트 드라이버 20,22,24,50,52,54,56 : 액정셀

26,28,30,58,60,62,64 : 스위칭부 101,130 : 기판

102,132 : 게이트절연막 106,134 : 게이트전극

108,136 : 소스전극 110,138 : 드레인전극

112,148 : 보호막 114,116,140,146 : 반도체층

118,142 : 드레인 접촉홀 120,144 : 화소전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 구동장치 및 방법에 관한 것으로 특히, 데이터라인의 수 및 이에 대응하는 데이터 드라이브 집적회로의 수를 줄일 수 있도록 한 액정표시장치의 구동장치 및 방법에 관한 것이다.

액정표시장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 화소 매트릭스를 가지는 액정패널과 액정패널을 구동하기 위한 구동회로를 구비한다. 구동회로는 화상정보가 표시패널에 표시되도록 화소 매트릭스를 구동하게 된다.

도 1은 종래의 액정표시장치를 나타내는 도면이다.

도 1을 참조하면, 종래의 액정표시장치는 액정패널(2)과, 액정패널(2)의 데이터라인들(DL1 내지 DLm)을 구동하기 위한 데이터 드라이버(4)와, 액정패널(2)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(6)를 구비한다.

액정패널(2)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm)의 교차부에 각각 형성된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)에 접속되고 매트릭스 형태로 배열되어진 액정셀들을 구비한다.

게이트 드라이버(6)는 도시되지 않은 타이밍 제어부로부터의 제어신호에 따라 게이트 라인들(GL1 내지 GLn)에 순차적으로 게이트신호를 공급한다. 데이터 드라이버(4)는 타이밍 제어부로부터 공급되는 데이터(R,G,B)를 아날로그 신호인 비디오신호로 변환하여 게이트라인들(GL1 내지 GLn)에 게이트신호가 공급되는 1수평주기마다 1수평라인분의 비디오신호를 데이터라인들(DL1 내지 DLm)로 공급한다.

박막 트랜지스터(TFT)는 게이트라인(GL1 내지 GLn)으로부터의 게이트신호에 응답하여 데이터라인(DL1 내지 DLm)으로부터의 데이터를 액정셀로 공급한다. 액정셀은 액정을 사이에 두고 대면하는 공통전극과, 박막 트랜지스터(TFT)에 접속된 화소전극으로 구성되므로 등가적으로 액정 캐패시터(Clc)로 표시될 수 있다. 이러한 액정셀은 액정 캐패시터(Clc)에 충전된 데이터전압을 다음 데이터전압이 충전될 때 까지 유지시키기 위하여 이전단 게이트라인에 접속된

스토리지 캐패시터(도시되지 않음)를 포함한다.

이와 같은 종래의 액정표시장치의 액정셀들은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm)의 교차부에 각각 위치되기 때문에 데이터라인들(DL1 내지 DLm)의 수만큼(즉 m개) 수직라인을 형성한다. 다시 말하여, 액정셀들은 m개의 수직라인 및 n개의 수평라인을 이루도록 매트릭스 형태로 배치된다.

여기서 알수 있듯이, 종래에는 m개의 수직라인의 액정셀들을 구동하기 위하여 m개의 데이터라인들(DL1 내지 DLm)을 필요로한다. 따라서, 종래에는 액정패널(2)을 구동하기 위하여 다수의 데이터라인들(DL1 내지 DLm)이 형성되고, 이에 따라 공정시간 및 제조비용이 낭비되는 단점이 있다. 또한, m개의 데이터라인들(DL1 내지 DLm) 각각을 구동하기 위하여 데이터 드라이버(4) 내에 많은 수의 데이터 드라이버 집적회로(Integrated Circuit : 이하 'IC'라 함)가 포함되어야 하므로 많은 제조비용이 소모되어야 하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 데이터라인의 수 및 이에 대응하는 데이터 드라이브 집적회로의 수를 줄일 수 있도록 한 액정표시장치의 구동장치 및 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 액정표시장치는 다수의 수직라인을 이루도록 형성되는 데이터라인들과, 데이터라인들과 교차되는 방향으로 다수의 수평라인을 이루도록 형성되는 다수의 게이트라인들과, 수평라인 마다 형성되는 다수 의 액정셀들을 구비하며, 하나의 데이터라인은 수평라인을 따라 형성된 적어도 3개 이상의 액정셀들에 비디오신호를 공급한다.

상기 수평라인에는 하나의 데이터라인에 접속되는 제 1액정셀, 제 2액정셀 및 제 3액정셀이 서로 인접되게 배치된다.

i(i는 자연수)번째 수평라인에 위치된 제 1액정셀을 구동시키기 위하여 3개의 게이트라인과 접속되는 제 1스위칭부와, i번째 수평라인에 위치된 제 2액정셀을 구동시키기 위하여 2개의 게이트라인과 접속되는 제 2스위칭부와, i번째 수평라인에 위치된 제 3액정셀들을 구동시키기 위하여 1개의 게이트라인과 접속되는 제 3스위칭부를 구비한다.

상기 제 1스위칭부는 i-1번째 게이트라인, i번째 게이트라인 및 i+1번째 게이트라인에 접속되어 데이터라인으로부터 공급되는 비디오신호를 제 1액정셀로 공급한다.

1수평주기는 1/3기간씩 분할되고, 제 1스위칭부는 전반부 1/3기간동안 비디오신호를 제 1액정셀로 공급한다.

상기 제 2스위칭부는 i-1번째 게이트라인 및 i번째 게이트라인에 접속되어 데이터라인으로부터 공급되는 비디오신호를 제 2액정셀로 공급한다.

1수평주기는 1/3기간씩 분할되고, 제 2스위칭부는 중반부 1/3기간동안 비디오신호를 제 2액정셀로 공급한다.

상기 제 3스위칭부는 i-1번째 게이트라인에 접속되어 데이터라인으로부터 공급되는 비디오신호를 제 3액정셀로 공급한다.

1수평주기는 1/3기간씩 분할되고, 제 3스위칭부는 후반부 1/3기간동안 비디오신호를 제 3액정셀로 공급한다.

상기 제 1액정셀, 제 2액정셀 및 제 3액정셀은 수평라인마다 엇갈리도록 배치된다.

상기 수직라인에서 제 1액정셀 상측에 제 2액정셀이 위치되고, 제 1액정셀 하측에 제 3액정셀이 위치된다.

상기 수직라인에서 제 1액정셀 상측에 제 3액정셀이 위치되고, 제 1액정셀 하측에 제 2액정셀이 위치된다.

상기 제 1액정셀, 제 2액정셀 및 제 3액정셀 각각은 적어도 하나 이상이 박막 트랜지스터를 포함하며, 박막 트랜지스터 각각은 기판상에 형성된 게이트전극과, 게이트전극상에 형성되는 게이트 절연막과, 게이트 절연막 상에 형성되는 반도체층과, 반도체층상에 형성되는 소스전극 및 드레인전극과, 소스전극 및 드레인전극 상에 형성되는 보호막을 구비한다.

상기 반도체층은 게이트 절연막 상에 불순물이 도핑되지 않은 비정질실리콘으로 형성되는 활성층과, 활성층상에 N형 또는 P형 불순물이 도핑된 비정질실리콘으로 형성되는 오믹 접촉층을 구비한다.

상기 반도체층과 소스전극 및 드레인전극은 동일 마스크에 의해 형성된다.

상기 반도체층과 소스전극 및 드레인전극은 상이한 마스크에 의해 형성된다.

상기 수평라인에는 하나의 데이터라인에 접속되는 제 1액정셀, 제 2액정셀, 제 3액정셀 및 제 4액정셀이 서로 인접되게 배치된다.

i(i는 자연수)번째 수평라인에 위치된 제 1액정셀을 구동시키기 위하여 4개의 게이트라인과 접속되는 제 1스위칭부와, i번째 수평라인에 위치된 제 2액정셀을 구동시키기 위하여 3개의 게이트라인과 접속되는 제 2스위칭부와, i번째 수평라인에 위치된 제 3액정셀을 구동시키기 위하여 2개의 게이트라인과 접속되는 제 3스위칭부와, i번째 수평라인에 위치된 제 4액정셀을 구동시키기 위하여 1개의 게이트라인과 접속되는 제 4스위칭부를 구비한다.

상기 제 1스위칭부는 i-1번째 게이트라인, i번째 게이트라인, i+1번째 게이트라인 및 i+2번째 게이트라인에 접속되어 데이터라인으로부터 공급되는 비디오신호를 제 1액정셀로 공급한다.

1수평주기는 1/4기간씩 분할되고, 제 1스위칭부는 첫번째 1/4기간동안 비디오신호를 제 1액정셀로 공급한다.

상기 제 2스위칭부는 i-1번째 게이트라인, i번째 게이트라인 및 i+1번째 게이트라인에 접속되어 데이터라인으로부터 공급되는 비디오신호를 제 2액정셀로 공급한다.

1수평주기는 1/4기간씩 분할되고, 제 2스위칭부는 두번째 1/4기간동안 비디오신호를 제 2액정셀로 공급한다.

상기 제 3스위칭부는 i-1번째 게이트라인 및 i번째 게이트라인에 접속되어 데이터라인으로부터 공급되는 비디오신호를 제 3액정셀로 공급한다.

1수평주기는 1/4기간씩 분할되고, 제 3스위칭부는 세번째 1/4기간동안 비디오신호를 제 3액정셀로 공급한다.

상기 제 4스위칭부는 i-1번째 게이트라인에 접속되어 데이터라인으로부터 공급되는 비디오신호를 제 4액정셀로 공급한다.

1수평주기는 1/4기간씩 분할되고, 제 3스위칭부는 마지막 1/4기간동안 비디오신호를 제 4액정셀로 공급한다.

상기 제 1액정셀, 제 2액정셀, 제 3액정셀 및 제 4액정셀은 수평라인마다 엇갈리도록 배치된다.

상기 수직라인에서 인접되게 서로 상이한 액정셀들이 위치되도록 제 1액정셀, 제 2액정셀, 제 3액정셀 및 제 4액정셀이 배치된다.

상기 제 1액정셀, 제 2액정셀, 제 3액정셀 및 제 4액정셀 각각은 적어도 하나 이상이 박막 트랜지스터를 포함하며, 박막 트랜지스터 각각은 기판상에 형성된 게이트전극과, 게이트전극상에 형성되는 게이트 절연막과, 게이트 절연막 상에 형성되는 반도체층과, 반도체층상에 형성되는 소스전극 및 드레인전극과, 소스전극 및 드레인전극 상에 형성되는 보호막을 구비한다.

상기 반도체층은 게이트 절연막 상에 불순물이 도핑되지 않은 비정질실리콘으로 형성되는 활성층과, 활성층상에 N형 또는 P형 불순물이 도핑된 비정질실리콘으로 형성되는 오믹 접촉층을 구비한다.

상기 반도체층과 소스전극 및 드레인전극은 동일 마스크에 의해 형성된다.

상기 반도체층과 소스전극 및 드레인전극은 상이한 마스크에 의해 형성된다.

본 발명의 액정표시장치의 구동장치는 다수의 수직라인을 이루도록 형성되는 데이터라인들과, 데이터라인들과 교차되는 방향으로 다수의 수평라인을 이루도록 형성되는 다수의 게이트라인들과, 수평라인 마다 형성되는 다수의 액정셀들과, 액정셀들마다 각각 형성되어 하나의 데이터라인으로 공급되는 비디오신호를 적어도 3개 이상의 액정셀들로 공급하기 위한 스위칭부들과, 데이터라인에 비디오신호를 공급하기 위한 데이터 드라이버와, 게이트라인에 게이트신호를 공급하기 위한 게이트 드라이버를 구비한다.

상기 하나의 데이터라인으로 공급되는 비디오신호를 3개의 액정셀로 공급하기 위하여 스위칭부들은 3개의 게이트라인들과 접속되어 데이터라인으로 공급되는 비디오신호를 액정셀로 공급하기 위한 제 1스위칭부와, 2개의 게이트라인들과 접속되어 데이터라인으로 공급되는 비디오신호를 액정셀로 공급하기 위한 제 2스위칭부와, 1개의 게이트라인들과 접속되어 데이터라인으로 공급되는 비디오신호를 액정셀로 공급하기 위한 제 3스위칭부를 구비한다.

상기 데이터 드라이버는 1수평주기동안 각각의 데이터라인으로 3개의 비디오신호를 순차적으로 공급한다.

상기 데이터 드라이버는 1수평주기를 1/3기간씩 분할하여 전반부 1/3기간동안 제 1스위칭부로 공급될 제 1비디오신호를 공급함과 아울러 중반부 1/3기간동안 제 2스위칭부로 공급될 제 2비디오신호를 공급하고, 후반부 1/3기간동안 제 3스위칭부로 공급될 제 3비디오신호를 공급한다.

상기 게이트 드라이버는 각각의 게이트라인들로 제 1게이트신호, 제 2게이트신호 및 제 3게이트신호를 공급한다.

상기 제 1게이트신호는 1/3수평주기동안 하이 상태를 유지함과 아울러 제 2 게이트신호는 2/3수평주기동안 하이 상태를 유지하고, 제 3게이트신호는 1수평주기동안 하이 상태를 유지한다.

1수평주기의 전반부 1/3기간동안 3개의 게이트라인에 제 3게이트신호, 제 2게이트신호 및 제 1게이트신호가 각각 공급되어 제 1스위칭부를 턴-온시킨다.

1수평주기의 중반부 1/3기간동안 2개의 게이트라인에 제 3게이트신호 및 제 2게이트신호가 각각 공급되어 제 2스위칭부를 턴-온시킨다.

1수평주기의 후반부 1/3기간동안 1개의 게이트라인에 제 3게이트신호가 공급되어 제 3스위칭부를 턴-온시킨다.

상기 하나의 데이터라인으로 공급되는 비디오신호를 4개의 액정셀로 공급하기 위하여 스위칭부들은 4개의 게이트라인들과 접속되어 데이터라인으로 공급되는 비디오신호를 액정셀로 공급하기 위한 제 1스위칭부와, 3개의 게이트라인들과 접속되어 데이터라인으로 공급되는 비디오신호를 액정셀로 공급하기 위한 제 2스위칭부와, 2개의 게이트라인들과 접속되어 데이터라인으로 공급되는 비디오신호를 액정셀로 공급하기 위한 제 3스위칭부와, 1개의 게이트라인들과 접속되어 데이터라인으로 공급되는 비디오신호를 액정셀로 공급하기 위한 제 4스위칭부를 구비한다.

상기 데이터 드라이버는 1수평주기동안 각각의 데이터라인으로 4개의 비디오신호를 순차적으로 공급한다.

상기 데이터 드라이버는 1수평주기를 1/4기간씩 분할하여 첫번째 1/4기간동안 제 1스위칭부로 공급될 제 1비디오신호를 공급함과 아울러 두번째 1/4기간동안 제 2스위칭부로 공급될 제 2비디오신호를 공급하고, 세번째 1/4기간동안 제 3스위 칭부로 공급될 제 3비디오신호를 공급함과 아울러 네번째 1/4기간동안 제 4스위칭부로 공급될 제 4비디오신호를 공급한다.

상기 게이트 드라이버는 각각의 게이트라인들로 제 1게이트신호, 제 2게이트신호, 제 3게이트신호 및 제 4게이트신호를 공급한다.

상기 제 1게이트신호는 1/4수평주기동안 하이상태를 유지함과 아울러 제 2게이트신호를 2/4 수평주기동안 하이상태를 유지하고, 제 3게이트신호는 3/4 수평주기동안 하이상태를 유지함과 아울러 제 4게이트신호는 1수평주기동안 하이 상태를 유지한다.

1수평주기의 첫번째 1/4기간동안 4개의 게이트라인에 제 4게이트신호, 제 3게이트신호, 제 2게이트신호 및 제 1게이트신호가 각각 공급되어 제 1스위칭부를 턴-온시킨다.

1수평주기의 두번째 1/4기간동안 3개의 게이트라인에 제 4게이트신호, 제 3게이트신호 및 제 2게이트신호가 각각 공급되어 제 2스위칭부를 턴-온시킨다.

1수평주기의 세번째 1/4기간동안 2개의 게이트라인에 제 4게이트신호 및 제 3게이트신호가 각각 공급되어 제 3스위칭부를 턴-온시킨다.

1수평주기의 네번째 1/4기간동안 1개의 게이트라인에 제 4게이트신호가 공급되어 제 4스위칭부를 턴-온시킨다.

본 발명의 액정표시장치의 구동방법은 1수평주기동안 데이터라인마다 i(i는 3보다 큰 자연수)개 이상의 비디오신호가 공급되는 단계와, 데이터라인으로 공급되는 i개 이상의 비디오신호가 수평라인에 형성된 i개의 액정셀들로 공급되는 단계를 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하 도 2 내지 도 9를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 2는 본 발명의 제 1실시예에 의한 액정표시장치를 나타내는 도면이다.

도 2를 참조하면, 본 발명의 제 1실시예에 의한 액정표시장치는 액정패널(12)과, 액정패널(12)의 데이터라인들(DL1 내지 DLm/3)을 구동하기 위한 데이터 드라이버(14)와, 액정패널(12)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(16)를 구비한다.

액정패널(12)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm/3)의 교차부에 형성된 제 1액정셀들(20), 제 2액정셀들(22) 및 제 3액정셀들(24)들과, 제 1액정셀(20)에 형성되어 제 1액정셀(20)을 구동시키기 위한 제 1스위칭부(26)와, 제 2액정셀(22)에 형성되어 제 2액정셀(22)을 구동시키기 위한 제 2스위칭부(28)와, 제 3액정셀(24)에 형성되어 제 3액정셀(24)을 구동시키기 위한 제 3스위칭부(30)를 구비한다.

제 1 내지 제 3액정셀(20 내지 24)들은 액정을 사이에 두고 대면하는 공통전극과, 제 1 내지 제 3스위칭부(26 내지 30)에 각각 접속되는 화소전극으로 구성되므로 등가적으로 액정 캐패시터(Clc)로 표시될 수 있다. 또한, 제 1 내지 제 3액정셀(20 내지 24)들은 액정 캐패시터(Clc)에 충전된 데이터전압을 다음 데이터전압 이 충전될 때 까지 유지시키기 위하여 이전단 게이트라인에 접속된 스토리지 캐패시터(도시되지 않음)을 포함한다.

수평라인에서 제 1액정셀(20), 제 2액정셀(22) 및 제 3액정셀(24)은 순차적으로 배치된다. 다시 말하여, 수평라인에서 액정셀들은 제 1액정셀(20), 제 2액정셀(22), 제 3액정셀(24), 제 1액정셀(20), 제 2액정셀(22), 제 3액정셀,…의 순서로 배치되게 된다. 여기서, 서로 인접되게 위치된 제 1액정셀(20), 제 2액정셀(22) 및 제 3액정셀(24)은 하나의 데이터라인(DL)으로부터 비디오신호를 공급받는다. 따라서, 본 발명의 제 1실시예에 의한 액정표시장치에 의하면 도 1에 도시된 종래의 액정표시장치에 비하여 데이터라인(DL)의 수가 1/3로 줄어들게 된다.

한편, 본 발명에서 제 1액정셀(20), 제 2액정셀(22) 및 제 3액정셀(23)의 위치는 다양하게 변경될 수 있다. 예를 들어, 도 4와 같이 수평라인에서 액정셀들은 제 2액정셀(22), 제 1액정셀(20) 및 제 3액정셀(24),…의 순서로 배치될 수 있다. 즉, 본 발명에서 제 1 내지 제 3액정셀(20 내지 24)들은 수평라인에서 서로 인접되도록 다양하게 배치될 수 있다. 여기서, 서로 인접되게 위치된 제 1액정셀(20), 제 2액정셀(22) 및 제 3액정셀(24)은 하나의 데이터라인(DL)으로부터 비디오신호를 공급받는다.

i(i는 자연수) 번째 수평라인에 위치된 제 1액정셀(20)을 구동시키기 위한 제 1스위칭부(26)는 제 1 내지 제 3박막 트랜지스터(TFT1 내지 TFT3)를 구비한다. 제 1박막 트랜지스터(TFT1)의 소오스단자는 인접된 데이터라인(DL)에 접속되고, 게 이트단자는 i+1번째 게이트라인(GLi+1)에 접속된다. 제 2박막 트랜지스터(TFT2)의 게이트단자는 i번째 게이트라인(GLi)에 접속되고, 소오스단자는 제 1박막 트랜지스터(TFT1)의 드레인단자에 접속된다. 제 3박막 트랜지스터(TFT3)의 게이트단자는 i-1번째 게이트라인(GLi-1)에 접속되고, 소오스단자는 제 2박막 트랜지스터(TFT2)의 드레인단자에 접속된다. 그리고, 제 3박막 트랜지스터(TFT3)의 드레인단자는 제 1액정셀(20)에 접속된다. 이와 같은 제 1스위칭부(26)는 i-1번째 게이트라인(GLi-1), i번째 게이트라인(GLi) 및 i+1번째 게이트라인(GLi+1)에 구동신호(즉, 게이트신호)가 공급될 때 데이터라인(DL)으로부터의 비디오신호를 제 1액정셀(20)로 공급한다.

i번째 수평라인에 위치된 제 2액정셀(22)을 구동시키기 위한 제 2스위칭부(28)는 제 4 및 제 5박막 트랜지스터(TFT4,TFT5)를 구비한다. 제 4박막 트랜지스터(TFT4)의 소오스단자는 인접된 데이터라인(DL)에 접속되고, 게이트단자는 i번째 게이트라인(GLi)에 접속된다. 제 5박막 트랜지스터(TFT5)의 게이트단자는 i-1번째 게이트라인(GLi)에 접속되고, 소오스단자는 제 4박막 트랜지스터(TFT4)의 드레인단자에 접속된다. 그리고, 제 5박막 트랜지스터(TFT5)의 드레인단자는 제 2액정셀(22)에 접속된다. 이와 같은 제 2스위칭부(28)는 i-1번째 게이트라인(GLi-1) 및 i번째 게이트라인(GLi)에 구동신호(즉, 게이트신호)가 공급될 때 데이터라인(DL)으로부터의 비디오신호를 제 2액정셀(22)로 공급한다.

i번째 수평라인에 위치된 제 3액정셀(24)을 구동시키기 위한 제 3스위칭부(30)는 제 6박막 트랜지스터(TFT6)를 구비한다. 제 6박막 트랜지스터(TFT6)의 소오스단자는 인접된 데이터라인(DL)에 접속되고, 게이트단자는 i-1번째 게이트라인(GLi-1)에 접속된다. 그리고, 제 6박막 트랜지스터(TFT6)의 드레인단자는 제 3액정셀(24)에 접속된다. 이와 같은 제 3스위칭부(30)는 i-1번째 게이트라인(GLi-1)에 구동신호(즉, 게이트신호)가 공급될 때 데이터라인(DL)으로부터의 비디오신호를 제 3액정셀(24)로 공급한다.

데이터 드라이버(14)는 도시되지 않은 타이밍제어부로부터 공급되는 데이터(R,G,B)를 아날로그 신호인 비디오신호로 변환하여 데이터라인들(DL1 내지 DLm/3)에 공급한다. 이와 같은 데이터 드라이버(14)는 1수평주기동안 각각의

데이터라인(DL)들로 3개의 비디오신호들을 순차적으로 공급하게 된다.

이를 도 3을 참조하여 상세히 설명하면, 1수평주기(1H)동안 데이터 드라이버(14)는 각각의 데이터라인(DL)들로 제 1비디오신호(DA), 제 2비디오신호(DB) 및 제 3비디오신호(DC)를 순차적으로 공급한다. 여기서, 제 1비디오신호(DA)는 제 1액정셀(20)에 공급되고, 제 2비디오신호(DB)는 제 2액정셀(22)에 공급된다. 그리고, 제 3비디오신호(DC)는 제 3액정셀(24)로 공급된다. 한편, 데이터 드라이버(14)는 1수평주기(1H)동안 3개의 비디오신호(DA,DB,DC)들이 공급될 수 있도록 각각의 비디오신호(DA,DB,DC)들을 1/3H기간동안 공급하게 된다. 다시 말하여, 본 발명의 데이터 드라이버(14)는 1수평주기(1H)동안 각각의 데이터라인(DL)으로 3개의 비디오신호를 공급한다. 따라서, 본 발명의 데이터 드라이버(14)에는 도 1에 도시된 종래의 액정표시장치의 데이터 드라이버 IC의 수의 1/3에 해당하는 데이터 드라이버 IC가 포함되고, 이에 따라 제조비용을 절감할 수 있다.

게이트 드라이버(16)는 타이밍 제어부로부터 공급되는 제어신호에 따라 도 3과 같이 게이트 라인들(GL1 내지 GLn) 각각에 제 1게이트신호(SP1), 제 2게이트신호(SP2) 및 제 3게이트신호(SP3)를 공급한다. 여기서, 제 3게이트신호(SP3)는 1수평주기동안 하이 상태를 유지하고, 제 2게이트신호(SP2)는 2/3 수평주기동안 하이 상태를 유지한다. 그리고, 제 1게이트신호(SP1)는 1/3 수평주기동안 하이 상태를 유지한다.

한편, i-1번째 게이트라인(GLi-1)에 공급되는 제 3게이트신호(SP3)는 i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2) 및 i+1번째 게이트라인(GLi+1)에 공급되는 제 1게이트신호(SP1)와 동시에 공급된다. 따라서, i-1번째 게이트라인(GLi-1)에 공급되는 제 3게이트신호(SP3)는 i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2) 및 i+1번째 게이트라인(GLi+1)에 공급되는 제 1게이트신호(SP1)와 제 1기간(TA ; 1/3H)동안 중첩되게 공급된다.

그리고, 제 1기간(TA)에 이은 제 2기간(TB : 2/3)에는 i-1번째 게이트라인(GLi-1)에 공급되는 제 3게이트신호(SP3) 및 i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2)가 중첩되게 공급된다. 이후, 제 2기간(TB)에 이은 제 3기간(TC)에는 제 3게이트신호(SP3)만이 i-1번째 게이트라인(GLi-1)에 공급된다.

i번째 수평라인에 위치된 액정셀들(20,22,24)로 비디오신호가 공급되는 과정을 상세히 설명하면, 먼저 제 1기간(TA) 동안 i-1번째 게이트라인(GLi-1)에 제 3게 이트신호(SP3)가 공급됨과 아울러 i번째 게이트라인(GLi)에 제 2게이트신호(SP2)가 공급되고, i+1번째 게이트라인(GLi+1)에 제 1게이트신호(SP1)가 공급된다. i-1번째 게이트라인(GLi-1)에 공급되는 제 3게이트신호(SP3)는 제 3박막 트랜지스터(TFT2)를 턴-온시킨다. i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2)는 제 2박막 트랜지스터(TFT2)를 턴-온시킨다. 그리고, i+1번째 게이트라인(GLi+1)에 공급되는 제 1게이트신호(SP1)는 제 1박막 트랜지스터(TFT1)를 턴-온시킨다. 따라서, 제 1기간(TA)동안 데이터라인(DL)으로 공급되는 제 1비디오신호(DA)는 제 1 내지 제 3박막 트랜지스터(TFT1 내지 TFT3)를 경유하여 제 1액정셀(20)로 공급된다.

제 2기간(TB)에는 i-1번째 게이트라인(GLi-1)에 제 3게이트신호(SP3)가 공급되고, i번째 게이트라인(GLi)에 제 2게이트신호(SP2)가 공급된다. i-1번째 게이트라인(GLi-1)에 공급되는 제 3게이트신호(SP3)는 제 5박막 트랜지스터(TFT5)를 턴-온시킨다. i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2)는 제 4박막 트랜지스터(TFT4)를 턴-온시킨다. 따라서, 제 2기간(TB)동안 데이터라인(DL)으로 공급되는 제 2비디오신호(DB)는 제 4 및 제 5박막 트랜지스터(TFT4,TFT5)를 경유하여 제 2액정셀(22)로 공급된다.

제 3기간(TC)에는 i-1번째 게이트라인(GLi-1)에 제 3게이트신호(SP3)가 공급된다. i-1번째 게이트라인(GLi-1)에 공급되는 제 3게이트신호(SP3)는 제 6박막 트랜지스터(TFT6)를 턴-온시킨다. 따라서, 제 3기간(TC)동안 데이터라인(DL)으로 공급되는 제 2비디오신호(DC)는 제 6박막 트랜지스터(TFT6)를 경유하여 제 3액정셀(24)로 공급된다.

한편, 실질적으로 제 2액정셀(22)은 제 1기간(TA) 동안에도 제 1비디오신호(DA)를 공급받게 된다. 하지만, 제 2액정셀(22)은 제 1기간(TA)에 이은 제 2기간(TB) 동안 제 2비디오신호(DB)를 공급받기 때문에 원하는 비디오신호(DB)가 차징될 수 있다. 또한, 제 3액정셀(24)은 제 1기간(TA) 및 제 2기간(TB) 동안 제 1 및 제 2비디오신호(DA,DB)를 공급받게 된다. 하지만, 제 3액정셀(24)은 제 2기간(TB)에 이은 제 3기간(TC) 동안 제 3비디오신호(DC)를 공급받기 때문에 원하는 비디오신호(DC)가 차징될 수 있다.

도 5는 본 발명의 제 2실시예에 의한 액정표시장치를 나타내는 도면이다.

이와 같은 본 발명의 제 2실시예에서는 액정셀들(20,22,24) 및 스위칭부들(26,28,30)의 형성위치만 변경될 뿐 그 구조 및 기능은 도 2에 도시된 본 발명의 제 1실시예와 동일하다.

도 5를 참조하면, 본 발명의 제 2실시예에 의한 액정표시장치는 액정패널(30)과, 액정패널(30)의 데이터라인들(DL1 내지 DLm/3)을 구동하기 위한 데이터 드라이버(32)와, 액정패널(30)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(34)를 구비한다.

액정패널(30)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm/3)의 교차부에 형성된 제 1액정셀들(20), 제 2액정셀들(22) 및 제 3액정셀들(24)들과, 제 1액정셀(20)에 형성되어 제 1액정셀(20)을 구동시키기 위한 제 1스위칭부(26)와, 제 2액정셀(22)에 형성되어 제 2액정셀(22)을 구동시키기 위 한 제 2스위칭부(28)와, 제 3액정셀(24)에 형성되어 제 3액정셀(24)을 구동시키기 위한 제 3스위칭부(30)를 구비한다.

제 1 내지 제 3액정셀(20 내지 24)들은 액정을 사이에 두고 대면하는 공통전극과, 제 1 내지 제 3스위칭부(26 내지 30)에 각각 접속되는 화소전극으로 구성되므로 등가적으로 액정 캐패시터(Clc)로 표시될 수 있다. 또한, 제 1 내지 제 3액정셀(20 내지 24)들은 액정 캐패시터(Clc)에 충전된 데이터전압을 다음 데이터전압이 충전될 때 까지 유지시키기 위하여 이전단 게이트라인에 접속된 스토리지 캐패시터(도시되지 않음)를 포함한다.

i번째 수평라인에서 제 1액정셀(20), 제 2액정셀(22) 및 제 3액정셀(24)은 순차적으로 배치된다. 다시 말하여, i번째 수평라인에서 액정셀들은 제 1액정셀(20), 제 2액정셀(22), 제 3액정셀(24), 제 1액정셀(20), 제 2액정셀(22), 제 3액정셀(24)...의 순서로 배치되게 된다. i+1번째 수평라인에서 액정셀들은 제 2액정셀(22), 제 3액정셀(24) 및 제 1액정셀(20)의 순서로 배치된다. 그리고, i+2번째 수평라인에서 액정셀들은 제 3액정셀(24), 제 1액정셀(20), 제 2액정셀(22)의 순서로 배치된다.

따라서, j(j는 자연수)번째 수직라인에서는 제 1액정셀(20), 제 2액정셀(22) 및 제 3액정셀(24)의 순서로 액정셀들이 배치되고, j+1번째 수직라인에서는 제 2액정셀(22), 제 3액정셀(24) 및 제 1액정셀(20)의 순서로 액정셀들이 배치된다. 그리고, j+2번째 수직라인에서는 제 3액정셀(24), 제 1액정셀(20) 및 제 2액정셀(22)의 순서로 액정셀들이 배치된다. 다시 말하여, 본 발명의 제 2실시예에서는 특정 수평라인에 위치된 액정셀들의 상/하로 서로 다른 액정셀들이 배치되게 된다. 이와 같이 액정셀들(20,22,24)의 상/하로 서로 다른 액정셀들이 배치되게 되면 액정셀들(20,22,24) 간 전압충전의 불균일이 발생되더라도 수평라인 단위로 불균일 값이 상쇄되기 때문에 균일한 화질의 영상을 표시될 수 있다.

한편, 서로 인접되게 위치된 제 1액정셀(20), 제 2액정셀(22) 및 제 3액정셀(24)은 하나의 데이터라인(DL)으로부터 비디오신호를 공급받는다. 따라서, 본 발명의 제 2실시예에 의한 액정표시장치에 의하면 도 1에 도시된 종래의 액정표시장치에 비하여 데이터라인(DL)의 수가 1/3로 줄어들게 된다.

i(i는 자연수) 번째 수평라인에 위치된 제 1액정셀(20)을 구동시키기 위한 제 1스위칭부(26)는 제 1 내지 제 3박막 트랜지스터(TFT1 내지 TFT3)를 구비한다. 제 1박막 트랜지스터(TFT1)의 소오스단자는 인접된 데이터라인(DL)에 접속되고, 게이트단자는 i+1번째 게이트라인(GLi+1)에 접속된다. 제 2박막 트랜지스터(TFT2)의 게이트단자는 i번째 게이트라인(GLi)에 접속되고, 소오스단자는 제 1박막 트랜지스터(TFT1)의 드레인단자에 접속된다. 제 3박막 트랜지스터(TFT3)의 게이트단자는 i-1번째 게이트라인(GLi-1)에 접속되고, 소오스단자는 제 2박막 트랜지스터(TFT2)의 드레인단자에 접속된다. 그리고, 제 3박막 트랜지스터(TFT3)의 드레인단자는 제 1액정셀(20)에 접속된다. 이와 같은 제 1스위칭부(26)는 i-1번째 게이트라인(GLi-1), i번째 게이트라인(GLi) 및 i+1번째 게이트라인(GLi+1)에 구동신호(즉, 게이트신호)가 공급될 때 데이터라인(DL)으로부터의 비디오신호를 제 1액정셀(20)로 공급한다.

i번째 수평라인에 위치된 제 2액정셀(22)을 구동시키기 위한 제 2스위칭부(28)는 제 4 및 제 5박막 트랜지스터(TFT4,TFT5)를 구비한다. 제 4박막 트랜지스터(TFT4)의 소오스단자는 인접된 데이터라인(DL)에 접속되고, 게이트단자는 i번째 게이트라인(GLi)에 접속된다. 제 5박막 트랜지스터(TFT5)의 게이트단자는 i-1번째 게이트라인(GLi)에 접속되고, 소오스단자는 제 4박막 트랜지스터(TFT4)의 드레인단자에 접속된다. 그리고, 제 5박막 트랜지스터(TFT5)의 드레인단자는 제 2액정셀(22)에 접속된다. 이와 같은 제 2스위칭부(28)는 i-1번째 게이트라인(GLi-1) 및 i번째 게이트라인(GLi)에 구동신호(즉, 게이트신호)가 공급될 때 데이터라인(DL)으로부터의 비디오신호를 제 2액정셀(22)로 공급한다.

i번째 수평라인에 위치된 제 3액정셀(24)을 구동시키기 위한 제 3스위칭부(30)는 제 6박막 트랜지스터(TFT6)를 구비한다. 제 6박막 트랜지스터(TFT6)의 소오스단자는 인접된 데이터라인(DL)에 접속되고, 게이트단자는 i-1번째 게이트라인(GLi-1)에 접속된다. 그리고, 제 6박막 트랜지스터(TFT6)의 드레인단자는 제 3액정셀(24)에 접속된다. 이와 같은 제 3스위칭부(30)는 i-1번째 게이트라인(GLi-1)에 구동신호(즉, 게이트신호)가 공급될 때 데이터라인(DL)으로부터의 비디오신호를 제 3액정셀(24)로 공급한다.

데이터 드라이버(32)는 도시되지 않은 타이밍제어부로부터 공급되는 데이터(R,G,B)를 아날로그 신호인 비디오신호로 변환하여 데이터라인들(DL1 내지 DLm/3)에 공급한다. 이와 같은 데이터 드라이버(32)는 1수평주기동안 각각의 데이터라인(DL)들로 3개의 비디오신호들을 순차적으로 공급하게 된다.

이를 도 3을 참조하여 상세히 설명하면, 1수평주기(1H)동안 데이터 드라이버(14)는 각각의 데이터라인(DL)들로 제 1비디오신호(DA), 제 2비디오신호(DB) 및 제 3비디오신호(DC)를 순차적으로 공급한다. 여기서, 제 1비디오신호(DA)는 제 1액정셀(20)에 공급되고, 제 2비디오신호(DB)는 제 2액정셀(22)에 공급된다. 그리고, 제 3비디오신호(DC)는

제 3액정셀(24)로 공급된다. 한편, 데이터 드라이버(14)는 1수평주기(1H)동안 3개의 비디오신호(DA,DB,DC)들이 공급될 수 있도록 각각의 비디오신호(DA,DB,DC)들을 1/3H기간동안 공급하게 된다. 다시 말하여, 본 발명의 데이터 드라이버(14)는 1수평주기(1H)동안 각각의 데이터라인(DL)으로 3개의 비디오신호를 공급한다. 따라서, 본 발명의 데이터 드라이버(14)에는 도 1에 도시된 종래의 액정표시장치의 데이터 드라이버 IC의 수의 1/3에 해당하는 데이터 드라이버 IC가 포함되고, 이에 따라 제조비용을 절감할 수 있다.

게이트 드라이버(34)는 타이밍 제어부로부터 공급되는 제어신호에 따라 도 3과 같이 게이트 라인들(GL1 내지 GLn) 각각에 제 1게이트신호(SP1), 제 2게이트신호(SP2) 및 제 3게이트신호(SP3)를 공급한다. 여기서, 제 3게이트신호(SP3)는 1수평주기동안 하이 상태를 유지하고, 제 2게이트신호(SP2)는 2/3 수평주기동안 하이 상태를 유지한다. 그리고, 제 1게이트신호(SP1)는 1/3 수평주기동안 하이 상태를 유지한다.

한편, i-1번째 게이트라인(GLi-1)에 공급되는 제 3게이트신호(SP3)는 i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2) 및 i+1번째 게이트라인(GLi+1)에 공급되는 제 1게이트신호(SP1)와 동시에 공급된다. 따라서, i-1번째 게이트라인(GLi-1)에 공급되는 제 3게이트신호(SP3)는 i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2) 및 i+1번째 게이트라인(GLi+1)에 공급되는 제 1게이트신호(SP1)와 제 1기간(TA ; 1/3H)동안 중첩되게 공급된다.

그리고, 제 1기간(TA)에 이은 제 2기간(TB : 2/3)에는 i-1번째 게이트라인(GLi-1)에 공급되는 제 3게이트신호(SP3) 및 i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2)가 중첩되게 공급된다. 이후, 제 2기간(TB)에 이은 제 3기간(TC)에는 제 3게이트신호(SP3)만이 i-1번째 게이트라인(GLi-1)에 공급된다.

i번째 수평라인에 위치된 액정셀들(20,22,24)로 비디오신호가 공급되는 과정을 상세히 설명하면, 먼저 제 1기간(TA) 동안 i-1번째 게이트라인(GLi-1)에 제 3게이트신호(SP3)가 공급됨과 아울러 i번째 게이트라인(GLi)에 제 2게이트신호(SP2)가 공급되고, i+1번째 게이트라인(GLi+1)에 제 1게이트신호(SP1)가 공급된다. i-1번째 게이트라인(GLi-1)에 공급되는 제 3게이트신호(SP3)는 제 3박막 트랜지스터(TFT2)를 턴-온시킨다. i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2)는 제 2박막 트랜지스터(TFT2)를 턴-온시킨다. 그리고, i+1번째 게이트라인(GLi+1)에 공급되는 제 1게이트신호(SP1)는 제 1박막 트랜지스터(TFT1)를 턴-온시킨다. 따라서, 제 1기간(TA)동안 데이터라인(DL)으로 공급되는 제 1비디오신호(DA)는 제 1 내지 제 3박막 트랜지스터(TFT1 내지 TFT3)를 경유하여 제 1액정셀(20)로 공급된다.

제 2기간(TB)에는 i-1번째 게이트라인(GLi-1)에 제 3게이트신호(SP3)가 공급되고, i번째 게이트라인(GLi)에 제 2게이트신호(SP2)가 공급된다. i-1번째 게이트라인(GLi-1)에 공급되는 제 3게이트신호(SP3)는 제 5박막 트랜지스터(TFT5)를 턴-온시킨다. i번째 게이트라인(GLi)에 공급되는 제 2게이트신호(SP2)는 제 4박막 트랜지스터(TFT4)를 턴-온시킨다. 따라서, 제 2기간(TB)동안 데이터라인(DL)으로 공급되는 제 2비디오신호(DB)는 제 4 및 제 5박막 트랜지스터(TFT4,TFT5)를 경유하여 제 2액정셀(22)로 공급된다.

제 3기간(TC)에는 i-1번째 게이트라인(GLi-1)에 제 3게이트신호(SP3)가 공급된다. i-1번째 게이트라인(GLi-1)에 공급되는 제 3게이트신호(SP3)는 제 6박막 트랜지스터(TFT6)를 턴-온시킨다. 따라서, 제 3기간(TC)동안 데이터라인(DL)으로 공급되는 제 2비디오신호(DC)는 제 6박막 트랜지스터(TFT6)를 경유하여 제 3액정셀(24)로 공급된다.

한편, 실질적으로 제 2액정셀(22)은 제 1기간(TA) 동안에도 제 1비디오신호(DA)를 공급받게 된다. 하지만, 제 2액정셀(22)은 제 1기간(TA)에 이은 제 2기간(TB) 동안 제 2비디오신호(DB)를 공급받기 때문에 원하는 비디오신호(DB)가 차징될 수 있다. 또한, 제 3액정셀(24)은 제 1기간(TA) 및 제 2기간(TB) 동안 제 1 및 제 2비디오신호(DA,DB)를 공급받게 된다. 하지만, 제 3액정셀(24)은 제 2기간(TB)에 이은 제 3기간(TC) 동안 제 3비디오신호(DC)를 공급받기 때문에 원하는 비디오신호(DC)가 차징될 수 있다.

도 6은 본 발명의 제 3실시예에 의한 액정표시장치를 나타내는 도면이다.

도 6을 참조하면, 본 발명의 제 3실시예에 의한 액정표시장치는 액정패널(40)과, 액정패널(40)의 데이터라인들(DL1 내지 DLm/4)을 구동하기 위한 데이터 드라이버(42)와, 액정패널(40)의 게이트라인들(GL1 내지 GLn)을 구동하기 위한 게이트 드라이버(44)를 구비한다.

액정패널(40)은 게이트라인들(GL1 내지 GLn)과 데이터라인들(DL1 내지 DLm/4)의 교차부에 형성된 제 1액정셀들(50), 제 2액정셀들(52), 제 3액정셀들(54) 및 제 4액정셀들(56)과, 제 1액정셀(50)에 형성되어 제 1액정셀(50)을 구동시키기 위한 제 1스위칭부(58)와, 제 2액정셀(52)에 형성되어 제 2액정셀(52)을 구동시키기 위한 제 2스위칭부(60)와, 제 3액정셀(54)에 형성되어 제 3액정셀(54)을 구동시키기 위한 제 3스위칭부(62)와, 제 4액정셀(56)에 형성되어 제 3액정셀(56)을 구동시키기 위한 제 4스위칭부(64)를 구비한다.

제 1 내지 제 4액정셀(50 내지 56)들은 액정을 사이에 두고 대면하는 공통전극과, 제 1 내지 제 4스위칭부(58 내지 6

4)에 각각 접속되는 화소전극으로 구성되므로 등가적으로 액정 캐패시터(Clc)로 표시될 수 있다. 또한, 제 1 내지 제 4액정셀(50 내지 56)들은 액정 캐패시터(Clc)에 충전된 데이터전압을 다음 데이터전압이 충전될 때 까지 유지시키기 위하여 이전단 게이트라인에 접속된 스토리지 캐패시터(도시되지 않음)를 포함한다.

수평라인에서 제 1액정셀(50), 제 2액정셀(52), 제 3액정셀(54) 및 제 4액정셀(56)은 순차적으로 배치된다. 다시 말하여, 수평라인에서 액정셀들은 제 1액정셀(50), 제 2액정셀(52), 제 3액정셀(54), 제 4액정셀(56),…의 순서로 배치되게 된다. 여기서, 서로 인접되게 위치된 제 1액정셀(50), 제 2액정셀(52), 제 3액정셀(54) 및 제 4액정셀(56)은 하나의 데이터라인(DL)으로부터 비디오신호를 공급받는다. 따라서, 본 발명의 제 3실시예에 의한 액정표시장치에 의하면 도 1에 도시된 종래의 액정표시장치에 비하여 데이터라인(DL)의 수가 1/4로 줄어들게 된다.

한편, 본 발명에서 제 1액정셀(50), 제 2액정셀(52), 제 3액정셀(54) 및 제 4액정셀(56)의 위치는 다양하게 변경될 수 있다. 예를 들어, 수평라인에서 액정셀들은 제 2액정셀(52), 제 1액정셀(50), 제 3액정셀(54) 및 제 4액정셀(56),…의 순서로 배치될 수 있다. 즉, 본 발명에서 제 1 내지 제 4액정셀(50 내지 56)들은 수평라인에서 서로 인접되도록 다양하게 배치될 수 있다.

또한, 제 1액정셀(50), 제 2액정셀(52), 제 3액정셀(54) 및 제 4액정셀(56)들은 인접되게 위치된 데이터라인(DL)을 기준으로 지그재그 형태로 배치될 수 있다. 예를 들어, i번째 수평라인에서는 제 1액정셀(50), 제 2액정셀(52), 제 3액정셀(54) 및 제 4액정셀(56)의 순서로 액정셀들이 배치되고, i+1번째 수평라인에서는 제 3액정셀(54), 제 4액정셀(56), 제 1액정셀(50), 제 2액정셀(52)의 순서로 액정셀들이 배치될 수 있다. 이와 같은 방법으로 액정셀들(50,52,54,56)들은 수평라인마다 지그재그 형태로 배치될 수 있다. 한편, 본 발명에서 액정셀들(50,52,54,56)의 위치는 다양하게 변경될 수 있다.

예를 들어, j번째 수직라인에서는 제 1액정셀(50), 제 2액정셀(52), 제 3액정셀(54) 및 제 4액정셀(56)이 위치되도록 배치되고, j+1번째 수직라인에서는 제 2액정셀(52), 제 3액정셀(54), 제 4액정셀(56) 및 제 1액정셀(50)이 위치되도록 배 치된다. 그리고, j+2번째 수직라인에서는 제 3액정셀(54), 제 4액정셀(56), 제 1액정셀(50), 제 2액정셀(52)이 위치되도록 배치되고, j+3번째 수직라인에서는 제 4액정셀(56), 제 1액정셀(50), 제 2액정셀(52) 및 제 3액정셀(54)이 위치되도록 배치된다. 이와 같이 액정셀들(50,52,54,56)의 상/하로 서로 다른 액정셀들이 배치되게 되면 액정셀들(50,52,54,56) 간 전압충전 불균일이 발생되더라도 수평라인 단위로 불균일 값이 상쇄되기 때문에 균일한 화질의 영상이 표시될 수 있다.

i번째 수평라인에 위치된 제 1액정셀(50)을 구동시키기 위한 제 1스위칭부(58)는 제 1 내지 제 4박막 트랜지스터(TFT1 내지 TFT4)들을 구비한다. 제 1박막 트랜지스터(TFT1)의 소오스단자는 인접된 데이터라인(DL)에 접속되고, 게이트단자는 i-1번째 게이트라인(GLi-1)에 접속된다. 제 2박막 트랜지스터(TFT2)의 게이트단자는 i번째 게이트라인(GLi)에 접속되고, 소오스단자는 제 1박막 트랜지스터(TFT1)의 드레인단자에 접속된다. 제 3박막 트랜지스터(TFT3)의 게이트단자는 i+1번째 게이트라인(GLi+1)에 접속되고, 소오스단자는 제 2박막 트랜지스터(TFT2)의 드레인단자에 접속된다. 제 4박막 트랜지스터(TFT4)의 게이트단자는 i+2번째 게이트라인(GLi+2)에 접속되고, 소오스단자는 제 3박막 트랜지스터(TFT3)의 드레인단자에 접속된다. 그리고, 제 4박막 트랜지스터(TFT4)의 드레인단자는 제 1액정셀(50)에 접속된다. 이와 같은 제 1스위칭부(58)는 i-1번째 게이트라인(GLi-1), i번째 게이트라인(GLi), i+1번째 게이트라인(GLi+1) 및 i+2번째 게이트라인(GLi+2)에 구동신호(즉, 게이트신호)가 공급될 때 데이터라인(DL)으로부터의 비디오신호를 제 1액정셀(50)로 공급한다.

i번째 수평라인에 위치된 제 2액정셀(52)을 구동시키기 위한 제 2스위칭부(60)는 제 5 내지 제 7박막 트랜지스터(TFT5 내지 TFT7)들을 구비한다. 제 5박막 트랜지스터(TFT5)의 소오스단자는 인접된 데이터라인(DL)에 접속되고, 게이트단자는 i+1번째 게이트라인(GLi+1)에 접속된다. 제 6박막 트랜지스터(TFT6)의 게이트단자는 i번째 게이트라인(GLi)에 접속되고, 소오스단자는 제 5박막 트랜지스터(TFT5)의 드레인단자에 접속된다. 제 7박막 트랜지스터(TFT7)의 게이트단자는 i-1번째 게이트라인(GLi-1)에 접속되고, 소오스단자는 제 6박막 트랜지스터(TFT6)의 드레인단자에 접속된다. 그리고, 제 7박막 트랜지스터(TFT7)의 드레인단자는 제 2액정셀(52)에 접속된다. 이와 같은 제 2스위칭부(60)는 i-1번째 게이트라인(GLi-1), i번째 게이트라인(GLi) 및 i+1번째 게이트라인(GLi+1)에 구동신호(즉, 게이트신호)가 공급될 때 데이터라인(DL)으로부터의 비디오신호를 제 2액정셀(52)로 공급한다.

i번째 수평라인에 위치된 제 3액정셀(54)을 구동시키기 위한 제 3스위칭부(62)는 제 8 및 제 9박막 트랜지스터(TFT8,TFT9)를 구비한다. 제 8박막 트랜지스터(TFT8)의 소오스단자는 인접된 데이터라인(DL)에 접속되고, 게이트단자는 i번째 게이트라인(GLi)에 접속된다. 제 9박막 트랜지스터(TFT9)의 게이트단자는 i-1번째 게이트라인(GLi-1)에 접속되고, 소오스단자는 제 8박막 트랜지스터(TFT8)의 드레인단자에 접속된다. 그리고, 제 9박막 트랜지스터(TFT9)의 드레인단자는 제 3액정셀(54)에 접속된다. 이와 같은 제 3스위칭부(62)는 i-1번째 게이트라인(GLi-1), i번째 게이트라인(GLi)에 구동신호(즉, 게이트신호)가 공 급될 때 데이터라인(DL)으로부터의 비디오신호를 제 3액정셀(54)로 공급한다.

i번째 수평라인에 위치된 제 4액정셀(56)을 구동시키기 위한 제 4스위칭부(64)는 제 10박막 트랜지스터(TFT10)를 구비한다. 제 10박막 트랜지스터(TFT10)의 소오스단자는 인접된 데이터라인(DL)에 접속되고, 게이트단자는 i-1번째 게이트라인(GLi-1)에 접속된다. 그리고, 제 10박막 트랜지스터(TFT10)의 드레인단자는 제 4액정셀(56)에 접속된다. 이와 같은 제 4스위칭부(64)는 i-1번째 게이트라인(GLi-1)에 구동신호(즉, 게이트신호)가 공급될 때 데이터라인(DL)으로부터의 비디오신호를 제 4액정셀(56)로 공급한다.

데이터 드라이버(42)는 도시되지 않은 타이밍제어부로부터 공급되는 데이터(R,G,B)를 아날로그 신호인 비디오신호로 변환하여 데이터라인들(DL1 내지 DLm/4)에 공급한다. 이와 같은 데이터 드라이버(42)는 1수평주기동안 각각의 데이터라인들(DL)로 4개의 비디오신호들을 순차적으로 공급하게 된다.

이를 도 7을 참조하여 상세히 설명하면, 1수평주기(1H)동안 데이터 드라이버(42)는 각각의 데이터라인(DL)들로 제 1비디오신호(DA), 제 2비디오신호(DB), 제 3비디오신호(DC) 및 제 4비디오신호(DD)를 순차적으로 공급한다. 제 1비디오신호(DA)는 제 1액정셀(50)로 공급되고, 제 2비디오신호(DB)는 제 2액정셀(52)로 공급된다. 그리고, 제 3비디오신호(DC)는 제 3액정셀(54)로 공급되고, 제 4비디오신호(DD)는 제 4액정셀(56)로 공급된다. 여기서, 데이터 드라이버(42)는 1수평주기(1H)동안 4개의 비디오신호(DA,DB,DC,DD)들이 공급될 수 있도록 각각의 비디오신호(DA,DB,DC,DD)들을 1/4H기간동안 공급하게 된다.

다시 말하여, 본 발명의 데이터 드라이버(42)는 1수평주기(1H)동안 각각의 데이터라인(DL)으로 4개의 비디오신호(DA,DB,DC,DD)를 공급한다. 따라서, 본 발명의 데이터 드라이버(42)에는 도 1에 도시된 종래의 액정표시장치의 데이터 드라이버 IC의 수에 1/4에 해당하는 데이터 드라이버 IC가 포함되고, 이에 따라 제조비용을 절감할 수 있다.

게이트 드라이버(44)는 타이밍 제어부로부터 공급되는 제어신호에 따라 도 7과 같이 게이트 라인들(GL1 내지 GLn) 각각에 제 1게이트신호(SP1), 제 2게이트신호(SP2), 제 3게이트신호(SP3) 및 제 4게이트신호(SP4)를 공급한다. 여기서, 제 4게이트신호(SP4)는 1수평주기동안 하이 상태를 유지하고, 제 3게이트신호(SP3)는 3/4 수평주기동안 하이 상태를 유지한다. 그리고, 제 2게이트신호(SP2)는 2/4 수평주기동안 하이 상태를 유지하고, 제 1게이트신호(SP1)는 1/4 수평주기동안 하이 상태를 유지한다.

한편, i-1번째 게이트라인(GLi-1)에 공급되는 제 4게이트신호(SP4)는 i번째 게이트라인(GLi)에 공급되는 제 3게이트신호(SP3), i+1번째 게이트라인(GLi+1)에 공급되는 제 2게이트신호(SP2) 및 i+2번째 게이트라인(GLi+2)에 공급되는 제 1게이트신호(SP1)와 동시에 공급된다. 따라서, i-1번째 게이트라인(GLi-1)에 공급되는 제 4게이트신호(SP4)는 i번째 게이트라인(GLi)에 공급되는 제 3게이트신호(SP3), i+1번째 게이트라인(GLi+1)에 공급되는 제 2게이트신호(SP2) 및 i+2번째 게이트라인(GLi+2)에 공급되는 제 1게이트신호(SP1)와 제 1기간(TA) 동안 중첩되게 공급된다.

제 1기간(TA)에 이은 제 2기간(TB)에는 i-1번째 게이트라인(GLi-1)에 공급되는 제 4게이트신호(SP4), i번째 게이트라인(GLi)에 공급되는 제 3게이트신호(SP3) 및 i+1번째 게이트라인(GLi+1)에 공급되는 제 2게이트신호(SP2)가 중첩되게 공급된다. 제 2기간(TB)에 이은 제 3기간(TC)에는 i-1번째 게이트라인(GLi-1)에 공급되는 제 4게이트신호(SP4) 및 i번째 게이트라인(GLi)에 공급되는 제 3게이트신호(SP3)가 중첩되게 공급된다. 그리고, 제 3기간(TC)에 이은 제 4기간(TD)에는 제 4게이트신호(SP4)만이 i-1번째 게이트라인(GLi-1)에 공급된다.

i번째 수평라인에 위치된 액정셀들(50,52,54,56)로 비디오신호가 공급되는 과정을 상세히 설명하면, 먼저 제 1기간(TA)동안 i-1번째 게이트라인(GLi-1), i번째 게이트라인(GLi), i+1번째 게이트라인(GLi+1) 및 i+2번째 게이트라인(GLi+2)에 각각 제 4 내지 제 1게이트신호(SP4 내지 SP1)가 공급된다. 이와 같이 제 4게이트신호(SP4), 제 3게이트신호(SP3), 제 2게이트신호(SP2) 및 제 1게이트신호(SP1)가 동시에 공급되는 제 1기간(TA)동안 제 1 내지 제 4박막 트랜지스터(TFT1 내지 TFT4)가 턴-온된다. 제 1 내지 제 4박막 트랜지스터(TFT1 내지 TFT4)가 턴-온되면 데이터라인(DL)으로 공급되는 제 1비디오신호(DA)가 제 1 내지 제 4박막 트랜지스터(TFT1 내지 TFT4)를 경유하여 제 1액정셀(50)로 공급된다.

제 2기간(TB)에는 i-1번째 게이트라인(GLi-1), i번째 게이트라인(GLi) 및 i+1번째 게이트라인(GLi+1)에 각각 제 4 내지 제 2게이트신호(SP4,SP3,SP2)가 공급된다. 이와 같이 제 4게이트신호(SP4), 제 3게이트신호(SP3) 및 제 2게이트신호(SP2)가 동시에 공급되는 제 2기간(TB) 동안 제 5 내지 제 7박막 트랜 지스터(TFT5 내지 TFT7)가 턴-온된다. 제 5 내지 제 7박막 트랜지스터(TFT5 내지 TFT7)가 턴-온되면 데이터라인(DL)으로 공급되는 제 2비디오신호(DB)가 제 5 내지 제 7박막 트랜지스터(TFT5 내지 TFT7)을 경유하여 제 2액정셀(52)로 공급된다.

제 3기간(TC)에는 i-1번째 게이트라인(GLi-1) 및 i번째 게이트라인(GLi)에 각각 제 4게이트신호(SP4) 및 제 3게이트신호(SP3)가 공급된다. 이와 같이 제 4게이트신호(SP4) 및 제 3게이트신호(SP3)가 공급되는 제 3기간(TC) 동안 제 8박막 트랜지스터(TFT8) 및 제 9박막 트랜지스터(TFT9)가 턴-온된다. 제 8박막 트랜지스터(TFT8) 및 제 9박막 트랜지스터(TFT9)가 턴-온되면 데이터라인(DL)으로 공급되는 제 3비디오신호(DC)가 제 8 및 제 9박막 트랜지스터

(TFT8,TFT9)를 경유하여 제 3액정셀(54)로 공급된다.

제 4기간(TD)에는 i-1번째 게이트라인(GLi-1)으로 제 4게이트신호(SP4)가 공급된다. 이와 같이 제 4게이트신호(SP4)가 공급되는 제 4기간(TD) 동안 제 10박막 트랜지스터(TFT10)가 턴-온된다. 제 10박막 트랜지스터(TFT10)가 턴-온되면 데이터라인(DL)으로 공급되는 제 4비디오신호(DD)가 제 10박막 트랜지스터(TFT10)를 경유하여 제 4액정셀(56)로 공급된다.

한편, 실질적으로 제 2액정셀(52)은 제 1기간(TA) 동안 제 1비디오신호(DA)를 공급받는다. 하지만, 제 2액정셀(52)은 제 1기간(TA)에 이은 제 2기간(TB) 동안 제 2비디오신호(DB)를 공급받기 때문에 제 2액정셀(52)에는 원하는 비디오신호(DB)가 차징될 수 있다. 또한, 제 3액정셀(54)은 제 1기간(TA) 및 제 2기간(TB) 동안 제 1비디오신호(DA) 및 제 2비디오신호(DB)를 공급받는다. 하지만, 제 3액정셀(54)은 제 2기간(TB)에 이은 제 3기간(TC)동안 제 3비디오신호(DC)를 공급받기 때문에 제 3액정셀(54)에는 원하는 비디오신호(DC)가 차징될 수 있다. 마찬가지로, 제 4액정셀(56)에도 원하는 비디오신호(DD)가 차징될 수 있게 된다.

한편, 본 발명의 실시예들에 포함된 각각의 박막 트랜지스터(TFT)는 도 8과 같은 형태로 형성된다.

도 8을 참조하면, 본 발명의 실시예들에 포함된 박막 트랜지스터(TFT)는 하부기판(101) 상에 형성되는 게이트전극(106)과, 게이트전극(106)과 상이한 층에 형성되는 소스전극(108) 및 드레인전극(110)을 구비한다. 여기서, 드레인전극(110)은 드레인 접촉홀(118)을 통해 화소전극(120)과 접속되도록 형성된다.(실질적으로 드레인전극(110)은 화소전극(120) 또는 인접된 박막 트랜지스터(TFT)에 접속된다.)

게이트전극(106)과 소스전극(108) 및 드레인전극(110) 사이에는 도통채널을 형성하기 위한 반도체층(114,116)이 형성된다. 여기서, 반도체층(114,116)은 활성층(114)과, 활성층(114)과 소스전극(108) 및 활성층(114)과 드레인전극(110) 사이에 형성되는 오믹접촉층(116)을 구비한다. 활성층(114)은 불순물이 도핑되지 않은 비정질실리콘으로 형성되고, 오믹접촉층(116)은 N형 또는 P형 불순물이 도핑된 비정질실리콘으로 형성된다. 이와 같은 반도체층(114,116)은 게이트전극(106)에 전압이 공급될 때 소스전극(108)에 공급된 전압을 드레인전극(110)으로 공급한다. 게이트전극(106)과 반도체층(114,116) 사이에는 게이트절연막(102)이 형성된다. 그리고, 소스전극(108) 및 드레인전극(110) 상에는 보호막(112)이 형성된다.

이와 같은 본 발명의 실시예들에 포함된 박막 트랜지스터(TFT)의 소스전극(108)과 드레인전극(110)은 반도체층(114,116)과 서로 상이한 마스크로 형성된다. 따라서, 소스전극(108) 및 드레인전극(110)은 반도체층(114,116)과 서로 상이한 패턴을 갖는다.

도 9는 본 발명의 다른 실시예에 의한 박막 트랜지스터(TFT)의 구조를 나타내는 단면도이다.

도 9를 참조하면, 본 발명의 다른 실시예에 의한 박막 트랜지스터(TFT)는 하부기판(130) 상에 형성되는 게이트전극(134)과, 게이트전극(134)과 상이한 층에 형성되는 소스전극(136) 및 드레인전극(138)을 구비한다. 여기서, 드레인전극(138)은 드레인 접촉홀(142)을 통해 화소전극(144)과 접속되도록 형성된다.(실질적으로 드레인전극(138)은 화소전극(144) 또는 인접된 박막 트랜지스터(TFT)에 접속된다.)

게이트전극(134)과 소스전극(136) 및 드레인전극(138) 사이에는 도통채널을 형성하기 위한 반도체층(140,146)이 형성된다. 여기서, 반도체층(140,146)은 활성층(140)과, 활성층(140)과 소스전극(136) 및 활성층(140)과 드레인전극(138) 사이에 형성되는 오믹접촉층(146)을 구비한다. 활성층(140)은 불순물이 도핑되지 않은 비정질실리콘으로 형성되고, 오믹접촉층(146)은 N형 또는 P형 불순물이 도핑된 비정질실리콘으로 형성된다. 이와 같은 반도체층(140,146)은 게이트전극(134)에 전압이 공급될 때 소스전극(136)에 공급된 전압을 드레인전극(138)으로 공급한다. 게이트전극(134)과 반도체층(140,146) 사이에는 게이트절연막(132)이 형성된다. 그리고, 소스전극(136) 및 드레인전극(138) 상에는 보호막(148)이 형성된다. 이와 같은 본 발명의 실시예들에 포함된 박막 트랜지스터(TFT)의 소스전극(136)과 드레 인전극(138)은 반도체층(140,146)과 동일 마스크로 형성된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치의 구동장치 및 방법에 의하면 i(i는 자연수)번째 수평라인에 위치된 액정셀들 중 적어도 3개이상의 액정셀들이 하나의 데이터라인에 접속되게 된다. 따라서, 본 발명에서는 데이터라인의 수를 줄일 수 있고, 이에 대응하는 데이터 드라이버 집적회로의 수를 줄일 수 있으므로 제조비용을 절감할 수 있다는 장점이 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능

함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.
다수의 수직라인을 이루도록 형성되는 데이터라인들과,

상기 데이터라인들과 교차되는 방향으로 다수의 수평라인을 이루도록 형성되는 다수의 게이트라인들과,

상기 수평라인 마다 형성되는 다수의 액정셀들을 구비하며,

상기 하나의 데이터라인은 수평라인을 따라 형성된 적어도 3개 이상의 액정셀들에 비디오신호를 공급하는 것을 특징으로 하는 액정표시장치.

청구항 2.
제 1항에 있어서,

상기 수평라인에는 하나의 데이터라인에 접속되는 제 1액정셀, 제 2액정셀 및 제 3액정셀이 서로 인접되게 배치되는 것을 특징으로 하는 액정표시장치.

청구항 3.
제 2항에 있어서,

i(i는 자연수)번째 수평라인에 위치된 상기 제 1액정셀을 구동시키기 위하여 3개의 게이트라인과 접속되는 제 1스위칭부와,

상기 i번째 수평라인에 위치된 상기 제 2액정셀을 구동시키기 위하여 2개의 게이트라인과 접속되는 제 2스위칭부와,

상기 i번째 수평라인에 위치된 상기 제 3액정셀들을 구동시키기 위하여 1개의 게이트라인과 접속되는 제 3스위칭부를 구비하는 것을 특징으로 하는 액정표시 장치.

청구항 4.
제 3항에 있어서,

상기 제 1스위칭부는 i-1번째 게이트라인, i번째 게이트라인 및 i+1번째 게이트라인에 접속되어 상기 데이터라인으로부터 공급되는 비디오신호를 상기 제 1액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 5.
제 4항에 있어서,

1수평주기는 1/3기간씩 분할되고, 상기 제 1스위칭부는 전반부 1/3기간동안 상기 비디오신호를 상기 제 1액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 6.
제 3항에 있어서,

상기 제 2스위칭부는 i-1번째 게이트라인 및 i번째 게이트라인에 접속되어 상기 데이터라인으로부터 공급되는 비디오신호를 상기 제 2액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 7.
제 6항에 있어서,

1수평주기는 1/3기간씩 분할되고, 상기 제 2스위칭부는 중반부 1/3기간동안 상기 비디오신호를 상기 제 2액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 8.
제 3항에 있어서,

상기 제 3스위칭부는 i-1번째 게이트라인에 접속되어 상기 데이터라인으로부터 공급되는 비디오신호를 상기 제 3액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 9.
제 8항에 있어서,

1수평주기는 1/3기간씩 분할되고, 상기 제 3스위칭부는 후반부 1/3기간동안 상기 비디오신호를 상기 제 3액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 10.
제 2항에 있어서,

상기 제 1액정셀, 제 2액정셀 및 제 3액정셀은 수평라인마다 엇갈리도록 배치되는 것을 특징으로 하는 액정표시장치.

청구항 11.
제 10항에 있어서,

상기 수직라인에서 상기 제 1액정셀 상측에 상기 제 2액정셀이 위치되고, 상기 제 1액정셀 하측에 상기 제 3액정셀이 위치되는 것을 특징으로 하는 액정표시장치.

청구항 12.
제 10항에 있어서,

상기 수직라인에서 상기 제 1액정셀 상측에 상기 제 3액정셀이 위치되고, 상 기 제 1액정셀 하측에 상기 제 2액정셀이 위치되는 것을 특징으로 하는 액정표시장치.

청구항 13.
제 2항에 있어서,

상기 제 1액정셀, 제 2액정셀 및 제 3액정셀 각각은 적어도 하나 이상이 박막 트랜지스터를 포함하며,

상기 박막 트랜지스터 각각은

기판상에 형성된 게이트전극과,

상기 게이트전극상에 형성되는 게이트 절연막과,

상기 게이트 절연막 상에 형성되는 반도체층과,

상기 반도체층상에 형성되는 소스전극 및 드레인전극과,

상기 소스전극 및 드레인전극 상에 형성되는 보호막을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 14.
제 13항에 있어서,

상기 반도체층은

상기 게이트 절연막 상에 불순물이 도핑되지 않은 비정질실리콘으로 형성되는 활성층과,

상기 활성층상에 N형 또는 P형 불순물이 도핑된 비정질실리콘으로 형성되는 오믹 접촉층을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 15.

제 13항에 있어서,

상기 반도체층과 상기 소스전극 및 드레인전극은 동일 마스크에 의해 형성되는 것을 특징으로 하는 액정표시장치.

청구항 16.
제 13항에 있어서,

상기 반도체층과 상기 소스전극 및 드레인전극은 상이한 마스크에 의해 형성되는 것을 특징으로 하는 액정표시장치.

청구항 17.
제 1항에 있어서,

상기 수평라인에는 하나의 데이터라인에 접속되는 제 1액정셀, 제 2액정셀, 제 3액정셀 및 제 4액정셀이 서로 인접되게 배치되는 것을 특징으로 하는 액정표시장치.

청구항 18.
제 17항에 있어서,

i(i는 자연수)번째 수평라인에 위치된 상기 제 1액정셀을 구동시키기 위하여 4개의 게이트라인과 접속되는 제 1스위칭부와,

상기 i번째 수평라인에 위치된 상기 제 2액정셀을 구동시키기 위하여 3개의 게이트라인과 접속되는 제 2스위칭부와,

상기 i번째 수평라인에 위치된 상기 제 3액정셀을 구동시키기 위하여 2개의 게이트라인과 접속되는 제 3스위칭부와,

상기 i번째 수평라인에 위치된 상기 제 4액정셀을 구동시키기 위하여 1개의 게이트라인과 접속되는 제 4스위칭부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 19.
제 18항에 있어서,

상기 제 1스위칭부는 i-1번째 게이트라인, i번째 게이트라인, i+1번째 게이트라인 및 i+2번째 게이트라인에 접속되어 상기 데이터라인으로부터 공급되는 비디오신호를 상기 제 1액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 20.
제 19항에 있어서,

1수평주기는 1/4기간씩 분할되고, 상기 제 1스위칭부는 첫번째 1/4기간동안 상기 비디오신호를 상기 제 1액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 21.
제 18항에 있어서,

상기 제 2스위칭부는 i-1번째 게이트라인, i번째 게이트라인 및 i+1번째 게이트라인에 접속되어 상기 데이터라인으로부터 공급되는 비디오신호를 상기 제 2액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 22.
제 21항에 있어서,

1수평주기는 1/4기간씩 분할되고, 상기 제 2스위칭부는 두번째 1/4기간동안 상기 비디오신호를 상기 제 2액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 23.
제 18항에 있어서,

상기 제 3스위칭부는 i-1번째 게이트라인 및 i번째 게이트라인에 접속되어 상기 데이터라인으로부터 공급되는 비디오신호를 상기 제 3액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 24.
제 13항에 있어서,

1수평주기는 1/4기간씩 분할되고, 상기 제 3스위칭부는 세번째 1/4기간동안 상기 비디오신호를 상기 제 3액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 25.
제 18항에 있어서,

상기 제 4스위칭부는 i-1번째 게이트라인에 접속되어 상기 데이터라인으로부터 공급되는 비디오신호를 상기 제 4액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 26.
제 25항에 있어서,

1수평주기는 1/4기간씩 분할되고, 상기 제 3스위칭부는 마지막 1/4기간동안 상기 비디오신호를 상기 제 4액정셀로 공급하는 것을 특징으로 하는 액정표시장치.

청구항 27.
제 17항에 있어서,

상기 제 1액정셀, 제 2액정셀, 제 3액정셀 및 제 4액정셀은 수평라인마다 엇갈리도록 배치되는 것을 특징으로 하는 액정표시장치.

청구항 28.
제 17항에 있어서,

상기 수직라인에서 인접되게 서로 상이한 액정셀들이 위치되도록 상기 제 1액정셀, 제 2액정셀, 제 3액정셀 및 제 4액정셀이 배치되는 것을 특징으로 하는 액정표시장치.

청구항 29.
제 17항에 있어서,

상기 제 1액정셀, 제 2액정셀, 제 3액정셀 및 제 4액정셀 각각은 적어도 하나 이상이 박막 트랜지스터를 포함하며,

상기 박막 트랜지스터 각각은

기판상에 형성된 게이트전극과,

상기 게이트전극상에 형성되는 게이트 절연막과,

상기 게이트 절연막 상에 형성되는 반도체층과,

상기 반도체층상에 형성되는 소스전극 및 드레인전극과,

상기 소스전극 및 드레인전극 상에 형성되는 보호막을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 30.
제 29항에 있어서,

상기 반도체층은

상기 게이트 절연막 상에 불순물이 도핑되지 않은 비정질실리콘으로 형성되는 활성층과,

상기 활성층상에 N형 또는 P형 불순물이 도핑된 비정질실리콘으로 형성되는 오믹 접촉층을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 31.
제 29항에 있어서,

상기 반도체층과 상기 소스전극 및 드레인전극은 동일 마스크에 의해 형성되는 것을 특징으로 하는 액정표시장치.

청구항 32.
제 29항에 있어서,

상기 반도체층과 상기 소스전극 및 드레인전극은 상이한 마스크에 의해 형성되는 것을 특징으로 하는 액정표시장치.

청구항 33.
다수의 수직라인을 이루도록 형성되는 데이터라인들과,

상기 데이터라인들과 교차되는 방향으로 다수의 수평라인을 이루도록 형성되는 다수의 게이트라인들과,

상기 수평라인 마다 형성되는 다수의 액정셀들과,

상기 액정셀들마다 각각 형성되어 상기 하나의 데이터라인으로 공급되는 비디오신호를 적어도 3개 이상의 액정셀들로 공급하기 위한 스위칭부들과,

상기 데이터라인에 상기 비디오신호를 공급하기 위한 데이터 드라이버와,

상기 게이트라인에 게이트신호를 공급하기 위한 게이트 드라이버를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 34.
제 33항에 있어서,

상기 하나의 데이터라인으로 공급되는 비디오신호를 3개의 액정셀로 공급하기 위하여 상기 스위칭부들은

3개의 게이트라인들과 접속되어 상기 데이터라인으로 공급되는 상기 비디오신호를 액정셀로 공급하기 위한 제 1스위칭부와,

2개의 게이트라인들과 접속되어 상기 데이터라인으로 공급되는 상기 비디오신호를 액정셀로 공급하기 위한 제 2스위칭부와,

1개의 게이트라인들과 접속되어 상기 데이터라인으로 공급되는 상기 비디오신호를 액정셀로 공급하기 위한 제 3스위칭부를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 35.
제 34항에 있어서,

상기 데이터 드라이버는 1수평주기동안 각각의 데이터라인으로 3개의 비디오신호를 순차적으로 공급하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 36.
제 35항에 있어서,

상기 데이터 드라이버는 1수평주기를 1/3기간씩 분할하여 전반부 1/3기간동안 상기 제 1스위칭부로 공급될 제 1비디오신호를 공급함과 아울러 중반부 1/3기간동안 상기 제 2스위칭부로 공급될 제 2비디오신호를 공급하고, 후반부 1/3기간동안 상기 제 3스위칭부로 공급될 제 3비디오신호를 공급하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 37.
제 34항에 있어서,

상기 게이트 드라이버는 각각의 게이트라인들로 제 1게이트신호, 제 2게이트신호 및 제 3게이트신호를 공급하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 38.
제 37항에 있어서,

상기 제 1게이트신호는 1/3수평주기동안 하이 상태를 유지함과 아울러 상기 제 2게이트신호는 2/3수평주기동안 하이 상태를 유지하고, 상기 제 3게이트신호는 1수평주기동안 하이 상태를 유지하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 39.
제 37항에 있어서,

1수평주기의 전반부 1/3기간동안 3개의 게이트라인에 상기 제 3게이트신호, 제 2게이트신호 및 제 1게이트신호가 각각 공급되어 상기 제 1스위칭부를 턴-온시키는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 40.
제 37항에 있어서,

1수평주기의 중반부 1/3기간동안 2개의 게이트라인에 상기 제 3게이트신호 및 제 2게이트신호가 각각 공급되어 상기 제 2스위칭부를 턴-온시키는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 41.
제 37항에 있어서,

1수평주기의 후반부 1/3기간동안 1개의 게이트라인에 상기 제 3게이트신호가 공급되어 상기 제 3스위칭부를 턴-온시키는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 42.
제 33항에 있어서,

상기 하나의 데이터라인으로 공급되는 비디오신호를 4개의 액정셀로 공급하기 위하여 상기 스위칭부들은

4개의 게이트라인들과 접속되어 상기 데이터라인으로 공급되는 상기 비디오신호를 액정셀로 공급하기 위한 제 1스위칭부와,

3개의 게이트라인들과 접속되어 상기 데이터라인으로 공급되는 상기 비디오신호를 액정셀로 공급하기 위한 제 2스위칭부와,

2개의 게이트라인들과 접속되어 상기 데이터라인으로 공급되는 상기 비디오신호를 액정셀로 공급하기 위한 제 3스위칭부와,

1개의 게이트라인들과 접속되어 상기 데이터라인으로 공급되는 상기 비디오신호를 액정셀로 공급하기 위한 제 4스위칭부를 구비하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 43.
제 42항에 있어서,

상기 데이터 드라이버는 1수평주기동안 각각의 데이터라인으로 4개의 비디오신호를 순차적으로 공급하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 44.
제 43항에 있어서,

상기 데이터 드라이버는 1수평주기를 1/4기간씩 분할하여 첫번째 1/4기간동안 상기 제 1스위칭부로 공급될 제 1비디오신호를 공급함과 아울러 두번째 1/4기간동안 상기 제 2스위칭부로 공급될 제 2비디오신호를 공급하고, 세번째 1/4기간동안 상기 제 3스위칭부로 공급될 제 3비디오신호를 공급함과 아울러 네번째 1/4기간동안 상기 제 4스위칭부로 공급될 제 4비디오신호를 공급하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 45.

제 42항에 있어서,

상기 게이트 드라이버는 각각의 게이트라인들로 제 1게이트신호, 제 2게이트 신호, 제 3게이트신호 및 제 4게이트신호를 공급하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 46.
제 45항에 있어서,

상기 제 1게이트신호는 1/4수평주기동안 하이상태를 유지함과 아울러 상기 제 2게이트신호를 2/4 수평주기동안 하이상태를 유지하고, 상기 제 3게이트신호는 3/4 수평주기동안 하이상태를 유지함과 아울러 상기 제 4게이트신호는 1수평주기동안 하이 상태를 유지하는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 47.
제 45항에 있어서,

1수평주기의 첫번째 1/4기간동안 4개의 게이트라인에 상기 제 4게이트신호, 제 3게이트신호, 제 2게이트신호 및 제 1게이트신호가 각각 공급되어 상기 제 1스위칭부를 턴-온시키는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 48.
제 45항에 있어서,

1수평주기의 두번째 1/4기간동안 3개의 게이트라인에 상기 제 4게이트신호, 제 3게이트신호 및 제 2게이트신호가 각각 공급되어 상기 제 2스위칭부를 턴-온시키는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 49.
제 45항에 있어서,

1수평주기의 세번째 1/4기간동안 2개의 게이트라인에 상기 제 4게이트신호 및 제 3게이트신호가 각각 공급되어 상기 제 3스위칭부를 턴-온시키는 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 50.
제 45항에 있어서,

1수평주기의 네번째 1/4기간동안 1개의 게이트라인에 상기 제 4게이트신호가 공급되어 상기 제 4스위칭부를 턴-온시키는 것을 특징으로 하는 액정표시장치의 구동장치.

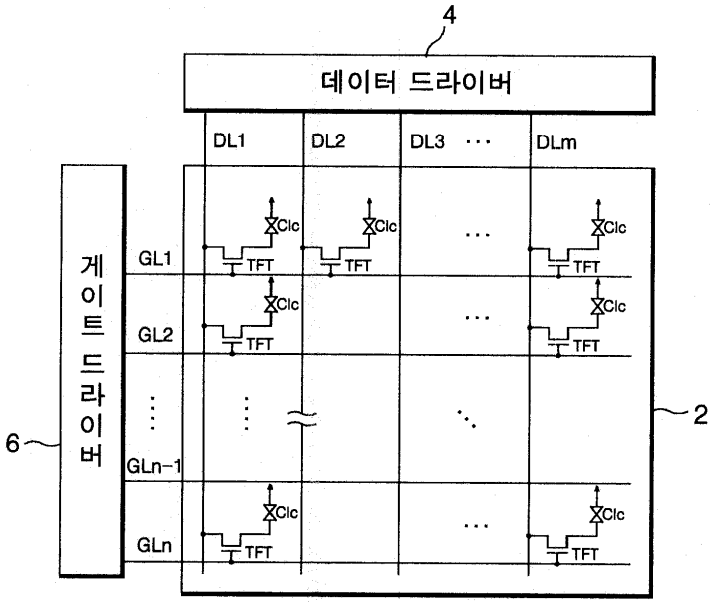
청구항 51.
수평라인마다 형성되는 다수의 액정셀들을 포함하는 액정표시장치의 구동방법에 있어서,

1수평주기동안 데이터라인마다 i(i는 3보다 큰 자연수)개 이상의 비디오신호가 공급되는 단계와,

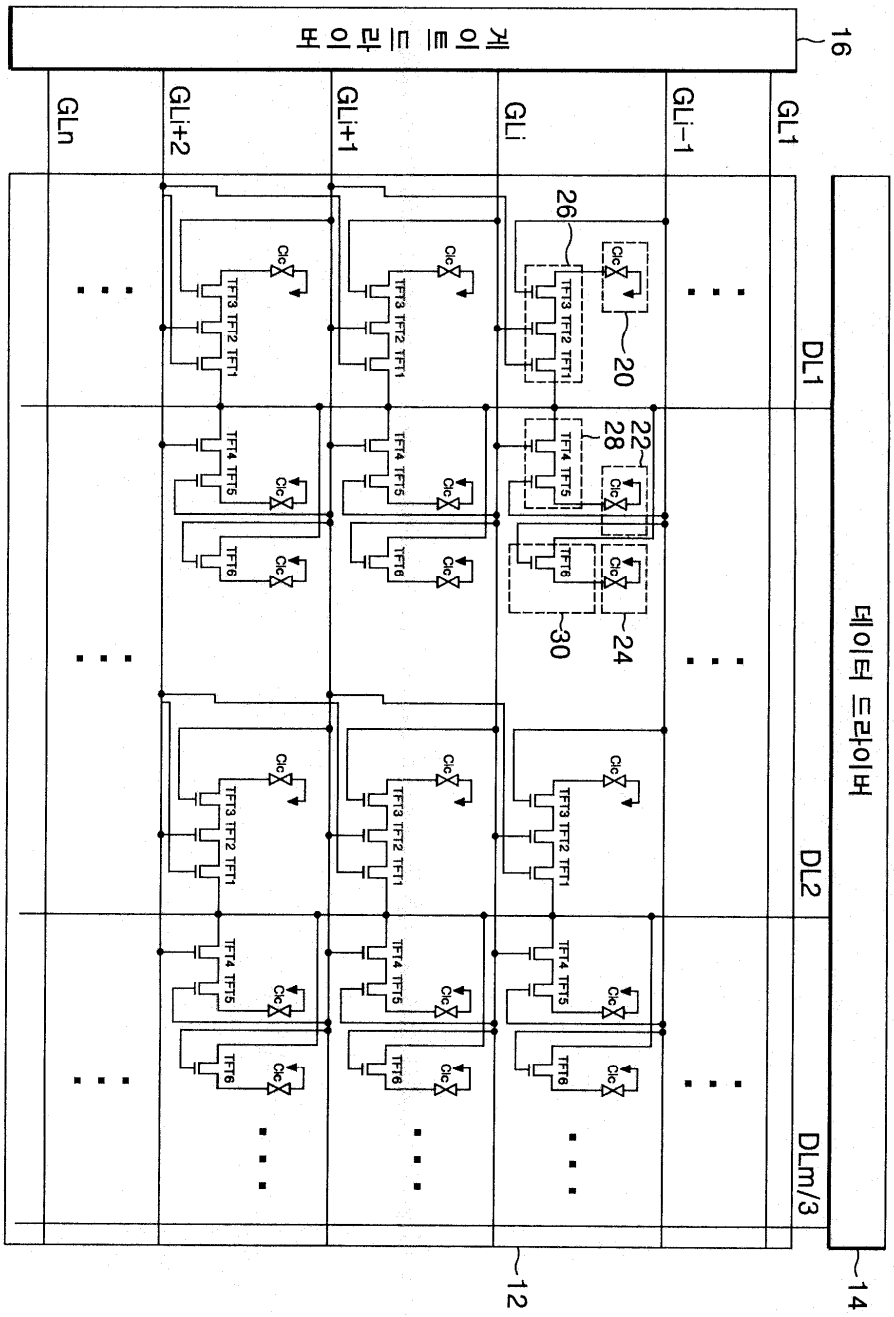
상기 데이터라인으로 공급되는 i개 이상의 비디오신호가 수평라인에 형성된 i개의 액정셀들로 공급되는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

도면

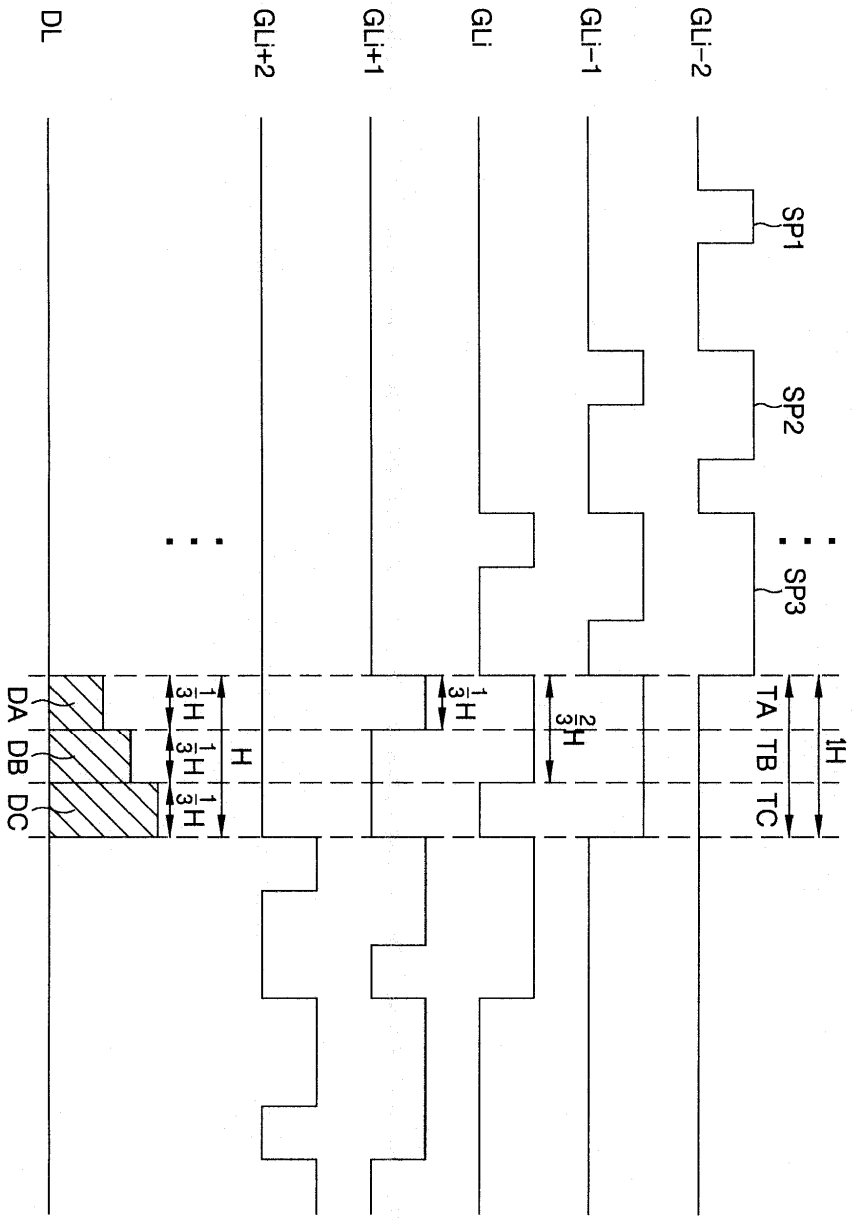
도면1



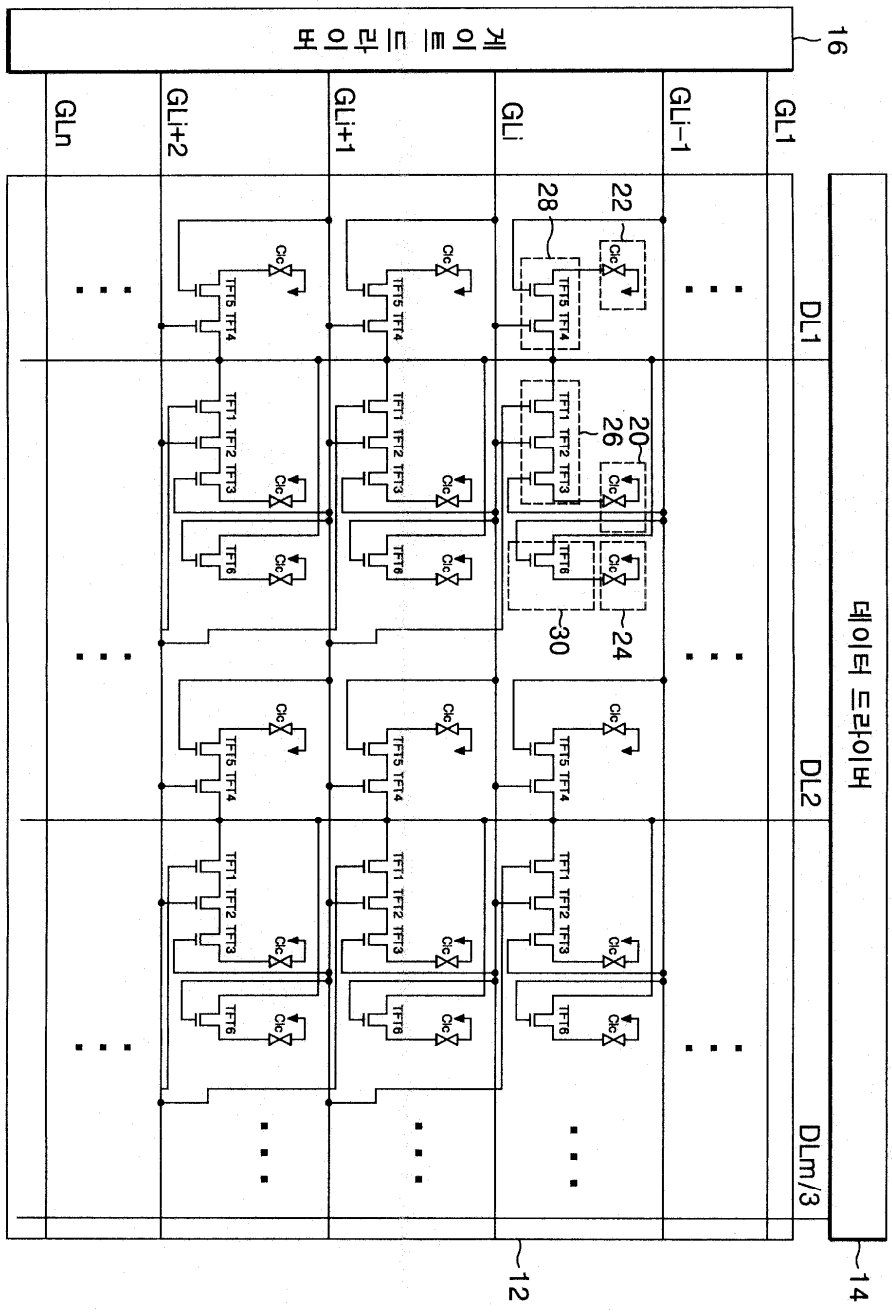
도면2


게이트 라이버
16
GL1
GLi-1
GLi
GLi+1
GLi+2
GLn
데이터 드라이버
DL1
DL2
DLm/3
14
12
20
22
24
26
28
30
Clc
TFT1
TFT2
TFT3
TFT4
TFT5
TFT6

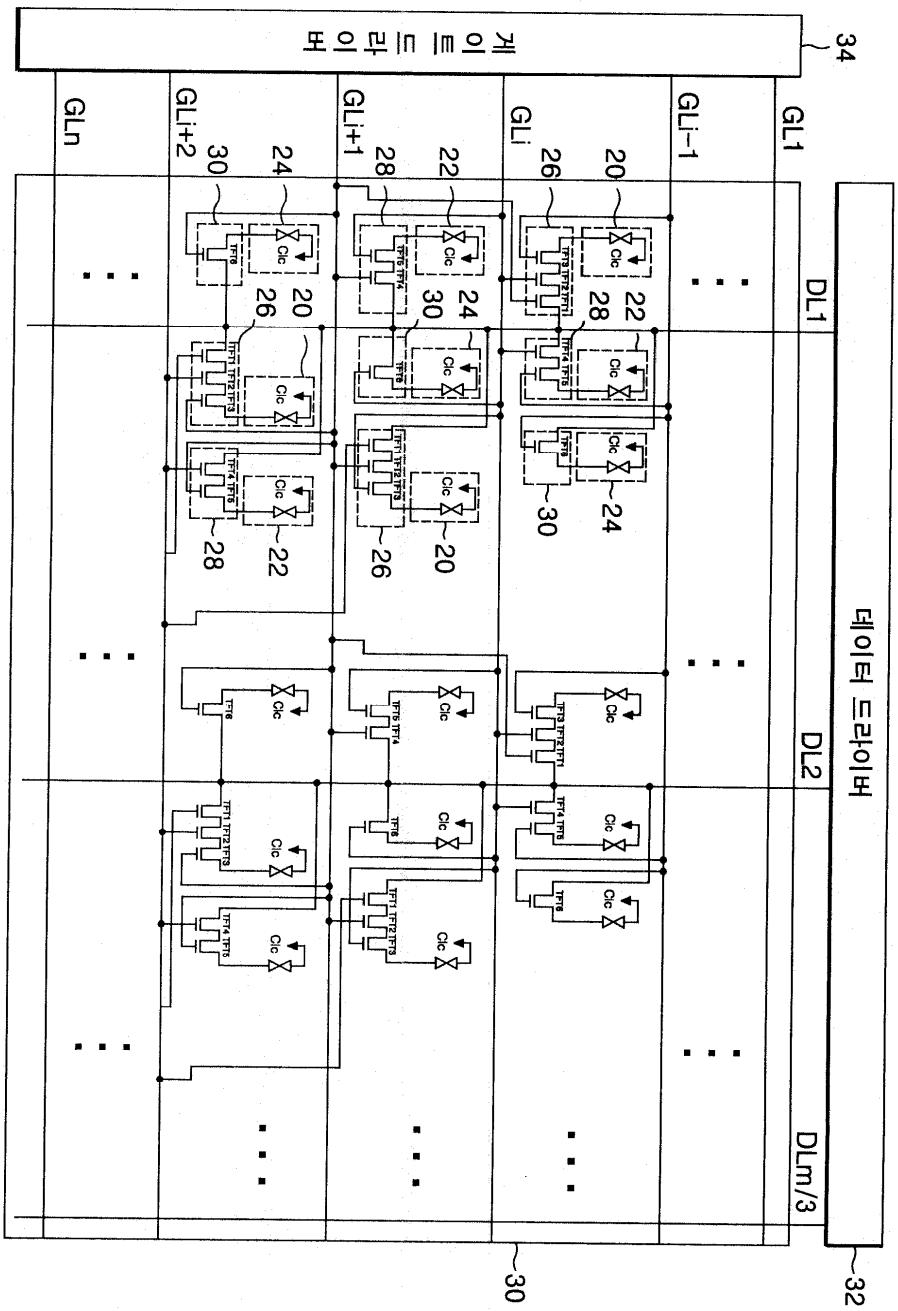
도면3


DL
GLi+2
GLi+1
GLi
GLi-1
GLi-2
SP1
SP2
SP3
DA
DB
DC
1/3H
1/3H
1/3H
H
1/3H
2/3H
TA
TB
TC
1H

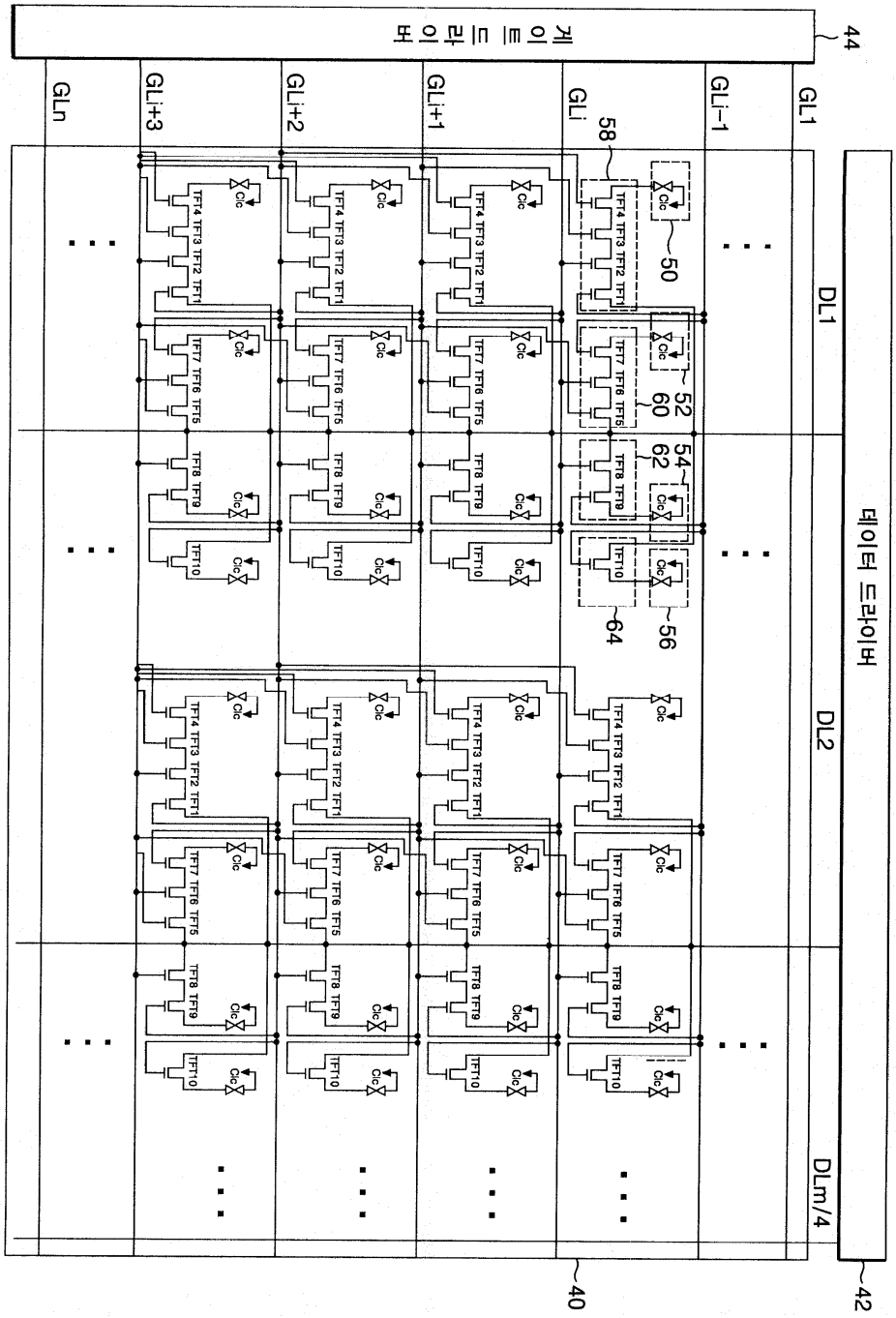
도면4


게이트 드라이버
16
데이터 드라이버
14
12
GL1
GLi-1
GLi
GLi+1
GLi+2
GLn
DL1
DL2
DLm/3
22
28
20
26
24
30
Clc
TFT1 TFT2 TFT3
TFT4 TFT5
TFT6

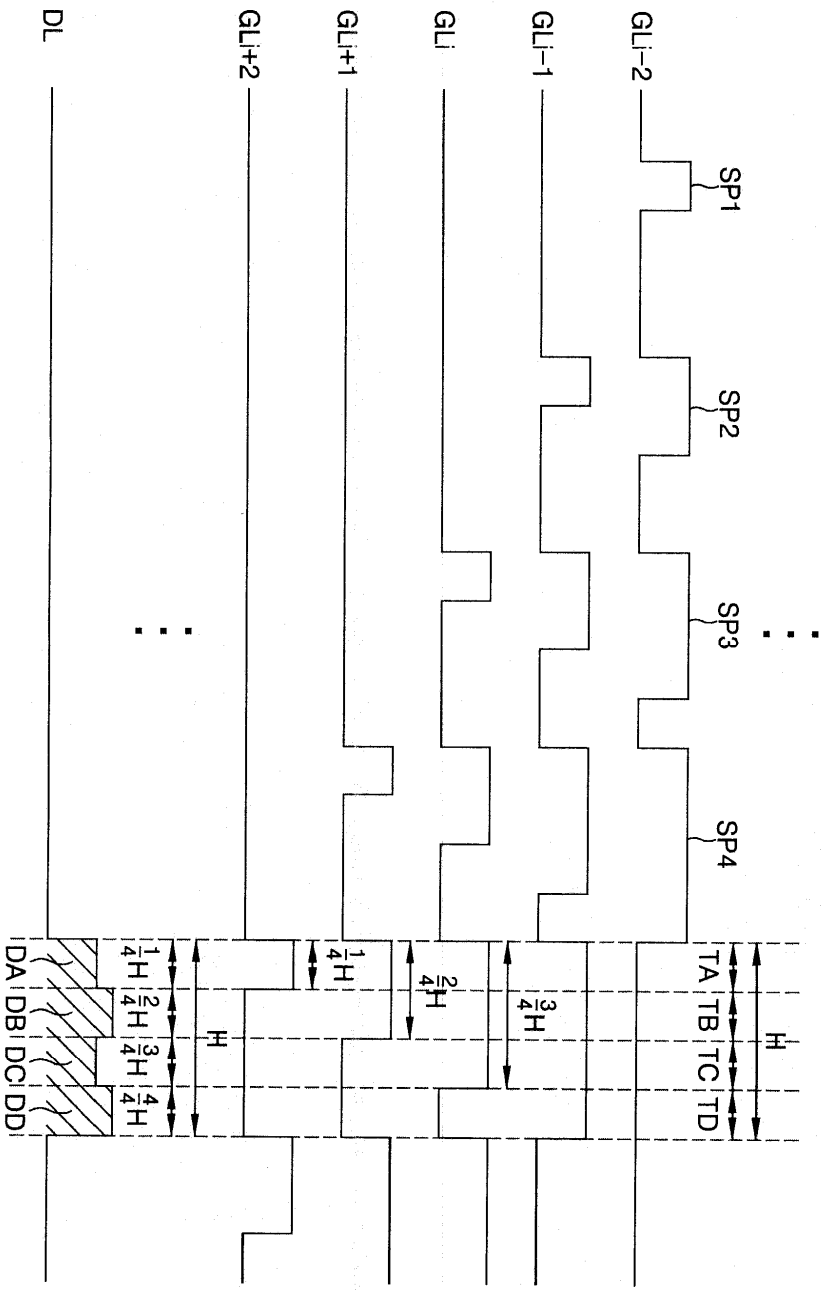
도면5


게이트 드라이버
34
데이터 드라이버
32
GL1
GLi-1
GLi
GLi+1
GLi+2
GLn
DL1
DL2
DLm/3
30
Clc
TFT1
TFT2
TFT3
TFT4
TFT5
TFT6

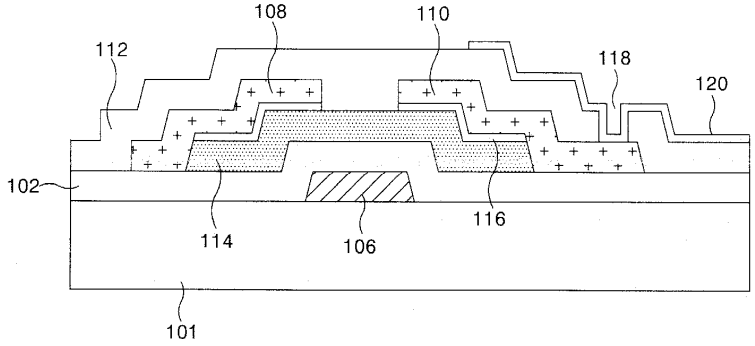
도면6


게이트 드라이버
44
데이터 드라이버
42
GL1
GLi-1
GLi
GLi+1
GLi+2
GLi+3
GLn
DL1
DL2
DLm/4
40
50
52
54
56
58
60
62
64
Clc
TFT1
TFT2
TFT3
TFT4
TFT5
TFT6
TFT7
TFT8
TFT9
TFT10

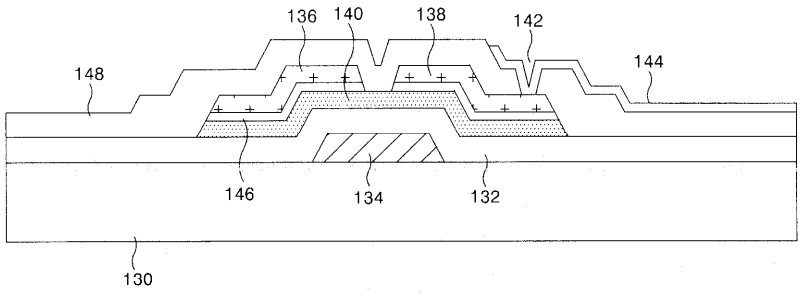
도면7


DL
GLi+2
GLi+1
GLi
GLi-1
GLi-2
SP1
SP2
SP3
SP4
DA
DB
DC
DD
TA
TB
TC
TD
H

도면8


108
110
112
118
120
102
114
106
116
101

도면9



专利名称(译)	用于驱动液晶显示器的装置和方法		
公开(公告)号	KR1020040055335A	公开(公告)日	2004-06-26
申请号	KR1020020081979	申请日	2002-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK KWANGSOON 박광순 KIM CHEOLSE 김철세		
发明人	박광순 김철세		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3648 G09G3/3659 G09G2310/0297		
其他公开文献	KR100942833B1		
外部链接	Espacenet		

摘要(译)

本发明涉及减少数据线数量和相应数据驱动IC数量的液晶显示器。本发明的液晶显示器包括多条栅极线，这些栅极线形成为与数据线交叉，数据线形成为包括多条垂直线，并且包括与数据线交叉的方向的多条水平线，沿着i排列的第一液晶单元（i是自然数大于2）的数字水平线彼此相邻连接到一条数据线，以及用于从第二液晶单元提供视频信号的开关单元和第三液晶单元和第一至第三液晶单元的一条数据线。并且开关单元具有第一开关单元，其连接到3的栅极线，第一液晶单元被驱动，第二开关单元连接到第二液晶单元的栅极线，第三开关单元被驱动，第三开关单元被驱动开关单元连接到一条栅极线以驱动第三液晶单元。