

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/136

(11) 공개번호 10-2004-0026959
(43) 공개일자 2004년04월01일

(21) 출원번호 10-2002-0058619
(22) 출원일자 2002년09월27일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 박종호
경기도수원시팔달구영통동969-1호삼성아파트923동604호

(74) 대리인 박영우

심사청구 : 없음

(54) 액정 표시 장치

요약

화이트성 가로줄 얼룩 불량을 제거하기 위한 액정 표시 장치를 개시한다. 게이트 신호를 전달하는 게이트 라인과, 데이터 신호를 전달하는 데이터 라인과, 게이트 라인과 데이터 라인들에 의해 둘러싸여 정의되는 복수의 화소 영역에 각각 형성되고, 게이트 라인과 데이터 라인을 연결하는 박막 트랜지스터가 형성된 절연 기판상에 형성되는 공통 전압 라인은 공통 전압을 전달하고, 유기절연막은 절연 기판, 박막 트랜지스터 및 공통 전압 라인상에 형성되고, 콘택홀이 형성되어 공통 전압 라인을 노출시키며, 화소 전극은 유기절연막상에 형성되어 콘택홀을 통해 인접하는 화소전극과 전기적으로 연결된다. 이에 따라, 서로 인접하는 각 화소의 공통 전압 라인을 전기적으로 연결함으로써 게이트 라인에 동일한 공통 전압을 인가할 수 있고, 이에 따라 화이트성의 가로줄 불량을 저감시킬 수 있다.

대표도

도 3

색인어

액정, 가로줄, 화이트성, 공통 전압, 콘택홀, 화소 전극, 캐패시터

명세서

도면의 간단한 설명

도 1은 일반적인 액정 표시 장치의 등가 회로를 설명하기 위한 도면이다.

도 2는 게이트 온 전압 하강에 따른 투과율 변화를 설명하기 위한 도면이다.

도 3은 본 발명의 일 실시예에 따른 어레이 기판의 배치도이다.

도 4a 및 도 4b는 상기 도 3의 I - I' 라인과 II - II' 라인을 절단한 단면도이다.

도 5는 상기 도 3에 의한 액정 표시 장치의 등가 회로를 설명하기 위한 도면이다.

도 6은 본 발명의 다른 실시예에 따른 어레이 기판의 배치도이다.

도 7a 및 도 7b는 상기 도 6의 I - I' 라인과 II - II' 라인을 절단한 단면도이다.

도 8은 상기 도 6에 의한 액정 표시 장치의 등가 회로를 설명하기 위한 도면이다.

<도면의 주요부분에 대한 부호의 설명>

100, 200 : 절연 기판 110, 210 : 게이트 라인

112, 212 : 게이트전극 120, 220 : 공통 전압 라인

122, 222 : 메인 공통 전압 라인 130, 230 : 게이트절연층

140, 240 : 액티브층 160, 260 : 유기절연막

170, 270 : 보호층 180, 280 : 화소 전극

185 : 브리지 패턴 285 : 캐패시터 패턴

124, 126, 224, 226 : 서브 공통 전압 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 보다 상세하게는 화이트성 가로줄 얼룩 불량을 제거하기 위한 액정 표시 장치에 관한 것이다.

도 1은 일반적인 액정 표시 장치의 등가 회로를 설명하기 위한 도면으로, 특히 독립 배선 방식을 갖는 액정 패널의 등가 회로를 설명하기 위한 도면이다.

도 1을 참조하면, 일반적인 독립 배선 방식을 갖는 액정 패널은 복수개의 데이터 배선(D1, D2, D3, D4, ...)과 복수개의 게이트 배선(G1, G2, ...)간에 격자 배열된 일정 영역에 형성되며, 게이트가 상기 게이트 배선에 연결되고, 소오스가 상기 데이터 배선에 연결된 스위칭 소자(TFT)와, 상기 스위칭 소자의 드레인에 연결된 액정 캐패시터(C_{LC})와 스토리지 캐패시터(Cst)를 포함하여 이루어진다.

동작시, 액정 캐패시터(C_{LC})의 일단은 상기 스위칭 소자의 드레인에 연결되고, 타단은 공통 전압 라인을 통해 공통 전극 전압원(Vcom)에 연결되어, 양단간의 전위차에 응답하여 소정의 화상을 디스플레이한다. 또한, 스토리지 캐패시터(Cst)의 일단은 상기 스위칭 소자의 드레인에 연결되고, 타단은 소정의 그라운드단에 연결되어, 한 프레임 동안 상기 액정 캐패시터(C_{LC})의 일단을 통해 충전된 소정의 전압을 제공한다.

이때 상기 데이터 배선이나 게이트 배선은 도전 물질로 이루어진 단일막으로 형성할 수도 있으나, 미도시한 화소 전극이 ITO(Indium Tin Oxide)인 점을 고려하면 이중막 또는 삼중막으로 형성하는 것이 바람직하다. 이중막을 예로 들면, 하부막은 저항이 작은 물질인 알루미늄 또는 알루미늄 합금 또는 구리(Cu)로 형성하고, 상부막은 다른 물질과의 접촉 특성이 좋은 물질인 크롬으로 형성하는 것이 바람직하다.

하지만, 이러한 게이트 배선을 이중막으로 적용하게 되면, 중간 계조, 예를들어 64계조 구현시 32-그레이에서 게이트 라인 방향으로 약간 밝게 빛나는 화이트성 가로줄 얼룩 불량이 발생하는 문제점이 있다.

보다 상세히는, 상기 게이트 배선을 하부막을 알루미늄-니켈 합금(Al-Nd)으로 형성하고, 상부막을 크롬(Cr)으로 형성한 Al-Nd/Cr 독립 배선 방식을 사용하게 되면 32-그레이 디스플레이 상태에서 게이트 라인 방향으로 랜덤하게 밝게 보이는 화이트성 불량이 발생한다.

특히, 상기 화이트성 불량을 발생하는 게이트 라인을 분석하면 크롬막에 언더 컷(under-cut)이 발생되었고, 원하는 제1 게이트 온 전압(Vg1) 역시 도 2에 도시한 바와 같이 제2 게이트 온 전압(Vg2)으로 대략 150mV 정도로 하강하게 되어 원 하는 투과율에 미치지 못한다. 상기 투과율 차이로 인해 1-그레이 수준의 가로줄 얼룩 불량으로 보이는 원인으로 작용하게 된다. 특히, 게이트 온 전압의 하강은 액정에 인가되는 전압의 하강으로 영향을 미쳐 각각의 공통 전압 라인별 차이를 보인다.

발명이 이루고자 하는 기술적 과제

이에 본 발명의 기술과 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 화이트성 가로줄 얼룩 불량을 제거하기 위한 액정 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 액정 표시 장치는, 기판상에 제1 방향으로 형성되고, 게이트 신호를 전달하는 복수의 게이트 라인과, 상기 기판상에 상기 제1 방향과는 상이한 제2 방향으로 형성되고, 데이터 신호를 전달하는 복수의 데이터 라인과, 상기 게이트 라인들과 데이터 라인들에 의해 둘러싸여 정의되는 복수의 화소 영역에 각각 형성되고, 상기 게이트 라인과 데이터 라인을 연결하는 박막 트랜지스터를 포함하는 액정 표시 장치에 있어서, 상기 기판상에 형성되어, 공통 전압을 전달하는 복수의 공통 전압 라인; 상기 기판, 박막 트랜지스터 및 공통 전압 라인상에 형성되고, 상기 공통 전압 라인을 노출시키는 콘택홀이 형성된 유기절연막; 및 상기 유기절연막상에 형성되고, 상기 콘택홀을 통해 인접하는 화소전극과 전기적으로 연결된 복수의 화소 전극을 포함하여 이루어진다. 여기서, 상기 화소 전극들 중 현재 화소 전극은 상기 현재 화소 전극의 하부에 형성된 공통 전압 라인과 전기적으로 연결되고, 이전 또는 이후 화소 전극의 하부에 형성된 공통 전압 라인과 전기적으로 연결되는 것을 하나의 특징으로 한다. 또한, 상기 화소 전극들 중 현재 화소 전극은 상기 현재 화소 전극의 하부에 형성된 공통 전압 라인과 전기적으로 연결되고, 이전 또는 이후 화소 전극으로 연장되어 상기 이전 또는 이후 화소 전극의 하부에 형성된 공통 전압 라인과 캐패시터를 형성하는 것을 다른 하나의 특징으로 한다.

이러한 액정 표시 장치에 의하면, 서로 인접하는 각 화소의 공통 전압 라인을 전기적으로 연결함으로써 게이트 라인에 동일한 공통 전압을 인가할 수 있고, 이에 따라 화이트성의 가로줄 불량을 저감시킬 수 있다.

이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

도 3은 본 발명의 일 실시예에 따른 어레이 기판의 배치도이다. 도 4a 및 도 4b는 상기 도 3의 I-I' 라인과 II-II' 라인을 따라 절단한 단면도이다.

도 3과 도 4a 및 도 4b를 참조하면, 제1 절연 기판(100)상에 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo) 등의 도전성 금속을 증착하고 이를 패터닝하여, 제1 절연 기판(100)의 가로방향으로 구성되는 다수의 제1 게이트 라인(110)과, 상기 제1 게이트 라인(110)에서 소정 면적으로 돌출 형성된 제1 게이트전극(112)을 형성한다.

이때, 상기 제1 게이트 라인(110)은 구리, 구리 합금, 알루미늄 또는 알루미늄 합금으로 이루어진 하부막과, 크롬, 몰리브덴, 몰리브덴 합금, 질화 크롬 또는 질화 몰리브덴 등으로 이루어진 상부막을 포함한다. 물론, 상기 제1 게이트 라인은 이중막으로 형성되어 있지만, 구리 또는 구리 합금 또는 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta) 등의 도전 물질로 이루어진 단일막으로 형성할 수도 있다.

본 발명의 일 실시예에서는 이후에 형성되는 제1 화소 전극(180)이 ITO(indium tin oxide)인 것을 고려하여 하부막을 저항이 작은 물질인 알루미늄 또는 알루미늄 합금 또는 구리(Cu)로 형성하고, 상부막을 다른 물질과의 접촉 특성이 좋은 물질인 크롬으로 형성하였지만, 상기 제1 화소 전극(180)이 IZO(indium zinc oxide)인 경우에는 알루미늄 또는 알루미늄 합금의 단일막으로 만드는 것이 바람직하며, 구리가 IZO 및 ITO와의 접촉 특성이 우수한 경우에는 구리의 단일막으로 형성하는 것이 바람직하다.

또한, 제1 절연 기판(100)의 상부에 제1 메인 공통 전압 라인(122), 제1 서브 공통 전압 라인(124) 및 제2 서브 공통 전압 라인(126)을 포함하여 공통 전압(Vcom)을 전달하는 제1 공통 전압 라인(120)을 형성한다.

구체적으로, 제1 메인 공통 전압 라인(122)은 제1 게이트 라인(110)의 형성 방향과 동일한 방향으로 형성되어, 상기 공통 전압을 제1 서브 공통 전압 라인(124) 및 제2 서브 공통 전압 라인(126)을 경유하여 제1 화소 전극(180)에 전달한다. 제1 서브 공통 전압 라인(124)은 제1 메인 공통 전압 라인(122)으로부터 세로 방향으로 분기되어 제1 화소 전극(180)의 제1 영역에 공통 전압을 전달한다. 제2 서브 공통 전압 라인(126)은 제1 메인 공통 전압 라인(122)으로부터 세로 방향으로 분기되어, 제1 화소 전극(180)의 제2 영역에 공통 전압을 전달한다. 이처럼 하나의 화소에 대해 서로 이격된 2개의 서브 공통 전극 라인을 형성하므로써, 하나의 화소 전극 전체에 고르게 공통 전압을 인가할 수 있다.

상기 제1 게이트전극(112)이 형성된 제1 절연 기판(100)상에 산화실리콘(SiO_2) 및 질화실리콘(SiN_x) 등의 무기절연막을 증착하여 제1 게이트절연층(130)을 형성한다.

다음으로, 상기 제1 게이트절연층(130)상에 반도체층을 형성하고 패터닝하여, 상기 제1 게이트전극(112) 상부에 아일랜드 형태(Island type)로 제1 액티브층(140)을 형성한다.

다음으로, 상기 제1 액티브층(140) 상부에 상기 도전성 금속을 증착하고 패터닝하여, 상기 가로방향으로 구성된 다수의 제1 게이트 라인(110)과 수직하게 교차하는 다수의 제1 데이터 라인(150)을 구성하고, 상기 제1 게이트전극(112)에 근접한 부분의 제1 데이터 라인에서 소정 면적으로 돌출 연장되어, 상기 제1 액티브층(140)과 일부 겹쳐지는 제1 소오스전극(152) 및 이와 소정간격 이격된 제1 드레인 전극(154)을 형성한다. 이때, 상기 제1 데이터 라인(150)은 저저항성의 구리 또는 알루미늄 또는 알루미늄 합금 등의 단일막으로 형성될 수도 있지만, 이중층이나 삼중층으로 형성될 수도 있다. 물론, 상기 제1 데이터 라인을 이중층 이상으로 형성하는 경우에는 하부층은 저저항성의 물질로 형성하고, 상부층은 고접촉성의 물질로 만드는 것이 바람직하며, Al(또는Al 합금)/Cr의 이중층 또는 Cu/Cr의 이중층이 그 예이다. 또한, 다른 물질과의 접촉 특성을 개선하기 위해 질화 크롬막이나 질화 몰리브덴막 등을 추가할 수도 있다. 도면상에 도시하는 제1 데이터 배선은 크롬(Cr)으로 이루어진 하부막과, 알루미늄-니켈 합금인 Al-Nd로 이루어진 상부막이다.

다음으로, 상기 제1 드레인 전극(154) 상부에 3.0 이하의 낮은 유전율을 가지며 300°C 이상의 내열성이 우수한 물질로 이루어지는 벤조사이클로부텐(BCB)과 아크릴(Acryl)계 수지(resin)등의 투명한 제1 유기절연막(160)을 증착하고 패터닝하여, 상기 제1 드레인 전극(154) 상부에 드레인 콘택홀(156)이 형성된 제1 보호층(170)을 형성하고, 상기 제1 보호층(170) 상부에 제1 화소 전극(180)을 형성한다.

이때 제1 화소 전극(180)은 매 화소의 상부에 형성되는데, 세로 방향으로 서로 인접하는 2개의 화소를 하나의 유니트로하고, 상기 유니트를 전기적으로 연결하기 위해 브리지 패턴(185)을 형성한다. 이때 브리지 패턴(185)은 상기 제1 화소 전극을 형성할 때 동일한 재질로 형성하는 것이 바람직하다.

구체적으로, 각 화소에는 동일 평면상에 제1 공통 전극 라인(120)과 제1 게이트 라인(110)이 형성되고, 그 상부에 제1 게이트 절연막(130), 제1 유기절연막(160) 및 제1 보호층(170)이 순차적으로 형성된다. 여기서, 설명의 편의를 위해 평면상에 세로 방향으로 배열되는 화소들중 인접하는 화소를 하나의 유니트로 한정하고, 상부에 배열되는 화소를 이전 화소, 하부에 배열되는 화소를 현재 화소로 각각 정의한다.

상기와 같이 정의되는 이전 화소와 현재 화소를 전기적으로 연결시키기 위해 각 화소에 대응하면서 각 화소의 제1 공통 전극 라인(120), 바람직하게는 제1 서브 공통 전극 라인(124)의 상부에 순차적으로 형성된 제1 게이트 절연막(130), 제1 유기절연막(160) 및 제1 보호층(170)을 개구시킨 콘택홀(187, 189)을 통해 노출된 이전 화소에 대응하는 제1 서브 공통 전극 라인과 현재 화소에 대응하는 제1 서브 공통 전극 라인을 연결하는 브리지 패턴(185)을 형성한다.

이와 같이 구성된 어레이 기판은 도시하지는 않았지만, 실런트에 의해 컬러 필터 기판과 합착되어 액정 패널을 완성한다. 이때, 상기 컬러 필터 기판은 전면 유리기판의 내측면상에 차광막이 각 화소 영역의 둘레를 따라 형성되어 액정 패널의 개구면을 매트릭스상으로 한정한다. 상기 차광막과 노출된 개구면에 컬러 필터층을 형성하고, 그 위로 통상의 보호층을 형성하며, 그 위로 투명한 상부 공통 전극을 형성하여 상판의 다층 구조를 형성한다.

도 5는 상기 도 3에 의한 액정 표시 장치의 등가 회로를 설명하기 위한 도면으로, 특히 독립 배선 방식을 갖는 액정 패널의 등가 회로를 설명하기 위한 도면이다.

도 3과 도 5를 참조하면, 게이트 라인과 데이터 라인에 의해 둘러싸인 영역은 각각 화소를 이루며, 각 화소는 상기 게이트 라인과 상기 데이터 라인에 각각 게이트 전극 및 소오스 전극이 연결되는 박막 트랜지스터(TFT)와 상기 박막 트랜지스터의 드레인 전극에 병렬 연결되는 액정 커패시터(C_{LC})와 저장 커패시터(C_{ST})를 포함하고, 상기 게이트 라인의 형성 방향과 동일한 방향으로 형성된 공통 전압 라인을 포함한다.

상기 액정 커패시터(C_{LC})의 일단은 상기 박막 트랜지스터(TFT)의 드레인 전극에 연결되고, 타단은 공통 전압(V_{com})을 전달하는 공통 전압 라인에 연결된다. 또한, 상기 저장 커패시터(C_{ST})의 일단은 상기 박막 트랜지스터(TFT)

의 드레인 전극에 연결되고, 그라운드된다. 물론 상기 박막 트랜지스터(TFT)의 드레인 전극에 연결되는 저장 캐패시터(C_{ST})의 타단을 상기 공통 전압 라인에 연결시킬 수도 있을 것이다.

여기서, 설명의 편의를 위해 첫 번째 라인의 첫 번째 컬럼에 대응하는 제1 R화소(111R), 첫 번째 라인의 두 번째 컬럼에 대응하는 제1 G화소(111G) 및 첫 번째 라인의 세 번째 컬럼에 대응하는 제1 B화소(111B)를 제1 픽셀로 정의하며, 두 번째 라인의 첫 번째 컬럼에 대응하는 제2 R화소(121R), 두 번째 라인의 두 번째 컬럼에 대응하는 제2 G화소(121G) 및 두 번째 라인의 세 번째 컬럼에 대응하는 제2 B화소(121B)를 제2 픽셀로 정의하는 방식을 통해 3개의 화소를 하나의 픽셀로 각각 정의한다.

도시된 바에 의하면, 하나의 픽셀과 이에 세로로 인접하는 픽셀에 각각 형성된 공통 전압 라인은 공통된다. 즉, 제1 R화소(111R)에 형성된 공통 전압 라인은 제2 R화소(121R)에 형성된 공통 전압 라인과 공통된다.

본 발명의 일 실시예에서는 하나의 픽셀을 이루는 R,G,B 화소중 어느 하나의 화소에 대응하는 공통 전극 라인이 세로 방향으로 인접하는 R,G,B 화소중 어느 하나의 화소에 대응하는 공통 전극 라인과 공통되는 것을 설명하였다.

하지만, 하나의 픽셀을 이루는 R,G,B 화소중 2개 또는 3개의 화소에 대응하는 공통 전극 라인이 세로 방향으로 인접하는 R,G,B 화소중 2개 또는 3개의 화소에 대응하는 공통 전극 라인과 공통하도록 구성할 수도 있을 것이다.

이상에서 설명한 본 발명의 일 실시예에 따르면, 이전 화소에 대응하는 공통 전압 라인과 현재 화소에 대응하는 공통 전압 라인을 화소 전극 형성시 형성한 브리지 패턴을 이용함으로써 각각의 게이트 라인에 동일한 공통 전압을 인가할 수 있다.

도 6은 본 발명의 다른 실시예에 따른 어레이 기판의 배치도이다. 도 7a 및 도 7b는 상기 도 6의 I-I' 라인과 II-II' 라인을 절단한 단면도이다.

도 6과 도 7a 및 도 7b를 참조하면, 제2 절연 기판(200)상에 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo) 등의 도전성 금속을 증착하고 이를 패터닝하여, 제2 절연 기판(200)의 가로방향으로 구성되는 다수의 제2 게이트 라인(210)과, 상기 제2 게이트 라인(210)에서 소정 면적으로 돌출 형성된 게이트전극(212)을 형성한다.

또한, 제2 절연 기판(200)의 상부에 제2 메인 공통 전압 라인(222), 제3 서브 공통 전압 라인(224) 및 제4 서브 공통 전압 라인(226)을 포함하여 공통 전압(Vcom)을 전달하는 제2 공통 전압 라인(220)을 형성한다.

구체적으로, 제2 메인 공통 전압 라인(222)은 제2 게이트 라인(210)의 형성 방향과 동일한 방향으로 형성되어, 상기 공통 전압을 제3 서브 공통 전압 라인(224) 및 제4 서브 공통 전압 라인(226)을 경유하여 화소 전극에 전달한다. 제3 서브 공통 전압 라인(224)은 제2 메인 공통 전압 라인(222)으로부터 세로 방향으로 분기되어 화소 전극의 제1 영역에 공통 전압을 전달한다. 제4 서브 공통 전압 라인(226)은 제2 메인 공통 전압 라인(222)으로부터 세로 방향으로 분기되어, 화소 전극의 제2 영역에 공통 전압을 전달한다. 이처럼 하나의 화소에 대해 서로 이격된 2개의 서브 공통 전극 라인을 형성함으로써 고르게 공통 전압을 인가할 수 있다.

상기 제2 게이트전극(212)이 형성된 제2 절연 기판(200)상에 산화실리콘(SiO_2), 질화실리콘(SiN_x)등의 무기절연막을 증착하여 제2 게이트절연층(230)을 형성한다.

다음으로, 상기 제2 게이트절연층(230)상에 반도체층을 형성하고 패터닝하여, 상기 제2 게이트전극(212) 상부에 아일랜드 형태(Island type)로 제2 액티브층(240)을 형성한다.

다음으로, 상기 제2 액티브층(240) 상부에 상기 도전성 금속을 증착하고 패터닝하여, 상기 가로방향으로 구성된 다수의 제2 게이트 라인(210)과 수직하게 교차하는 다수의 제2 데이터 라인(250)을 구성하고, 상기 제2 게이트전극(212)에 근접한 부분의 데이터 라인에서 소정 면적으로 돌출 연장되어, 상기 제2 액티브층(240)과 일부 겹쳐지는 제2 소스전극(252) 및 이와 소정간격 이격된 제2 드레인전극(254)을 형성한다.

다음으로, 상기 제2 드레인전극(254) 상부에 3.0 이하의 낮은 유전율을 가지며 300°C 이상의 내열성이 우수한 물질로 이루어지는 벤조사이클로부텐(BCB)과 아크릴(Acryl)계 수지(resin)등의 투명한 제2 유기절연막(260)을 증착하고 패터닝하여, 상기 제2 드레인전극(254) 상부에 드레인 콘택홀이 형성된 제2 보호층(270)을 형성하고, 상기 제2 보호층(270) 상부에 제2 화소 전극(280)을 형성한다.

제2 화소 전극(280)은 매 화소의 상부에 형성되는데, 세로 방향으로 서로 인접하는 2개의 화소를 하나의 유니트로 하고, 상기 유니트를 전기적으로 연결하기 위해 캐패시터 패턴(285)을 형성한다. 이때 캐패시터 패턴(285)은 상기 화소 전극(280)을 형성할 때 동일한 재질로 형성하는 것이 바람직하다.

구체적으로, 각 화소에는 동일 평면상에 제2 공통 전극 라인(220)과 제2 게이트 라인(210)이 형성되고, 그 상부에 제2 게이트 절연막(230), 제2 유기절연막(260) 및 제2 보호층(270)이 순차적으로 형성된다. 여기서, 설명의 편의를 위해 평면상에 세로 방향으로 배열되는 화소들중 인접하는 화소를 하나의 유니트로 한정하고, 상부에 배열되는 화소를 이전 화소, 하부에 배열되는 화소를 현재 화소로 각각 정의한다.

상기와 같이 정의되는 유니트를 전기적으로 연결시키기 위해 현재 화소에 대응하는 제2 공통 전극 라인(220), 바람직하게는 제3 서브 공통 전극 라인(224)의 상부에 순차적으로 형성된 제2 게이트 절연막(230), 제2 유기절연막(260) 및 제2 보호층(270)을 개구시킨 콘택홀(289)을 통해 노출된 제3 서브 공통 전극 라인(224)과 이전 화소에 대응하면서 제3 서브 공통 전극 라인(224)의 상부에 형성된 제2 화소 전극(280)과 연결되는 캐패시터 패턴(285)을 형성한다.

물론, 현재 화소에 대응하는 제3 서브 공통 전극 라인(224)을 노출시키고, 이전 화소에 대응하는 화소 전극과 연결하는 것을 설명하였으나, 그 역도 가능할 것이다.

도 8은 상기 도 6에 의한 액정 표시 장치의 등가 회로를 설명하기 위한 도면으로, 특히 독립 배선 방식을 갖는 액정 패널의 등가 회로를 설명하기 위한 도면이다.

도 6과 도 8을 참조하면, 게이트 라인과 데이터 라인에 의해 둘러싸인 영역은 각각 화소를 이루며, 각 화소는 상기 게이트 라인과 상기 데이터 라인에 각각 게이트 전극 및 소오스 전극이 연결되는 박막 트랜지스터(TFT)와 상기 박막 트랜지스터의 드레인 전극에 병렬 연결되는 액정 커패시터(C_{LC})와 저장 커패시터(C_{ST})를 포함하고, 상기 게이트 라인의 형성 방향과 동일한 방향으로 형성된 공통 전압 라인을 포함한다. 여기서, 상기 공통 전압 라인은 서로 인접하는 공통 전압 라인과 캐패시터(C_{11} , C_{12} , ...)를 매개로 하여 연결된다.

상기 액정 커패시터(C_{LC})의 일단은 상기 박막 트랜지스터(TFT)의 드레인 전극에 연결되고, 타단은 공통 전압(V_{com})을 전달하는 공통 전압 라인에 연결된다. 또한, 상기 저장 커패시터(C_{ST})의 일단은 상기 박막 트랜지스터(TFT)의 드레인 전극에 연결되고, 그라운드된다. 물론 상기 박막 트랜지스터(TFT)의 드레인 전극에 연결되는 저장 커패시터(C_{ST})의 타단을 상기 공통 전압 라인에 연결시킬 수도 있을 것이다.

여기서, 설명의 편의를 위해 첫 번째 라인의 첫 번째 컬럼에 대응하는 제3 R화소(211R), 첫 번째 라인의 두 번째 컬럼에 대응하는 제3 G화소(211G) 및 첫 번째 라인의 세 번째 컬럼에 대응하는 제3 B화소(211B)를 제1 픽셀로 정의하며, 두 번째 라인의 첫 번째 컬럼에 대응하는 제4 R화소(221R), 두 번째 라인의 두 번째 컬럼에 대응하는 제4 G화소(221G) 및 두 번째 라인의 세 번째 컬럼에 대응하는 제4 B화소(221B)를 제2 픽셀로 정의하는 방식을 통해 3개의 화소를 하나의 픽셀로 각각 정의한다.

도시된 바에 의하면, 하나의 픽셀과 이에 세로로 인접하는 픽셀에 각각 형성된 공통 전압 라인은 공통된다. 즉, 제3 R화소(211R)에 형성된 공통 전압 라인은 제4 R화소(221R)에 형성된 공통 전압 라인과 공통된다.

본 발명의 일 실시예에서는 하나의 픽셀을 이루는 R,G,B 화소중 어느 하나의 화소에 대응하는 공통 전극 라인이 세로 방향으로 인접하는 R,G,B 화소중 어느 하나의 화소에 대응하는 공통 전극 라인과 공통되는 것을 설명하였다.

하지만, 하나의 픽셀을 이루는 R,G,B 화소중 2개 또는 3개의 화소에 대응하는 공통 전극 라인이 세로 방향으로 인접하는 R,G,B 화소중 2개 또는 3개의 화소에 대응하는 공통 전극 라인과 공통하도록 구성할 수도 있을 것이다.

이상의 본 발명의 다른 실시예에 따르면, 이전 화소에 대응하는 공통 전압 라인과 현재 화소에 대응하는 공통 전압 라인 중 하나의 라인에만 콘택홀을 뚫고, 콘택홀을 뚫지 않은 다른 라인까지 ITO 패턴을 길게 연장하므로써 공통 전압 라인간 스토리지 캐패시터 충전량에 공통 전압 상호 라인간 영향을 미치게하여 이전 화소에 대응하는 캐패시턴스와 현재 화소에 대응하는 캐패시턴스를 동일하게 유지시켜 각각의 게이트 라인에 동일한 공통 전압을 인가할 수 있다.

이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따르면 데이터 라인 방향으로 형성되고, 서로 인접하는 각 화소의 공통 전압 라인을 전기적으로 연결하므로써 상기 데이터 라인과는 상이한 방향으로 형성되는 각각의 게이트 라인에 동일한 공통 전압을 인가할 수 있고, 이에 따라 화이트성의 가로줄 불량을 저감시킬 수 있다.

또한, 본 발명에 따르면 데이터 라인 방향으로 형성되는 화소의 공통 전압 라인을 상기 화소에 인접하는 각 화소의 공통 전압 라인으로 오버랩 시켜 연접시키므로써 일종의 캐패시터를 형성하므로써, 현재 화소에 인가되는 전위량을 이전 화소에 분산시키므로써 현재 화소에 인가되는 전위량을 상대적으로 줄일 수 있고, 이에 따라 화이트성의 가로줄 불량을 저감시킬 수 있다.

(57) 청구의 범위

청구항 1.

기판상에 제1 방향으로 형성되고, 게이트 신호를 전달하는 복수의 게이트 라인과, 상기 기판상에 상기 제1 방향과는 상이한 제2 방향으로 형성되고, 데이터 신호를 전달하는 복수의 데이터 라인과, 상기 게이트 라인과 데이터 라인들에 의해 둘러싸여 정의되는 복수의 화소 영역에 각각 형성되고, 상기 게이트 라인과 데이터 라인을 연결하는 박막 트랜지스터를 포함하는 액정 표시 장치에 있어서,

상기 기판상에 형성되어, 공통 전압을 전달하는 복수의 공통 전압 라인;

상기 기판, 박막 트랜지스터 및 공통 전압 라인상에 형성되고, 상기 공통 전압 라인을 노출시키는 콘택홀이 형성된 유기절연막; 및

상기 유기절연막상에 형성되고, 상기 콘택홀을 통해 인접하는 화소전극과 전기적으로 연결된 복수의 화소 전극을 포함하는 액정 표시 장치.

청구항 2.

제1항에 있어서, 상기 인접하는 화소 전극은 상기 제2 방향으로 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제1항에 있어서, 상기 화소 전극들 중 현재 화소 전극은 상기 현재 화소 전극의 하부에 형성된 공통 전압 라인과 전기적으로 연결되고, 이전 또는 이후 화소 전극의 하부에 형성된 공통 전압 라인과 전기적으로 연결되는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

제1항에 있어서, 상기 화소 전극들 중 현재 화소 전극은 상기 현재 화소 전극의 하부에 형성된 공통 전압 라인과 전기적으로 연결되고, 이전 또는 이후 화소 전극으로 연장되어 상기 이전 또는 이후 화소 전극의 하부에 형성된 공통 전압 라인과 캐패시터를 형성하는 것을 특징으로 하는 액정 표시 장치.

청구항 5.

제1항에 있어서, 상기 유기절연막 및 화소 전극간에 형성되고, 상기 공통 전압 라인을 노출시키는 콘택홀이 형성된 보호층을 더 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 6.

제1항에 있어서, 상기 공통 전압 라인은,

상기 제1 방향으로 형성되어 상기 공통 전압을 전달하는 메인 공통 전압 라인; 및

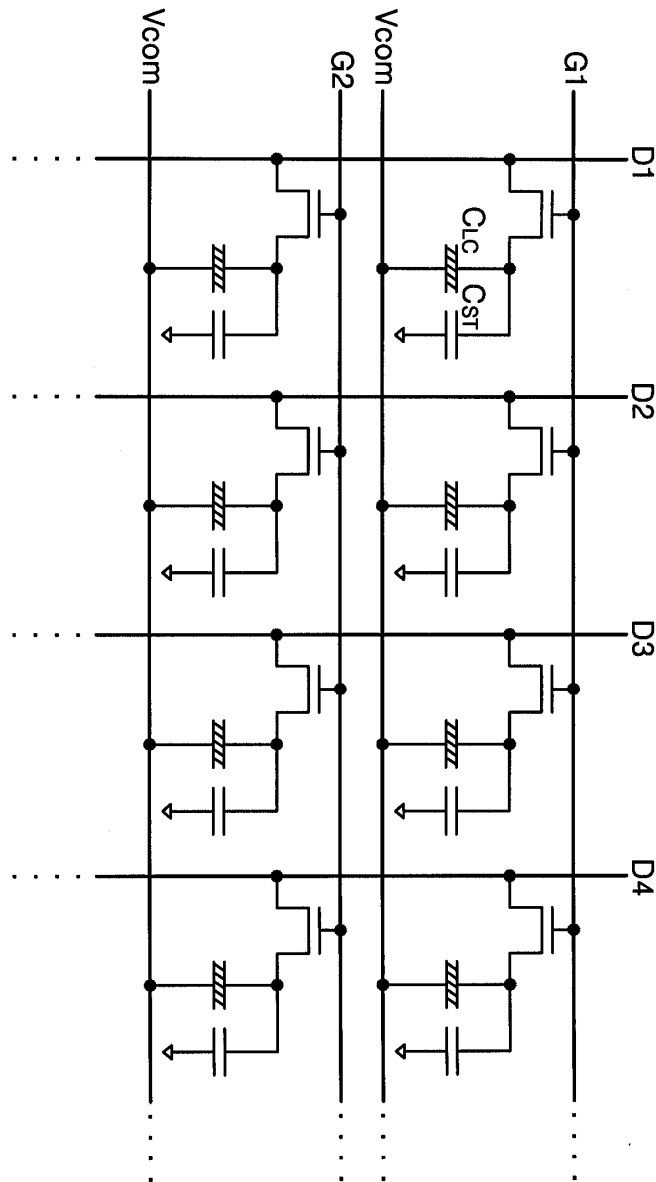
상기 메인 공통 전압 라인으로부터 상기 제2 방향으로 분기되어 상기 화소 전극의 제1 영역에 공통 전압을 전달하는 제1 서브 공통 전압 라인을 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 7.

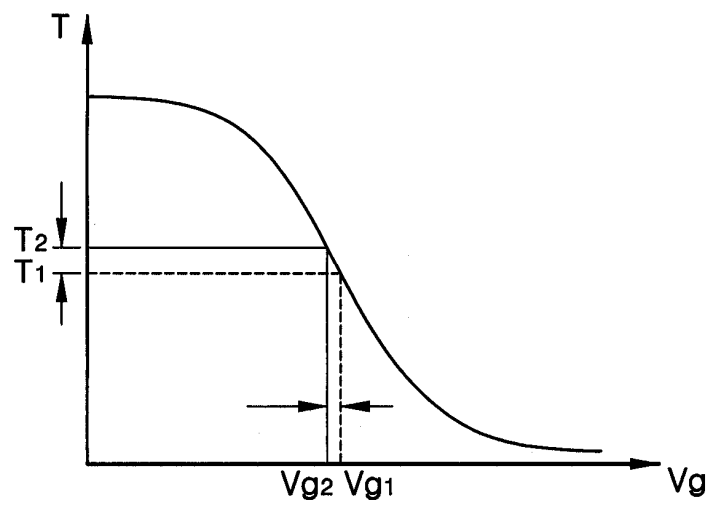
제6항에 있어서, 상기 메인 공통 전압 라인으로부터 상기 제2 방향으로 분기되어, 상기 화소 전극의 제2 영역에 공통 전압을 전달하는 제2 서브 공통 전압 라인을 더 포함하는 것을 특징으로 하는 액정 표시 장치.

도면

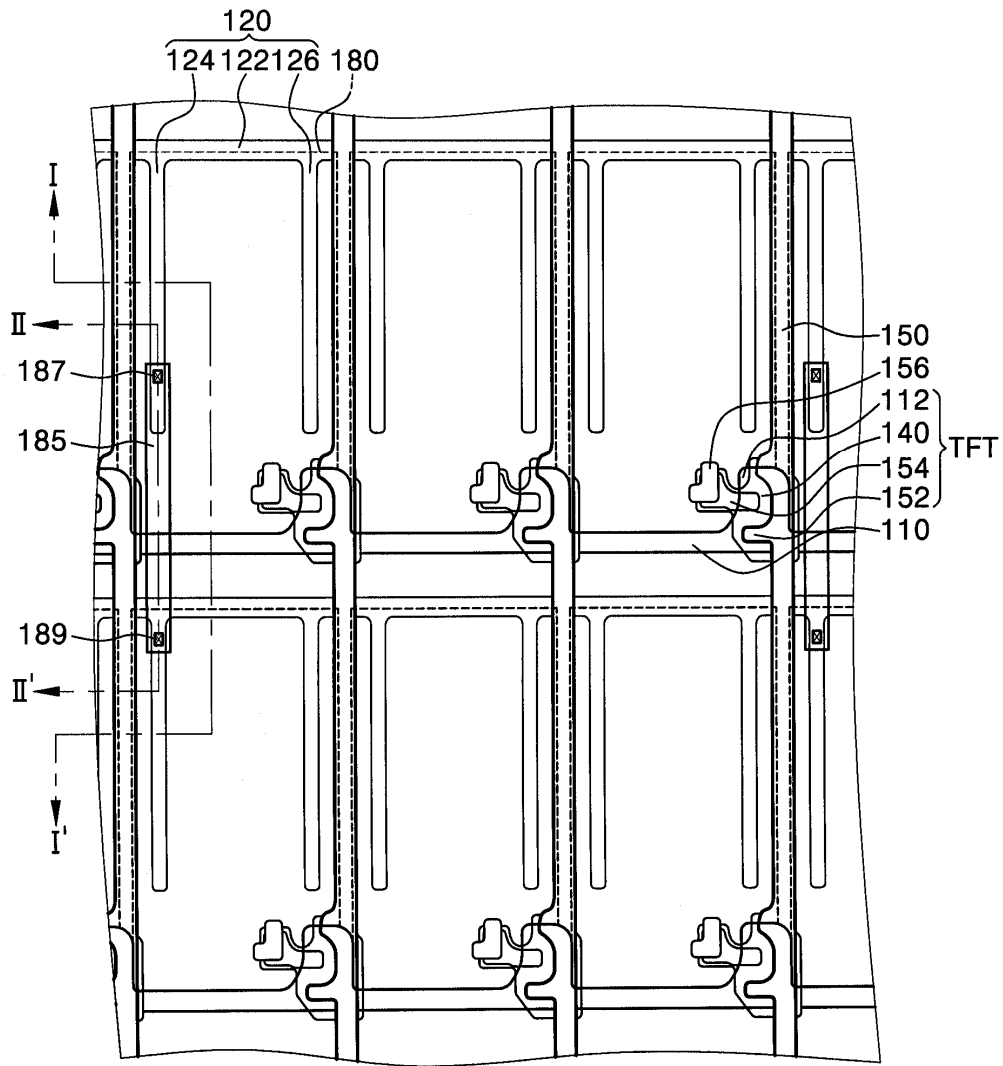
도면1



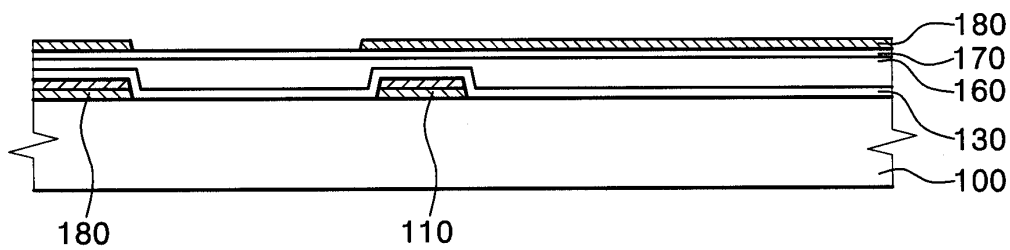
도면2



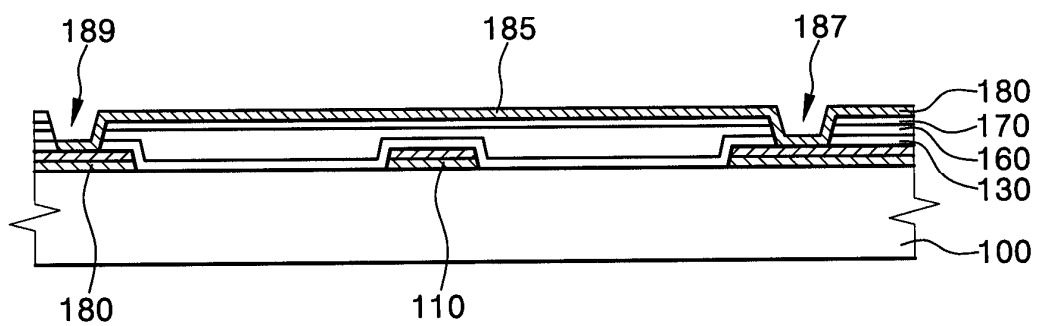
도면3



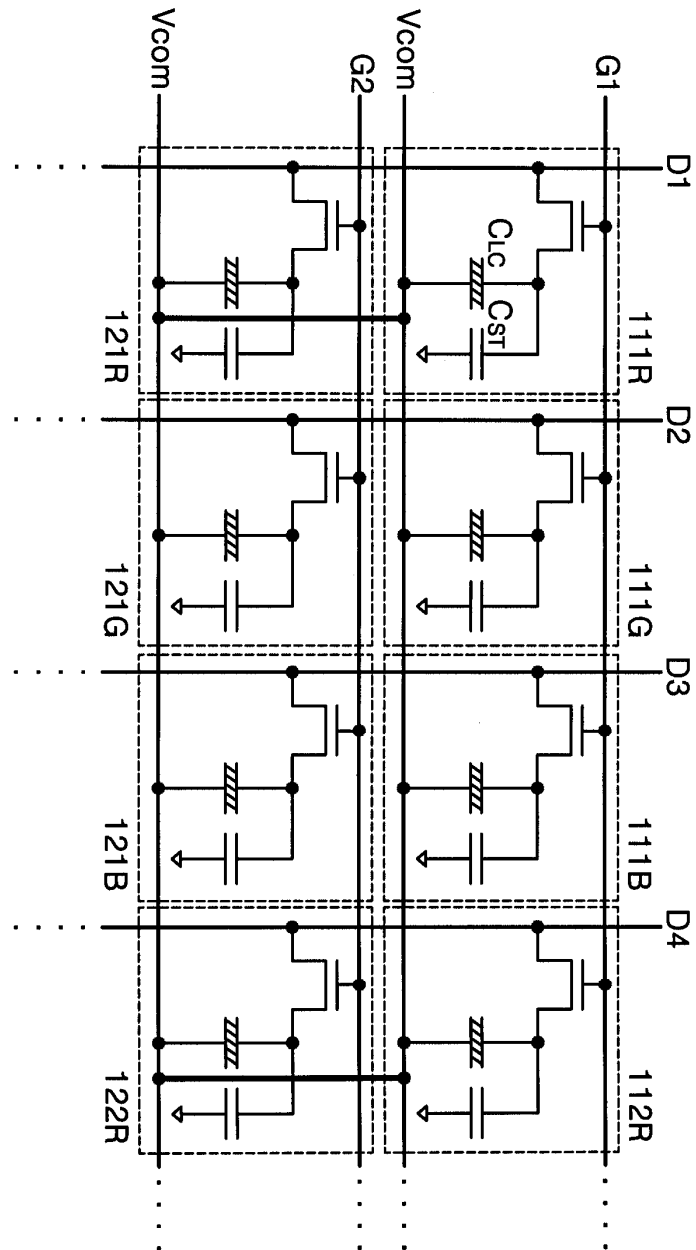
도면4a



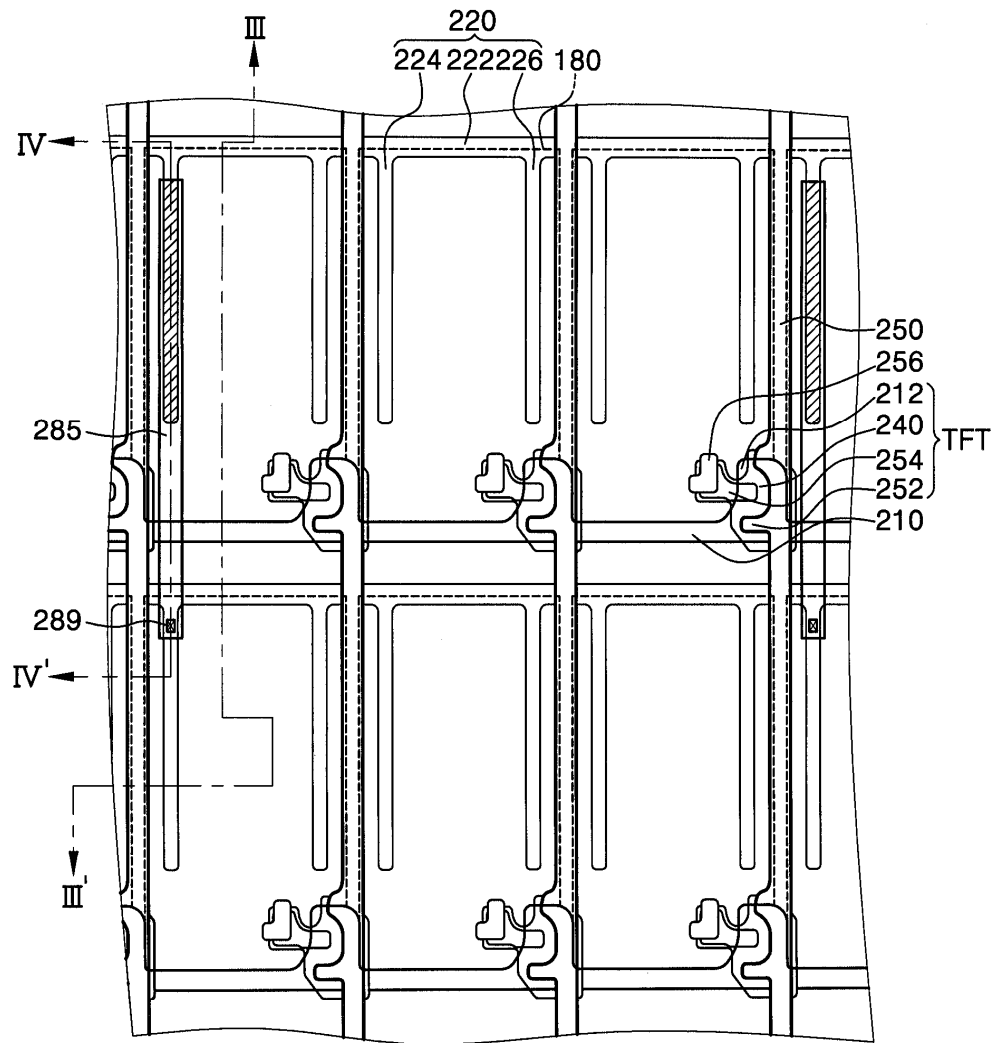
도면4b



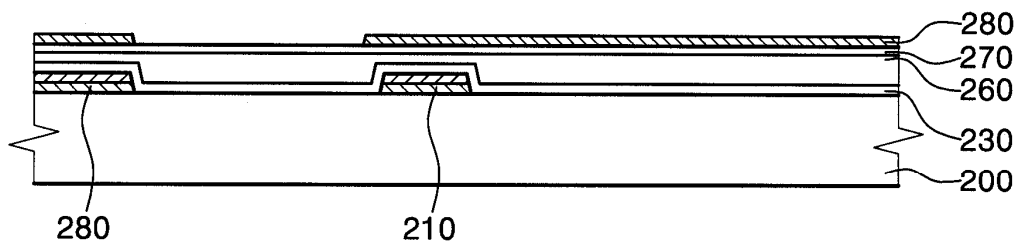
도면5



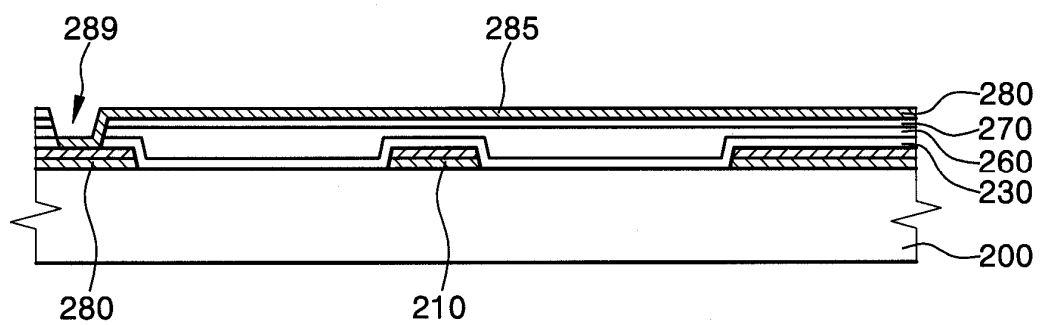
도면6



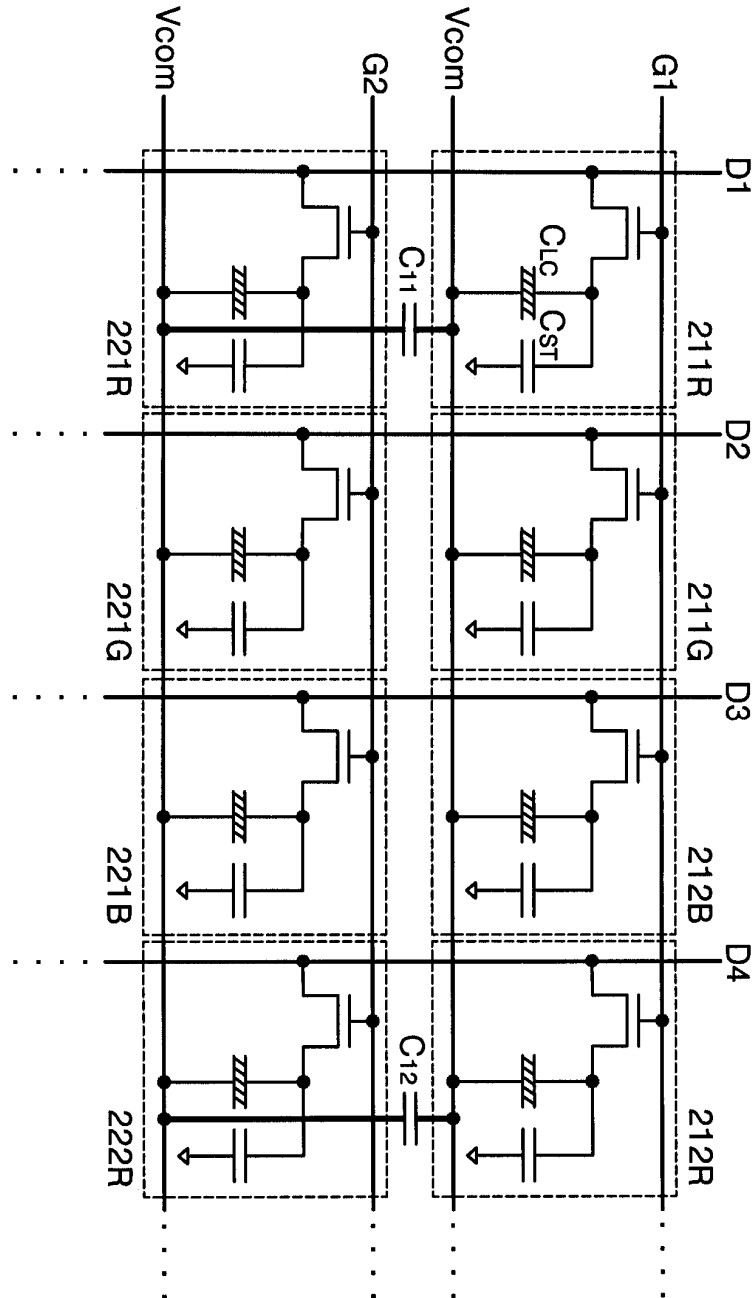
도면7a



도면7b



도면8



专利名称(译)	液晶显示器		
公开(公告)号	KR1020040026959A	公开(公告)日	2004-04-01
申请号	KR1020020058619	申请日	2002-09-27
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	PARK JONGHO		
发明人	PARK,JONGHO		
IPC分类号	G02F1/136		
CPC分类号	G02F1/1343 G02F1/136 G02F2001/13629 G02F2201/121 G02F2201/123 H01L29/786		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR100867750B1		
外部链接	Espacenet		

摘要(译)

公开了一种用于消除白线条纹缺陷的液晶显示装置。薄膜晶体管，形成在由栅极线和数据线限定的多个像素区域中的每一个中，并连接到栅极线和数据线，形成在所形成的绝缘基板上的公共电压线承载公共电压，并且在绝缘基板，薄膜晶体管和公共电压线上形成有机绝缘膜，形成接触孔以暴露公共电压线，并且通过接触孔电连接到相邻的像素电极。因此，通过电连接彼此相邻的像素的公共电压线，可以将相同的公共电压施加到栅极线，从而减小白度的水平线缺陷。3 指数方面 液晶，水平线，白色特性，公共电压，接触孔，像素电极，电容器

