(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G02F 1/133

(11) 공개번호 특2003-0031278
(43) 공개일자 2003년04월21일

(21) 출원번호 10-2001-0063200
(22) 출원일자 2001년10월13일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 추교섭
경상북도구미시황상동금봉타운501동201호
장정옥
경상북도경산시남천면삼성2리396번지

(74) 대리인 김용인
심창섭

심사청구 : 있음

(54) 액정표시장치

요약

본 발명은 화소 전극의 좌우측의 기생 커패시턴스를 동일하게 하여 도트 인버젼 구동 시 발생하는 세로선 불량을 감소할 수 있는 액정표시장치의 구조 및 제조 방법에 관한 것으로, 일정한 간격을 갖고 일 방향으로 배열되는 복수개의 게이트 전극을 구비한 복수개의 게이트 라인들과, 상기 게이트 라인과 수직한 방향의 각 화소 영역의 가운데 부분에 형성되고 복수개의 소오스 전극을 구비한 복수개의 데이터 라인들과, 하나의 화소가 2개로 분리되어 상기 각 데이터 라인 양측에 형성되는 복수개의 화소 전극들과, 상기 각 데이터 라인과 게이트 라인이 교차하는 부분에 형성되어 상기 게이트 라인의 신호에 따라 상기 데이터 라인의 신호를 각 화소 전극에 인가하는 복수개의 박막트랜지스터들을 포함하여 구성된 것이다.

대표도

도 4

색인어
액정표시장치

명세서

도면의 간단한 설명

도 1은 종래 액정표시장치의 레이 아웃도

도 2는 도 1의 I-I' 선상의 종래 액정표시장치의 구조 단면도

도 3은 종래의 인접하는 2개의 화소 전극과 각 화소 전극 양측의 데이터 라인들 간의 기생 커패시턴스 및 화소 전극과 데이터 라인의 전압을 나타낸 설명도

도 4는 본 발명 제 1 실시예에 따른 액정표시장치의 레이 아웃도

도 5는 도 4의 II-II' 선상의 본 발명 제 1 실시예에 따른 액정표시장치의 구조 단면도

도 6는 본 발명 제 2 실시예에 따른 액정표시장치의 레이 아웃도

도 7는 도 6의 III-III' 선상의 본 발명 제 2 실시예에 따른 액정표시장치의 구조 단면도

도 8는 본 발명 제 3 실시예에 따른 액정표시장치의 레이 아웃도

도 9는 도 8의 IV-IV' 선상의 본 발명 제 3 실시예에 따른 액정표시장치의 구조 단면도

도 10는 본 발명 제 4 실시예에 따른 액정표시장치의 레이 아웃도

도 11는 도 10의 V-V' 선상의 본 발명 제 4 실시예에 따른 액정표시장치의 구조 단면도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치(liquid crystal display device)의 구조 및 제조방법에 관한 것으로, 특히 화소 전극의 좌/우측의 기생 커패시턴스를 동일하게 하여 도트 인버젼 구동 시 발생하는 세로선 불량을 감소할 수 있는 액정표시장치의 구조 및 제조 방법에 관한 것이다.

일반적으로 액정표시장치는, 유리 기판에 일정 간격을 갖고 일 방향으로 배열되는 복수개의 게이트 라인들과, 매트릭스 형태의 화소 영역을 정의하기 위하여 상기 각 게이트 라인에 수직한 방향으로 일정한 간격을 갖고 배열되는 데이터 라인들과, 상기 각 화소 영역에 형성되는 복수개의 화소 전극들과, 상기 각 게이트 라인과 데이터 라인이 교차되는 부분의 각 화소 영역에 형성되어 상기 게이트 라인의 신호에 따라 상기 데이터 라인의 데이터 신호를 해당 화소 전극에 인가하는 복수개의 박막트랜지스터 들로 구성된다.

이와 같이, 액정표시장치는 각 픽셀이 매트릭스 형태로 배열되어 하나의 게이트 라인에 신호가 인가되면 그 라인에 해당되는 화소에 데이터 신호가 인가되도록 되어 있다.

그런데, 상기 상하 기판 사이에 주입된 액정은 DC 전압을 오랫동안 인가하면 특성 열화가 일어나며, 이를 방지하기 위하여 인가 전압의 극성을 주기적으로 바꾸어 구동하며 이를 극성 반전 구동 방법이라 한다.

이러한 극성 반전 구동 방법에는 프레임 반전(Frame Inversion), 라인 반전(Line inversion), 열 반전(Column Inversion) 및 도트 반전(Dot Inversion) 구동 방법 등이 있다.

상기 공통 전극 전압에 대한 액정에 인가되는 데이터 전압의 극성이 프레임 단위로 동일하도록 인가하는 방식이다. 즉 짝수 프레임(Even Frame)에 정(+) 극성의 데이터 전압이 인가되었다면, 홀수 프레임(Odd Frame)에는 부(-) 극성의 데이터 전압이 인가된다. 그러나, 이와 같은 프레임 반전 구동 방법은 스위칭 시 발생하는 소모 전류가 적다는 장점은 가지고 있으나, 정 극성과 부 극성의 투과율 비대칭 현상에 의한 플리커(Flicker) 현상에 민감하고 데이터 간 간섭에 의한 크로스토크(Crosstalk)에 매우 취약한 단점을 갖고 있다.

또한, 상기 라인 반전 구동 방법은 일반적으로 저 해상도(VGA, SVGA)에 널리 사용되는 극성 반전 구동 방법으로, 화소의 극성을 수평 라인 단위로 극성이 달라지도록 데이터 전압을 인가한다. 즉, 홀수 번째 라인에 정(+) 극성이 인가되고 짝수 번째 라인에는 부(-) 극성의 데이터 전압이 인가되었다면, 다음 프레임에서는 홀수 번째 라인에 부(-) 극성의 데이터 전압이 인가되고 짝수 번째 라인에는 정(+) 극성의 데이터 전압이 인가된다. 이와 같은 라인 반전 구동 방법은 인접 라인간에 반대 극성의 데이터 전압이 인가되므로 라인 간 휘도 편차가 공간 평균화법(spatial averaging)에 의해 프레임 반전 대비 플리커 현상이 작아지고, 수직 방향으로는 반대 극성의 전압이 분포하여 데이터간에 발생하는 커플링(Coupling) 현상이 상쇄되어 프레임 반전 대비 수직 크로스토크(Vertical Crosstalk)가 작다. 그러나, 수평 방향으로는 동일 극성의 전압이 분포되어 수평 크로스토크(Horizontal Crosstalk)가 발생하고, 프레임 반전 대비 스위칭 반복 횟수가 증가하므로 소비 전류가 증가하는 단점이 있다.

상기 열 반전 구동 방법은 인가되는 데이터 전압의 극성이 수직 방향으로 동일하고 수평 방향으로는 반대 극성으로 인가하는 구동 방법이다. 이는 라인 반전 구동 방법과 같이 공간 평균화법에 의해 플리커 현상이 프레임 반전 대비 작고, 프레임 반전 대비 수평 크로스토크가 작다. 그러나, 공통 전극 전압 대비 수직 방향으로 인접 라인 간 반대 극성의 데이터 전압을 인가해야 하므로 고 전압용 칼럼 드라이브 IC(Column drive IC)를 사용해야 한다.

마지막으로 도트 반전(Dot inversion) 구동 방법은 현재 가장 우수한 화질을 구현하는 극성 반전 구동 방법으로 고해상도(XGA, SXGA, UXGA)에 적용되며, 상하/좌우 모든 방향에서 인접 화소 간 데이터 전압의 극성이 반대이다. 따라서, 공간 평균화법에 의해 플리커 현상을 최소화시킬 수 있으나, 고 전압용 컬럼 드라이브 IC를 사용해야 하고 소비 전류가 크다는 단점을 갖고 있다.

이와 같은 구성은 갖는 액정표시장치에서 각 화소 전극과 인접한 데이터 라인 간의 기생 커패시턴스(Cdp)가 화소 전압 변화에 영향을 미치고 있으며 이는 구동 방법에 따라 서로 다른 영향을 준다.

이와 같은 종래의 액정표시장치의 구성을 설명하면 다음과 같다.

도 1은 종래 액정표시장치의 레이 아웃도이고, 도 2는 도 1의 I-I' 선상의 단면 구조도이다.

도 1 및 도 2에 도시한 바와 같이, 유리 기판(10)위에 게이트 전극(1a)을 포함한 게이트 라인(1)이 일정한 간격을 갖고 일 방향으로 배열된다. 그리고 상기 게이트 라인(1)을 포함한 기판(10) 전면에 게이트 절연막(4)이 형성되고, 상기 게이트 전극(1a) 상측의 게이트 절연막(4)위에 섬 모양으로 박막트랜지스터의 활성층(반도체층)(3)이 형성된다. 그리고 상기 게이트 라인(1)과 수직한 방향으로 상기 게이트 절연막(4)위에 소오스 전극(2a)을 구비한 데이터 라인(2)이 형성된다. 여기서, 상기 소오스 전극(2a)은 상기 활성층(3)에 오버랩되고 상기 소오스 전극(2a) 반대측의 활성층(3)에 드레인 전극(2b)이 형성된다. 그리고 상기 드레인 전극(2b)에 콘택 홀을 갖는 보호막(5)이 상기 기판 전면에 형성되고, 상기 콘택 홀을 통해 상기 드레인 전극(2b)에 연결되도록 화소 영역에 화소 전극(6)이 형성된다.

그러나, 이와 같이 구성된 종래의 액정표시장치에 있어서, 상기 화소 전극(6)과 화소 전극(6) 양측 데이터 라인 간에는 기생 커패시턴스(Cdp)가 생성되고, 이러한 기생 커패시턴스(Cdp)는 DC 구동 시 무한대 저항으로 동작하나, 교류 구동에서는 $1/(2\pi fc)$ 만큼의 임피던스로 작용하여 다음의 [수학식1]과 같이 전류의 손실(loss)을 발생시킨다.

[수학식1]

$$\Delta Q = \Delta (Vd1 - V1) * Cdp * f$$

여기서, Vd1은 데이터 라인에 인가되는 전압이고 V1은 화소 전극에 인가된 전압이며, f는 데이터 클럭 주파수이다.

상기 [수학식1] 에서와 같이 데이터 라인과 화소 전극 간의 기생 커패시턴스에 의한 차징(charging) 변동은 상기 기생 커패시턴스 값과 주파수에 1차 비례하여 증가하게 된다.

하지만, 박막트랜지스터가 형성된 쪽의 데이터 라인과 화소 전극 사이의 기생 커패시턴스와 박막트랜지스터가 형성되지 않은 쪽의 데이터 라인과 화소 전극 사이의 기생 커패시턴스는 서로 다르다. 즉, 박막트랜지스터가 형성된 쪽의 데이터 라인과 화소 전극이 오버랩되는 길이와 박막트랜지스터가 형성되지 않는 쪽의 데이터 라인과 화소 전극이 오버랩되는 길이가 다르기 때문이다. 이와 같이 하나의 화소 전극과 양측의 데이터 라인들 간의 다른 기생 커패시턴스 값이 구동 방식에 미치는 영향을 분석하면 다음과 같다.

도 3은 인접하는 2개의 화소 전극과 각 화소 전극 양측의 데이터 라인들을 도시하고, 화소 전극과 데이터 라인 간의 기생 커패시턴스 및 화소 전극과 데이터 라인의 전압을 나타낸 것이다. Vd1, Vd2, Vd3는 각 데이터 라인의 전압을 나타내고 V1, V2는 각 화소 전극(P1, P2)에 인가된 전압이며, Cdp1_L, Cdp1_R, Cdp2_L, Cdp2_R는 각 화소와 데이터 라인 간의 기생 커패시턴스 값들을 나타낸 것이다.

먼저, 상기 도 3에서, 기생 커패시턴스에 의한 각 화소(P1, P2)의 전하 변동량을 계산하면 다음의 식과 같다.

[수학식 2]

$$\Delta Q\ (P1) = Cdp1\_L * (Vd1 - V1) + Cdp1\_R * (Vd2 - V1)$$

$$\Delta Q\ (P2) = Cdp2\_L * (Vd2 - V2) + Cdp2\_R * (Vd3 - V2)$$

라인 인버젼

상기 [수학식 2]에서 라인 인버젼(Line inversion) 방법으로 액정표시장치가 구동될 경우에는 V1 및 V2가 동일 극성으로 충전되어 있으며, 데이터 신호(date signal)(Vd1, Vd2, Vd3)도 모두 동일 극성의 신호가 인가된다. 즉, 중간 계조(Gray 31) 화면을 가정하면, V1 = V2 = V, Vd1 = Vd2 = Vd3 = Vd가 된다.

따라서, 박막트랜지스터가 형성된 쪽의 데이터 라인과 화소 전극 간의 기생 커패시턴스와 박막트랜지스터가 형성되지 않은 쪽의 데이터 라인과 화소 전극 간의 기생 커패시턴스의 편차에 의한 이웃 화소의 전하 변동량을 다음과 같다.

[수학식 3]

$$\Delta Q\ (P1) = Cdp1\_L * (Vd - V) + Cdp1\_R * (Vd - V)$$

$$\Delta Q\ (P2) = Cdp2\_L * (Vd - V) + Cdp2\_R * (Vd - V)$$

$$|\Delta Q\ (P1) - \Delta Q\ (P2)|$$

$$= (Cdp1\_L - Cdp2\_L) * (Vd - V) + (Cdp1\_R - Cdp2\_R) * (Vd - V)$$

$$= \{(Cdp1\_L + Cdp1\_R) - (Cdp2\_L + Cdp2\_R)\} * (Vd - V)$$

도트 인버젼

도트 인버젼(Dot inversion) 방법으로 액정표시장치가 구동될 경우에는 V1과 V2는 반대 극성의 전압으로 충전되어 있으며, 데이터 신호(Vd1, Vd2, Vd3)도 교대로 반대 극성의 신호가 인가된다. 즉, 중간계조(Gray 31) 화면을 가정하면,

V1 : (+) 프레임, V2 : (-) 프레임이고 ｜V1｜ = ｜V2｜ = V이며,

Vd1 : (+), Vd2 : (-), Vd3 : (+), ｜Vd1｜ = ｜Vd2｜ = ｜Vd3｜= Vd가 된다.

따라서, 박막트랜지스터가 형성된 쪽의 데이터 라인과 화소 전극 간의 기생 커패시턴스와 박막트랜지스터가 형성되지 않은 쪽의 데이터 라인과 화소 전극 간의 기생 커패시턴스의 편차에 의한 이웃 화소의 전하 변동량을 다음과 같다.

[수학식 4]

$$\Delta Q(P1) = Cdp1\_L * (Vd - V) - Cdp1\_R * (V - Vd)$$

$$\Delta Q(P2) = Cdp2\_L * (Vd - V) - Cdp2\_R * (V - Vd)$$

$$|\Delta Q(P1) - \Delta Q(P2)|$$

$$= (Cdp1\_L - Cdp2\_L) * (Vd - V) + (Cdp1\_R - Cdp2\_R) * (V - Vd)$$

$$= \{(Cdp1\_L + Cdp1\_R) + (Cdp2\_L - Cdp2\_R)\} * (Vd - V)$$

상기에서 대비해 본 바와 같이, 각 화소의 전하 변동량은, 라인 인버젼 구동 방식일 경우, 좌우 기생 커패시턴스 합의 차이({(Cdp1_L + Cdp1_R) - (Cdp2_L + Cdp2_R)} * (Vd - V)) 만큼의 영향을 받고, 도트 인버젼 구동 방식일 경우, 좌우 기생 커패시턴스 차이의 합({(Cdp1_L + Cdp1_R) + (Cdp2_L - Cdp2_R)} * (Vd - V)) 만큼 영향을 받는다. 따라서, 화소의 전하 변동량은 라인 인버젼 구동 방식일 경우에는 좌우측 기생 커패시턴스의 차이에 큰 영향을 받지 않지만, 도트 인버젼 구동 방식일 경우에는 좌/우측 기생 커패시턴스의 차이에 큰 영향을 받으므로 세로 선에 불량이 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명은 이와 같은 문제점을 해결하기 위하여 안출한 것으로, 좌우측 기생 커패시턴스의 차이를 줄여 픽셀 전하 변동량을 최소화할 수 있는 액정표시장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 액정표시장치는, 일정한 간격을 갖고 일 방향으로 배열되는 복수개의 게이트 전극을 구비한 복수개의 게이트 라인들과, 상기 게이트 라인과 수직한 방향의 각 화소 영역의 가운데 부분에 형성되고 복수개의 소오스 전극을 구비한 복수개의 데이터 라인들과, 하나의 화소가 2개로 분리되어 상기 각 데이터 라인 양측에 형성되는 복수개의 화소 전극들과, 상기 각 데이터 라인과 게이트 라인이 교차하는 부분에 형성되어 상기 게이트 라인의 신호에 따라 상기 데이터 라인의 신호를 각 화소 전극에 인가하는 복수개의 박막트랜지스터들을 포함하여 구성됨에 그 특징이 있다.

여기서, 상기 박막트랜지스터는 상기 각 데이터 라인 양측에 형성되어 각 화소 영역에 2개씩 형성됨이 바람직하다.

상기 게이트 전극은 상기 각 데이터 라인 양측에 형성되어 각 화소 영역에 2개씩 형성됨이 바람직하다.

상기 게이트 전극은 상기 각 데이터 라인과 게이트 라인이 교차되는 부분에 상기 데이터 라인의 폭보다 더 큰 폭으로 형성되어도 무방하다.

상기 각 화소 전극은 이웃하는 게이트 라인에 오버랩 됨이 바람직하다.

상기 각 데이터 라인 하측 및 상기 박막트랜지스터의 활성 영역에 반도체층이 더 형성됨이 바람직하다.

이와 같은 특징을 갖는 본 발명에 따른 액정표시장치를 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

본 발명에 따른 액정표시장치는 하나의 화소 전극이 2개로 분할되고(6a, 6b)분할된 부분에 데이터 라인(2)이 배열되며, 데이터 라인(2)과 게이트 라인(1)이 교차하는 부분에서 데이터 라인 양측에 각각 박막트랜지스터가 형성되어 한 픽셀(2개의 분할된 화소 전극)이 2개의 박막트랜지스터에 의해 구동된다.

이때, 상기 화소 전극(6a, 6b)은 2개로 분할되어 있기 때문에 박막트랜지스터의 게이트 전극(1a)의 폭(width)(채널폭)은 종래(화소 전극이 2갤 분할되지 않고 하나의 박막트랜지스터에 의해 화소 전극이 구동될 때)보다 약 1/2로 감소된 폭으로 구성되어도 구동에는 문제가 되지 않는다.

따라서, 화소 전극과 데이터 라인 간의 기생 커패시턴스(Cpd)는 가운데 부분에서만 존재하게 되고, 더불어 한 픽셀 내의 전체 화소 전극과 데이터 라인 간의 기생 커패시턴스(Cpd) 값도 감소하게된다. 또한, 왼쪽 박막트랜지스터에서의 게이트 전극과 소오스 전극 간의 기생 커패시턴스(Cgs)와 게이트 전극과 드레인 전극 간의 기생 커패시턴스(Cgd)의 차이(Cgs/Cgd)가 오른쪽 박막트랜지스터에서의 게이트 전극과 소오스 전극 간의 기생 커패시턴스(Cgs)와 게이트 전극과 드레인 전극 간의 기생 커패시턴스(Cgd)의 차이(Cgs/Cgd)에 의해 보상된다.

도 4는 본 발명 제 1 실시예에 따른 액정표시장치의 레이 아웃도이고, 도 5는 도 4의 Ⅱ-Ⅱ' 선상의 본 발명 제 1 실시예에 따른 액정표시장치의 구조 단면도이다.

본 발명 제 1 실시예의 액정표시장치를 보다 구체적으로 설명하면, 도 4 및 도 5에 도시한 바와 같이, 유리 기판(10)위에 게이트 전극(1a)을 포함한 게이트 라인(1)이 일정한 간격을 갖고 일 방향으로 배열된다. 이 때 게이트 전극(1a)은 한 픽셀 내에 2개 형성된다.

그리고 상기 게이트 라인(1)을 포함한 기판(10) 전면에 게이트 절연막(4)이 형성되고, 상기 각 게이트 전극(1a) 상측의 게이트 절연막(4)위에 섬 모양으로 박막트랜지스터의 활성층(반도체층)(3)이 형성된다. 그리고 화소 영역의 가운데 부분에 해당되고 상기 게이트 라인(1)과 수직한 방향으로 상기 게이트 절연막(4)위에 소오스 전극(2a)을 구비한 데이터 라인(2)이 형성된다. 여기서, 상기 소오스 전극(2a)은 상기 게이트 전극(1a)쪽으로 데이터 라인(2) 양측에 형성되며 상기 활성층(3) 및 게이트 전극(1a)에 오버랩되고, 상기 소오스 전극(2a) 반대측의 활성층(3)에 드레인 전극(2b)이 각각 형성된다. 그리고 상기 각 드레인 전극(2b)에 콘택 홀을 갖는 보호막(5)이 상기 기판 전면에 형성되고, 상기 콘택 홀을 통해 상기 각 드레인 전극(2b)에 연결되도록 상기 데이터 라인(2) 양측의 화소 영역에 각각 화소 전극(6a, 6b)이 형성된다.

여기서, 상기 각 화소 전극(6a, 6b)은 스토리지 커패시턴스를 형성하기 위하여 이웃하는 게이트 라인(1)에 각각 오버랩된다.

한편, 도 6은 본 발명 제 2 실시예에 따른 액정표시장치의 레이 아웃도이고, 도 7은 도 6의 Ⅲ-Ⅲ' 선상의 본 발명 제 2 실시예에 따른 액정표시장치의 구조 단면도이다.

본 발명 제 2 실시예의 액정표시장치도, 본 발명 제 1 실시예와 같이, 하나의 화소 전극이 2개로 분할되고(6a, 6b)분할된 부분에 데이터 라인(2)이 배열되며, 데이터 라인(2)과 게이트 라인(1)이 교차하는 부분에서 데이터 라인 양측에 각각 박막트랜지스터가 형성되어 한 픽셀(2개의 분할된 화소 전극)이 2개의 박막트랜지스터에 의해 구동된다.

그러나, 박막트랜지스터의 구성이 상이하다. 즉 본 발명 제 2 실시예는 게이트 전극이 데이터 라인 양측에 각각 형성되지 않고, 일체형으로 형성된다.

본 발명 제 2 실시예의 액정표시장치를 보다 구체적으로 설명하면, 도 6 및 도 7에 도시한 바와 같이, 유리 기판(10)위에 게이트 전극(1a)을 포함한 게이트 라인(1)이 일정한 간격을 갖고 일 방향으로 배열된다. 이 때 게이트 전극(1a)은 한 픽셀의 중앙부분(데이타 라인과 교차되는 부분)에 하나 형성된다.

그리고 상기 게이트 라인(1)을 포함한 기판(10) 전면에 게이트 절연막(4)이 형성되고, 상기 각 게이트 전극(1a) 상측의 게이트 절연막(4)위에 섬 모양으로 박막트랜지스터의 활성층(반도체층)(3)이 형성된다. 그리고 화소 영역의 가운데 부분에 해당되고 상기 게이트 라인(1)과 수직한 방향으로 상기 게이트 절연막(4)위에 소오스 전극(2a)을 구비한 데이터 라인(2)이 형성된다. 여기서, 상기 소오스 전극(2a)은 게이트 전극(1a)위에서 데이터 라인(2) 양측에 돌출 형성되며 상기 활성층(3) 및 게이트 전극(1a)에 오버랩되고, 상기 소오스 전극(2a) 반대측의 활성층(3)에 드레인 전극(2b)이 각각 형성된다. 그리고 상기 각 드레인 전극(2b)에 콘택 홀을 갖는 보호막(5)이 상기 기판 전면에 형성되고, 상기 콘택 홀을 통해 상기 각 드레인 전극(2b)에 연결되도록 상기 데이터 라인(2) 양측의 화소 영역에 각각 화소 전극(6a, 6b)이 형성된다.

여기서, 상기 각 화소 전극(6a, 6b)은 스토리지 커패시턴스를 형성하기 위하여 이웃하는 게이트 라인(1)에 각각 오버랩된다.

또한, 상기에서 설명한 본 발명 제 1, 제 2 실시예의 액정표시장치에서, 박막트랜지스터의 활성층으로 이용되는 반도체층을 데이터 라인 하측에 데이터 라인 보다 적은 폭으로 형성할 수 있다.

도 8은 본 발명 제 3 실시예에 따른 액정표시장치의 레이 아웃도이고, 도 9은 도 8의 Ⅳ-Ⅳ' 선상의 본 발명 제 3 실시예에 따른 액정표시장치의 구조 단면도이다.

도 10은 본 발명 제 4 실시예에 따른 액정표시장치의 레이 아웃도이고, 도 11은 도 10의 Ⅴ-Ⅴ' 선상의 본 발명 제 4 실시예에 따른 액정표시장치의 구조 단면도이다.

즉, 본 발명 제 3 실시예의 액정표시장치는, 본 발명 제 1 실시예의 액정표시장치에서, 도 8 및 도 9와 같이, 유리 기판(10)위에 게이트 전극(1a)을 포함한 게이트 라인(1)이 일정한 간격을 갖고 일 방향으로 배열된다. 이 때 게이트 전극(1a)은 한 픽셀 내에 2개 형성된다.

그리고 상기 게이트 라인(1)을 포함한 기판(10) 전면에 게이트 절연막(4)이 형성되고, 상기 각 게이트 전극(1a) 상측의 게이트 절연막(4) 및 데이터 라인이 형성될 부분(화소 영역의 가운데 부분에 해당되고 상기 게이트 라인과 수직한 방향)의 게이트 절연막(4)위에 반도체층(3a)이 형성된다. 이 때 상기 반도체층(3a)은 데이터 라인보다 적은 폭으로 형성된다.

그리고, 화소 영역의 가운데 부분에 해당되고 상기 게이트 라인(1)과 수직한 방향으로 상기 반도체층(3a)을 커버하도록 상기 게이트 절연막(4)위에 소오스 전극(2a)을 구비한 데이터 라인(2)이 형성된다. 여기서, 상기 소오스 전극(2a)은 상기 게이트 전극(1a)쪽으로 데이터 라인(2) 양측에 형성되며 상기 게이트 전극(1a)위에 형성된 반도체층(3a)의 일부분이 노출되도록 형성된다.

그리고 상기 소오스 전극(2a) 반대측의 반도체층 (3a)에 드레인 전극(2b)이 각각 형성되고, 상기 각 드레인 전극(2b)에 콘택 홀을 갖는 보호막(5)이 상기 기판 전면에 형성되며, 상기 콘택 홀을 통해 상기 각 드레인 전극(2b)에 연결되도록 상기 데이터 라인(2) 양측의 화소 영역에 각각 화소 전극(6a, 6b)이 형성된다.

한편, 본 발명 제 4 실시예의 액정표시장치는, 본 발명 제 2 실시예의 액정표시장치에서, 도 10 및 도 11과 같이, 유리 기판(10)위에 게이트 전극(1a)을 포함한 게이트 라인(1)이 일정한 간격을 갖고 일 방향으로 배열된다. 이 때 게이트 전극(1a)은 한 픽셀의 중앙부분(데이타 라인과 교차되는 부분)에 하나 형성된다.

그리고 상기 게이트 라인(1)을 포함한 기판(10) 전면에 게이트 절연막(4)이 형성되고, 상기 각 게이트 전극(1a) 상측의 게이트 절연막(4) 및 데이터 라인이 형성될 부분(화소 영역의 가운데 부분에 해당되고 상기 게이트 라인과 수직한 방향)의 게이트 절연막(4)위에 반도체층(3a)이 형성된다. 이 때 상기 반도체층(3a)은 데이터 라인보다 적은 폭으로 형성된다.

그리고, 화소 영역의 가운데 부분에 해당되고 상기 게이트 라인(1)과 수직한 방향으로 상기 반도체층(3a)을 커버하도록 상기 게이트 절연막(4)위에 소오스 전극(2a)을 구비한 데이터 라인(2)이 형성된다. 여기서, 상기 소오스 전극(2a)은 상기 게이트 전극(1a)위에서 데이터 라인(2) 양측에 형성되며 상기 게이트 전극(1a)위에 형성된 반도체층(3a)의 일부분이 노출되도록 형성된다.

그리고 상기 소오스 전극(2a) 반대측의 반도체층 (3a)에 드레인 전극(2b)이 각각 형성되고, 상기 각 드레인 전극(2b)에 콘택 홀을 갖는 보호막(5)이 상기 기판 전면에 형성되며, 상기 콘택 홀을 통해 상기 각 드레인 전극(2b)에 연결되도록 상기 데이터 라인(2) 양측의 화소 영역에 각각 화소 전극(6a, 6b)이 형성된다.

발명의 효과

이상에서 설명한 바와 같은 본 발명의 액정표시장치에 있어서는 다음과 같은 효과가 있다.

첫째, 하나의 픽셀을 2개로 분할하고 분할된 부분에 데이터 라인이 형성되므로 화소 전극과 데이터 라인 간의 기생 커패시턴스 값이 픽셀의 좌우에서 동일하므로 도트 인버젼 구동 시 발생하는 세로선 불량을 감소할 수 있다.

둘째, 하나의 픽셀을 2개로 분할하고 분할된 부분에 데이터 라인이 형성되므로 화소 전극과 데이터 라인 간의 기생 커패시턴스 값이 픽셀의 가운데 부분에서만 존재하고 그 값이 감소하게 된다.

셋째, 하나의 픽셀이 2개로 분할되어 분할된 부분에 데이터 라인이 형성되고 픽셀의 가운데 부분에 박막트랜지스터가 형성되므로 한쪽 박막트랜지스터에서의 게이트 전극과 소오스 전극 간의 기생 커패시턴스와 게이트 전극과 드레인 전극 간의 기생 커패시턴스 차이가 다른쪽의 박막트랜지스터에서의 게이트 전극과 소오스 전극 간의 기생 커패시턴스와 게이트 전극과 드레인 전극 간의 기생 커패시턴스 차이에 의해 보상된다.

(57) 청구의 범위

청구항 1.

일정한 간격을 갖고 일 방향으로 배열되는 복수개의 게이트 전극을 구비한 복수개의 게이트 라인들과,

상기 게이트 라인과 수직한 방향의 각 화소 영역의 가운데 부분에 형성되고 복수개의 소오스 전극을 구비한 복수개의 데이터 라인들과,

하나의 화소가 2개로 분리되어 상기 각 데이터 라인 양측에 형성되는 복수개의 화소 전극들과,

상기 각 데이터 라인과 게이트 라인이 교차하는 부분에 형성되어 상기 게이트 라인의 신호에 따라 상기 데이터 라인의 신호를 각 화소 전극에 인가하는 복수개의 박막트랜지스터들을 포함하여 구성됨을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 박막트랜지스터는 상기 각 데이터 라인 양측에 형성되어 각 화소 영역에 2개씩 형성됨을 특징으로 하는 액정표시장치.

청구항 3.

제 1 항에 있어서,

상기 게이트 전극은 상기 각 데이터 라인 양측에 형성되어 각 화소 영역에 2개씩 형성됨을 특징으로 하는 액정표시장치.

청구항 4.

제 1 항에 있어서,

상기 게이트 전극은 상기 각 데이터 라인과 게이트 라인이 교차되는 부분에 상기 데이터 라인의 폭보다 더 큰 폭으로 형성됨을 특징으로 하는 액정표시장치.

청구항 5.

제 1 항에 있어서,

상기 각 화소 전극은 이웃하는 게이트 라인에 오버랩 됨을 특징으로 하는 액정표시장치.

청구항 6.

제 1 항에 있어서,

상기 각 데이터 라인 하측 및 상기 박막트랜지스터의 활성 영역에 반도체층이 더 형성됨을 특징으로 하는 액정표시장치.

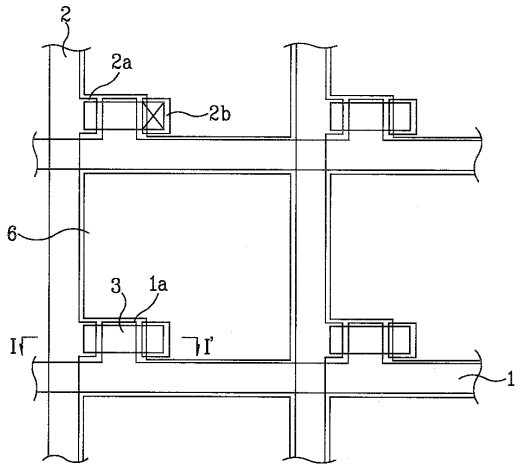
청구항 7.

제 1 항에 있어서,

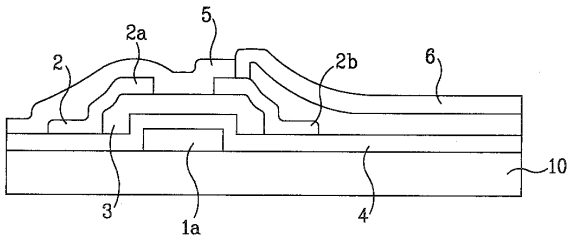
상기 각 게이트 전극의 폭은 화소 전극이 2개로 분할되지 않을 때보다 적은 폭으로 형성됨을 특징으로 하는 액정표시장치.

도면

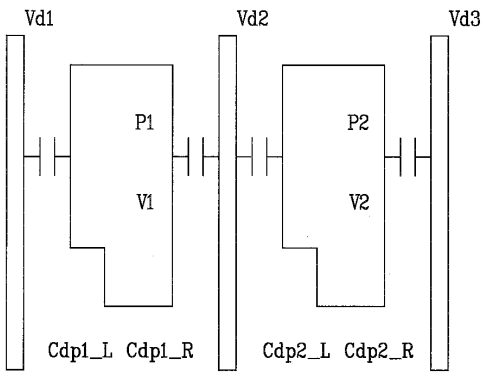
도면 1



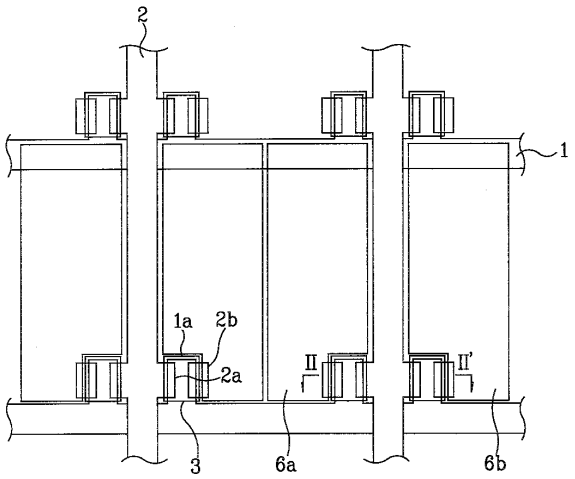
도면 2



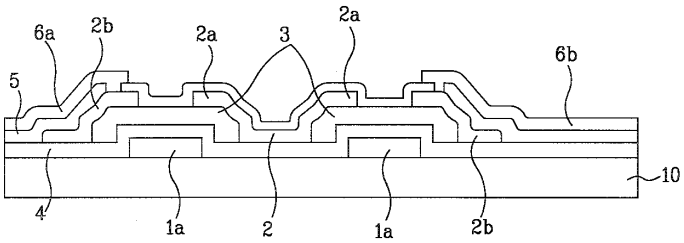
도면 3



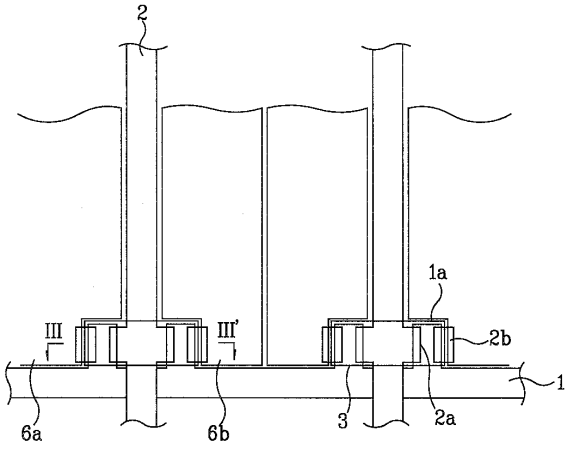
도면 4


2
1
1a
2b
2a
II
II'
3
6a
6b

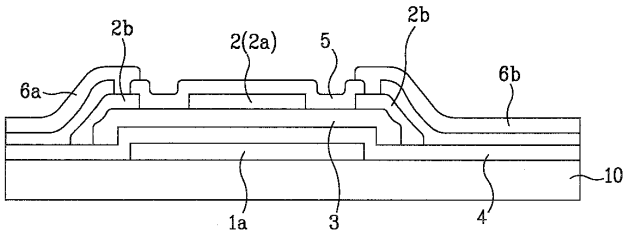
도면 5


6a
2b
2a
3
2a
6b
5
10
4
1a
2
1a
2b

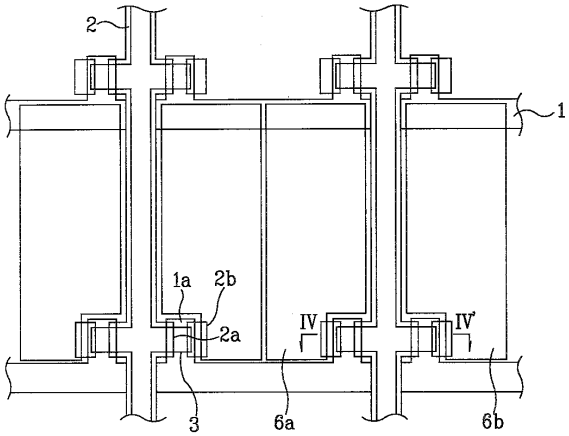
도면 6


2
1a
III
III'
2b
1
6a
6b
3
2a

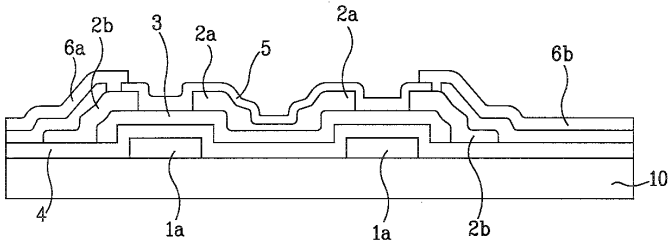
도면 7


2b
2(2a)
5
2b
6a
6b
10
1a
3
4

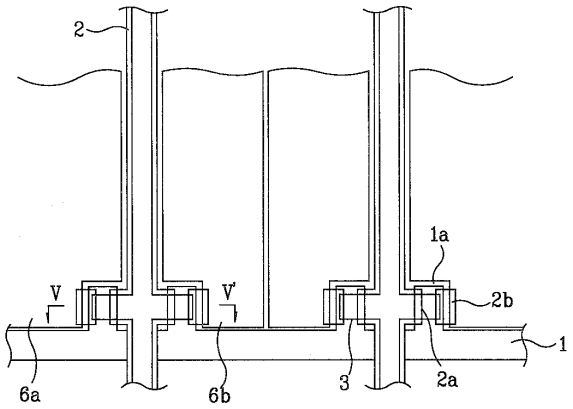
도면 8


2
1
1a
2b
2a
IV
IV'
3
6a
6b

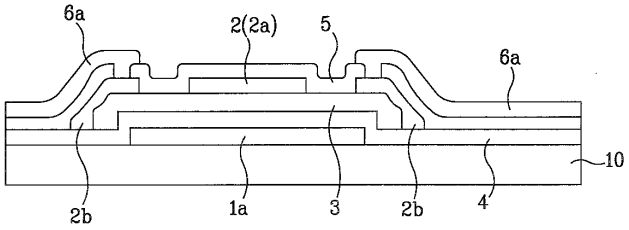
도면 9


2b
3
2a
2a
6a
5
6b
10
4
1a
1a
2b

도면 10



도면 11



专利名称(译)	液晶显示器		
公开(公告)号	KR1020030031278A	公开(公告)日	2003-04-21
申请号	KR1020010063200	申请日	2001-10-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOO KYOSEOP 추교섭 CHANG CHUNGOK 장정옥		
发明人	추교섭 장정옥		
IPC分类号	G02F1/133		
其他公开文献	KR100447225B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置的结构和制造方法技术领域本发明涉及一种液晶显示装置的结构和制造方法，该液晶显示装置能够通过使像素电极的左侧和右侧的寄生电容相同来减小在点反转时产生的垂直线缺陷，多条数据线，每条数据线具有多个源电极，并且在垂直于栅极线的方向上形成在每个像素区域的中心部分中，形成在每条数据线两侧的多个像素电极和形成在数据线和栅极线两侧的多个像素电极，以便根据栅极线的信号将数据线的信号施加到像素电极并包括多个薄膜晶体管。 4 指数方面 液晶显示器