(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G02F 1/136

(11) 공개번호 특2002-0055436
(43) 공개일자 2002년07월08일

(21) 출원번호 10-2001-0086808
(22) 출원일자 2001년12월28일

(30) 우선권주장 JP-P-2000-00399870 2000년12월28일 일본(JP)

(71) 출원인 닛본 덴기 가부시끼가이샤
가네꼬 히사시
일본국 도꾜도 미나도꾸 시바 5쪼메 7방 1고

(72) 발명자 다나까히로아끼
일본도꾜도미나도꾸시바5쪼메7방1고닛본덴기가부시끼가이샤내
후지따아끼라
일본도꾜도미나도꾸시바5쪼메7방1고닛본덴기가부시끼가이샤내
기무라시게루
일본도꾜도미나도꾸시바5쪼메7방1고닛본덴기가부시끼가이샤내
마에다아끼또시
일본도꾜도미나도꾸시바5쪼메7방1고닛본덴기가부시끼가이샤내
하야세다까스께
일본가고시마껭이즈미시오노하라마찌2080엔이씨가고시마리미티드내

(74) 대리인 장수길
구영창

심사청구 : 있음

(54) 액티브 매트릭스 어드레싱 액정 표시 장치

요약

도전성 라인이 형성되는 액티브 매트릭스 기판을 구비한 액티브 매트릭스 어드레싱 LCD 장치가 제공되며, 이 장치는 배선 구조를 복잡화하지 않고서 Al 힐록을 억제하며, 배선의 단자에서의 전기 접속 저항 증가를 저감하여 접속 신뢰성을 향상시킨다. 이 장치는, 투명 절연성 플레이트, 상기 플레이트 상에 배치된 박막 트랜지스터(TFT)들, 및 상기 플레이트 상에 배치된 화소 전극들을 구비한 액티브 매트릭스 기판을 포함한다. 상기 TFT들의 게이트 전극들 및 주사선들은 제1 다층 도전성 구조를 갖는다. 공통 전극들 및 공통선들은 상기 제1 다층 도전성 구조를 갖는다. 상기 TFT들의 소스 및 드레인 전극들 및 신호선들은 제2 다층 도전성 구조를 가질 수 있다. 상기 제1 및 제2 다층 도전성 구조들 각각은, TiN/Ti/Al 또는 TiN/Al/Ti의 3층 구조 또는 TiN/Ti/Al/Ti의 4층 구조를 포함한다. 상기 제1 및 제2 다층 도전성

구조의 TiN 막 각각은 25 원자% 이상의 질소 농도를 갖는다. Al 막은 Al 합금으로 대체될 수도 있다.

대표도

도 2b

색인어

투명 절연성 기판, 박막 트랜지스터, 화소 전극, 게이트 전극, 주사선, 알루미늄막

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 액티브 매트릭스 어드레싱 LCD 장치의 액티브 매트릭스 기판의 구성을 나타내는 개략도.

도 2a는 도 1의 제1 실시예에 따른 장치의 기판의 일 화소 영역과 그 주변부의 레이아웃을 나타내는 확대 평면도.

도 2b는 도 2a에서 IIB-IIB선을 따라 취한 개략적이고 부분적인 확대 단면도.

도 2c는 도 2a에서 IIC-IIC선을 따라 취한 개략적이고 부분적인 확대 단면도.

도 2d는 도 2a에서 IID-IID선을 따라 취한 개략적이고 부분적인 확대 단면도.

도 3a는 도 1의 제1 실시예에 따른 장치의 기판을 제조하는 방법의 공정 단계를 나타내는 개략적이고 부분적인 확대 평면도.

도 3b 내지 3d는 도 2a의 IIB-IIB, IIC-IIC, 및 IID-IID선을 따라 취한 각각 도 3a의 공정 단계를 나타내는 개략적이고 부분적인 확대 단면도.

도 4a는 도 3a의 단계에 연속하는 도 1의 제1 실시예에 따른 장치의 기판을 제조하는 방법의 공정 단계를 나타내는 개략적이고 부분적인 확대 평면도.

도 4b 내지 4d는 도 4a의 IIB-IIB, IIC-IIC, 및 IID-IID선을 따라 취한 각각 도 4a의 공정 단계를 나타내는 개략적이고 부분적인 확대 단면도.

도 5a는 도 4a의 단계에 연속하는 도 1의 제1 실시예에 따른 장치의 기판을 제조하는 방법의 공정 단계를 나타내는 개략적이고 부분적인 확대 평면도.

도 5b 내지 5d는 도 2a의 IIB-IIB, IIC-IIC, 및 IID-IID선을 따라 취한 각각 도 5a의 공정 단계를 나타내는 개략적이고 부분적인 확대 단면도.

도 6a는 도 5a의 단계에 연속하는 도 1의 제1 실시예에 따른 장치의 기판을 제조하는 방법의 공정 단계를 나타내는 개략적이고 부분적인 확대 평면도.

도 6b 내지 6c는 각각 도 6a의 공정 단계를 나타내는 도 2a의 IIB-IIB, IIC-IIC, 및 IID-IID선을 따라 취한 개략적이고 부분적인 확대 단면도.

도 7은 제1 및 제3 실시예와 종래 기술인 일본 특개평7-120789호에서 사용된 다층 도전성 구조를 갖는 Al 힐록의 개수의 상관을 나타내는 표.

도 8은 제1 및 제3 실시예와 종래 기술인 일본 특개평7-120789호에서 사용된 다층 도전성 구조의 전기적 저항 증가 TiN 막의 질소 농도의 상관을 나타내는 그래프.

도 9a는 본 발명과 종래 기술인 일본 특개평7-120789호에서 사용된 더미 주사선의 더미 단자에서 전기 접속 저항을 테스트하는 방법을 나타내는 개략적인 평면도.

도 9b는 도 9a의 IXB-IXB선을 따라 취한 테스트 전의 접속 상태를 나타내는 개략적이고 부분적인 확대 단면도.

도 9c는 도 9a의 IXB-IXB선을 따라 취한 테스트 후의 접속 상태를 나타내는 개략적이고 부분적인 확대 단면도.

도 10은 본 발명의 제2 실시예에 따른 액티브 매트릭스 어드레싱 LCD 장치의 액티브 매트릭스 기판의 구성을 나타내는 개략적인 평면도.

도 11a는 도 10의 제2 실시예에 따른 장치의 기판의 화소 영역과 접속부의 레이아웃을 나타내는 개략적이고 부분적인 확대 평면도.

도 11b는 도 11a의 XIB-XIB선을 따라 취한 개략적이고 부분적인 확대 단면도.

도 11c는 도 11a의 XIC-XIC선을 따라 취한 개략적이고 부분적인 확대 단면도.

도 11d는 도 11a의 XID-XID선을 따라 취한 개략적이고 부분적인 확대 단면도.

도 12a는 도 10의 제2 실시예에 따른 장치의 기판 제조 방법의 공정 단계를 나타내는 개략적이고 부분적인 확대 평면도.

도 12b 내지 12e는 각각 도 11a의 XIB-XIB, XIC-XIC, XID-XID선을 따라 취한 도 12a의 공정 단계를 나타내는 개략적이고 부분적인 확대 단면도.

도 13a는 도 12a의 단계에 연속하는 도 10의 제2 실시예에 따른 장치의 기판의 제조 방법의 공정 단계를 나타내는 개략적이고 부분적인 확대 평면도.

도 13b 내지 13e는 각각 도 11a의 XIB-XIB, XIC-XIC, XID-XID 및 XIE-XIE선을 따라 취한 도 13a의 공정 단계를 나타내는 개략적이고 부분적인 확대 단면도.

도 14a는 도 13a의 단계에 연속하는 제2 실시예에 따른 장치의 기판 제조 방법의 공정 단계를 나타내는 개략적이고 부분적인 확대 평면도.

도 14b 내지 14e는 각각 도 11a의 XIB-XIB, XIC-XIC, XID-XID, 및 XIE-XIE선을 따라 취한 도 14a의 공정 단계를 나타내는 개략적이고 부분적인 확대 단면도.

도 15a는 도 14a의 단계에 연속하는 도 10의 제2 실시예에 따른 장치의 기판 제조 방법의 공정 단계를 나타내는 개략적이고 부분적인 확대 평면도.

도 15b 내지 15e는 각각 XIB-XIB, XIC-XIC, XID-XID 및 XIE-XIE선을 따라 취한 도 15a의 공정 단계를 나타내는 개략적이고 부분적인 확대 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

1, 1A : 액티브 매트릭스 기판

10 : 투명 절연성 기판

11 : 주사선

12 : 신호선

13 : 화소부

14 : TFT(박막 트랜지스터)

15 : 게이트 전극

16 : 게이트 절연막

17 : 반도체 아일랜드

18 : 소스 전극

19 : 드레인 전극

20 : 패시베이션막

21 : 화소 전극

22 : 주사선 단자부

23 : 신호선 단자부

30 : 공통선

31 : 공통선 단자부

32 : 공통 전극

101, 131 : Al막

102, 104, 132, 134 : Ti막

103, 133 : TiN막

111 : ITO막

112 : Cr막

121 : 진성 a-Si막

122 : n^+ 형 a-Si막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

1. 발명의 분야

본 발명은 소위 액티브 매트릭스 기판을 구비하고 그 위에 화소 전극과 박막 트랜지스터(TFT)가 매트릭스 어레이로 배열되어 있는 액티브 매트릭스 어드레싱 액정 표시(LCD) 장치에 관한 것이다.

더 구체적으로는, 본 발명은 액티브 매트릭스 기판을 구비하고 그 위에 다층구조의 배선이 이 화소 전극과 TFT를 따라 형성되어 있고, 어떤 복잡한 배선 구조를 가지지 않더라도 알루미늄(Al) 힐록(hillock)를 효과적으로 억제함으로써 열 또는 수분에 기인하는 배선의 접속 저항 증가를 감소시키고 접속 신뢰성을 향상시키는 액티브 매트릭스 어드레싱 LCD 장치에 관한 것이다.

2.종래기술의 설명

액티브 매트릭스 어드레싱 LCD 장치는 전형적으로 다음과 같은 구조를 가진다.

이 타입의 LCD 장치는 액티브 매트릭스 기판과 대향 기판을 포함하고, 이들은 서로 평행하게 결합되어 이들 사이에 특정의 갭을 밀봉 부재로 형성한다. 기판 사이의 갭은 특정의 액정을 담는 닫힌 공간을 형성한다. 그래서, 이 공간(및 액정)은 기판들에 의해 샌드위치되어 있다.

화소 영역은 액티브 매트릭스 기판 상에 매트릭스 어레이로 배열되어 있다. TFT는, 대응하는 화소 전극에 인가된 전압을 제어하도록 각각의 화소 영역에 대응하는 액티브 매트릭스 기판 상에 배열되어 있다. 반대의 전극들이 대향 전극 상에 배열되어 있다. 액정을 구동하기 위해, 특정의 전압이 이들 두 전극 상에 배열된 전극들 사이에 인가됨으로써, LCD 장치의 화면 상에 화상을 표시하게 된다.

LCD 장치가 전계가 기판에 대하여 거의 수직으로 되도록 그 닫힌 공간 내에(즉, 액정 내에) 생성되는 수직 전계 형이면, 그 액정 매트릭스 기판은 투명 유리 플레이트을 포함하고 있다. 제1 방향으로 연장하는 주사선이 이 유리 플레이트의 표면상에 제2 방향으로 등간격으로 배열되어 있고, 여기서 제2 방향은 제1 방향과 수직이다. 제2 방향으로 연장하는 신호선은 유리 플레이트의 표면상에 제1 방향으로 등간격으로 배열되어 있다. 화소 전극은 주사선과 신호선이 교차되어 규정되는 화소 영역 각각에 배열되어 있다. TFT는 각각의 화소 영역에 배열된다. TFT의 게이트 전극, 드레인 전극, 및 소스 전극이 주사선, 신호선, 및 화소 전극에 각각 접속되어 있다.

따라서, 특정의 전류가 주사선 중의 하나와 신호선 중의 하나에 각각 공급되면, 이들 주사선과 신호선의 교차점에 위치한 TFT가 턴온되어, 당해 TFT에의 그 관련된 화소 전극에 특정의 전압이 인가되도록 한다. 이러한 동작은 필요한 모든 화소에서 표시된다. 그래서, 소망하는 화상이 이 장치의 화면에 표시된다.

각각의 주사선은 그 단부에 주사선 단자를 가진다. 각각의 신호선은 그 단부에 신호선 단자를 가진다. 이들 주사선 단자와 신호선 단자는 주사선과 신호선을 특정의 구동 회로 유니트와 상호접속하기 위한 테이프 형상의 케이블을 접속하는데 이용된다. 이 케이블은 구동 회로 유니트에 미리 접속되어 있는 일세트의 도전성 또는 배선을 포함한다. 그래서, 주사선과 신호선은 그 케이블의 대응하는 선에 의해 이 유니트와 접속된다.

이러한 타입의 액티브 매트릭스로써, 화소 전극의 크기를 미세화하고, 전기 저항이 낮은 어떤 다른 재료 또는 어떤 다른 구조를 이용하여 주사선과 신호선 자체의 전기 저항을 감소시킬 필요가 있다. 이것은 LCD 장치를 확대하고 이 장치에 이용되는 장치 내지 부품의 밀도를 증가시키고자 하는 최근의 요구에 부응하는 것이다.

더 나아가, 주사선과 신호선이 이들 단자에서 테이프 형상의 플래트 케이블의 배선에 접속될 필요가 있기 때문에, 이들 단자는 신뢰성 있는 재료 또는 재료들로 구성함으로써 그 단자에서의 접속 신뢰성이 수분의 침입에 기인하는 열화하는 것을 방지할 필요가 있다.

전술한 필요를 만족시키기 위해, 다양한 향상이 현재까지 이루어져 왔으며 개시되어 있다.

예를 들면, 1995년에 공개된 일본 특개평7-120789호에는 LCD 장치의 주사선과 신호선에 적용될 수 있는 다층 배선 구조가 개시되어 있다. 이러한 구조는 하부의 알루미늄(Al) 막과 상층의 질화 티탄(TiN) 막을 포함하고 있다. Al 막은 이들 구조 또는 배선들의 전기 저항을 낮추는데에 이용되어 있다. TiN 막은 제조 공정 동안에 하부의 Al 막이 다양한 케미컬에 의해 노출되는 것을 방지하는데 이용되어, 그 TiN 막의 부식을 막을 수 있다. 이것은, 고신뢰도의 접속 구조가 가능하다는 것을 의미한다.

하지만, 특개평7-120789호에 개시된 다층 배선 구조는 힐록이 Al 막 상에 발생하는 경향이 있다는 문제점을 가지고 있다. 주지하는 바와 같이, " Al 힐록" 은 Al 막의 표면상에 형성된 작은 힐 또는 돌기부로서, 열 처리 공정에서 압축 응력이 Al 막에 가해진 후, 이 응력이 시간에 따라 완화되거나 감소됨으로써, 이 막의 Al 원자가 외부로 확산되는 사실에 의해 야기된다. Al 힐록은 다양한 결함(예로서, 층간 단락회로)을 야기하고, 그 결과로서 제조 수율이 저하될 가능성이 있다.

Al 힐록을 방지하는 기술은 예로서 1995년에 공개된 일본 특개평7-58110호에 개시되어 있다. 이 기술은 TiN 막, Ti 막, Al 막, TiON 막, 및 Ti 막을 가진 다층 배선 구조를 포함하고 있다. 다시 말하면, 이 기술은 TiN/Ti/Al/TiON/Ti 구조를 포함하고 있다. 최상층의 TiN 막은 광 반사를 방지하고, 콘택트 홀 형성 공정에서 소망하는 에치 선택성을 확보하는데 이용되어 있다. 상층의 Ti 막은 전기 접속 저항을 감소시킨다. 중간층의 Al 막은 배선 재료로서 이용되어 있다. TiON 막은 실리콘(Si)에 대항하는 확산 배리어 막으로서 이용되어 있다. 최저층 내지 하층의 Ti 막은 전기 접속 저항을 감소시킨다.

특개평7-58110호에 개시된 기술에 의하면, Al 막은 최상층의 TiN 막과 하층의 TiON 막에 의해 샌드위치되어, Al 힐룩(및 얼로이 피트)를 방지한다. 하지만, 특개평7-58110은 단지 TiN/Ti/Al/TiON/Ti 구조만을 개시하고 있고, Al 힐록을 방지하는데 유효한 다른 배선 또는 배선 구조를 개시하고 있지 아니하다. 그래서, 그 배선 또는 배선 구조가 반도체 층과 접촉되어 있지 않은 경우에 여기에 개시된 TiN/Ti/Al/TiON/Ti 구조가 유효한지 또는 이점이 있는지 여부는 분명하지 않다. 예를 들면, 이 개시된 구조가 전술한 LCD 장치의 TFT의 게이트 전극에 적용되면, 게이트 전극은 반도체 층이 아닌 절연 유리 플레이트과 접촉하게 된다. 이 경우에, 이 개시된 구조가 유효한지 또는 이점이 있는지 여부는 분명하지 않다.

특히, 게이트 전극이 반도체 층과 접촉하지 않기 때문에, Si에 대한 확산 배리어 막으로서 이용되는 이 개시된 구조의 TiON 막은 LCD 장치에 대해서는 불필요하다. TiON 막은 단지 그 구조를 복잡하게 할 뿐이다.

더 나아가, 특개평7-58110에 개시된 정보에 따르면, TiN 막과 Al 막 위에 배치된 Ti 막의 조합과 TiON 막과 Al 막 아래에 배치된 Ti 막의 조합은 여기에 개시된 경우에 효과가 있다라고 보여진다. 하지만, TiN/Ti/Al/TiON/Ti 구조의 어떤 구성 막이 생략되는 경우에도, 특개평7-58110에 개시된 이점이 잘 기대될 수 있는지 여부는 분명하지 않다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은, 화소 전극 및 TFT와 함께 고유의 도전성 라인이 배열된 액티브 매트릭스 기판을 구비하여 배선 구조를 복잡화하지 않고서 Al 힐록을 효과적으로 억제함과 동시에, 배선의 단자에서의 전기 접속 저항 증가를 저감하여 접속 신뢰성을 향상시킨 액티브 매트릭스 어드레싱 LCD 장치를 제공하는 데 있다.

본 발명의 다른 목적은, 화소 전극 및 TFT와 함께 고유의 도전성 라인이 배열된 액티브 매트릭스 기판을 구비하여 화소 전극의 사이즈를 저감할 수 있는 액티브 매트릭스 어드레싱 LCD 장치를 제공하는 데 있다.

본 발명의 또 다른 목적은, 화소 전극 및 TFT와 함께 고유의 도전성 라인이 배열된 액티브 매트릭스 기판을 구비하여 LCD 장치를 확대할 수 있고 장치에서 사용되는 소자들의 밀도를 높일 수 있는 액티브 매트릭스 어드레싱 LCD 장치를 제공하는 데 있다.

상기 목적 및 구체적으로 언급되지 않은 다른 목적들은 이하의 설명을 통해 당업자에게 명확해질 것이다.

본 발명의 제1 국면에 따르면, 액티브 매트릭스 어드레싱 LCD 장치가 제공된다. 이 장치는, 투명 절연성 플레이트, 상기 플레이트 상에 배치된 TFT들, 및 상기 플레이트 상에 배치된 화소 전극들을 구비한 액티브 매트릭스 기판; 제1 다층 도전성 구조를 갖는 상기 TFT들의 게이트 전극들; 및 대응 게이트 전극들에 접속되고 상기 제1 다층 도전성 구조를 갖는 주사선들을 포함하고, 상기 제1 다층 도전성 구조는, 상기 구조의 상부에 위치하는 TiN 막, 상기 TiN 막 아래에 위치하는 Al계 막, 및 상기 Al계 막에 대하여 상위 위치와 하위 위치 중 적어도 한 쪽에 위치하는 적어도 하나의 Ti 막을 포함하고, 상기 제1 다층 도전성 구조의 TiN 막은 25 원자% 이상의 질소 농도를 갖는다.

상기 제1 국면의 장치의 바람직한 실시예에서, 상기 장치는, 상기 플레이트 상에 대응 화소 전극들에 대향하여 형성된 공통 전극들; 및 상기 플레이트 상에 대응 공통 전극들에 접속되도록 형성된 공통선들을 더 포함하고, 상기 공통 전극들 및 상기 공통선들은 제2 다층 도전성 구조를 갖고, 상기 제2 다층 도전성 구조는, 상기 구조의 상부에 위치하는 TiN 막, 상기 TiN 막 아래에 위치하는 Al계 막, 및 상기 Al계 막에 대하여 상위 위치와 하위 위치 중 적어도 한 쪽에 위치하는 적어도 하나의 Ti 막을 포함하고, 상기 제2 다층 도전성 구조의 TiN 막은 25 원자% 이상의 질소 농도를 갖는다.

상기 제1 국면의 장치의 다른 바람직한 실시예에서, 상기 주사선들 각각은 그 단부에서 외부 회로와의 전기 접속을 위한 단자를 갖는다. 상기 TiN 막은 상기 단자에서 상기 제1 다층 도전성 구조로부터 노출된다.

상기 제1 국면의 장치의 또 다른 바람직한 실시예에서, 상기 공통선들 각각은 그 단부에서 외부 회로와의 전기 접속을 위한 단자를 갖는다. 상기 TiN 막은 상기 단자에서 상기 제2 다층 도전성 구조로부터 노출된다.

본 발명의 제2 국면에 따르면, 다른 액티브 매트릭스 어드레싱 LCD 장치가 제공된다. 이 장치는, 투명 절연성 플레이트, 상기 플레이트 상에 배치된 TFT들, 및 상기 플레이트 상에 배치된 화소 전극들을 구비한 액티브 매트릭스 기판; 제1 다층 도전성 구조를 갖는 상기 TFT들의 소스 전극들; 상기 제1 다층 도전성 구조를 갖는 상기 TFT들의 드레인 전극들; 및 대응 소스 전극들에 접속되고 상기 제1 다층 도전성 구조를 갖는 신호선들을 포함하고, 상기 제1 다층 도전성 구조는, 상기 구조의 상부에 위치하는 TiN 막, 상기 TiN 막 아래에 위치하는 Al계 막, 및 상기 Al계 막에 대하여 상위 위치와 하위 위치 중 적어도 한 쪽에 위치하는 적어도 하나의 Ti 막을 포함하고, 상기 제1 다층 도전성 구조의 TiN 막은 25 원자% 이상의 질소 농도를 갖는다.

상기 제2 국면의 장치의 바람직한 실시예에서, 상기 화소 전극들은 상기 제1 다층 도전성 구조를 갖는다.

상기 제2 국면의 장치의 다른 바람직한 실시예에서, 상기 신호선들 각각은 그 단부에서 외부 회로와의 전기 접속을 위한 단자를 갖는다. 상기 TiN 막은 상기 단자에서 상기 제1 다층 도전성 구조로부터 노출된다.

본 발명의 제3 국면에 따르면, 또 다른 액티브 매트릭스 어드레싱 LCD 장치가 제공된다. 이 장치는, 투명 절연성 플레이트, 상기 플레이트 상에 배치된 TFT들, 및 상기 플레이트 상에 배치된 화소 전극들을 구비한 액티브 매트릭스 기판; 제1 다층 도전성 구조를 갖는 상기 TFT들의 게이트 전극들; 및 대응 게이트 전극들에 접속되고 상기 제1 다층 도전성 구조를 갖는 주사선들을 포함하고, 상기 제1 다층 도전성 구조는, 상기 구조의 상부에 위치하는 TiN 막, 상기 TiN 막 아래에 위치하는 Al계 막, 및 상기 Al계 막에 대하여 상위 위치와 하위 위치 중 적어도 한 쪽에 위치하는 적어도 하나의 Ti 막을 포함하고, 상기 제1 다층 도전성 구조의 TiN 막은 25 원자% 이상의 질소 농도를 갖고, 상기 장치는, 제2 다층 도전성 구조를 갖는 상기 TFT들의 소스 전극들; 상기 제2 다층 도전성 구조를 갖는 상기 TFT들의 드레인 전극들; 및 대응 소스 전극들에 접속되고 상기 제2 다층 도전성 구조를 갖는 신호선들을 더 포함하고, 상기 제2 다층 도전성 구조는, 상기 구조의 상부에 위치하는 TiN 막, 상기 TiN 막 아래에 위치하는 Al계 막, 및 상기 Al계 막에 대하여 상위 위치 또는 상위 위치와 하위 위치 양쪽 모두에 위치하는 적어도 하나의 Ti 막을 포함하고, 상기 제2 다층 도전성 구조의 TiN 막은 25 원자% 이상의 질소 농도를 갖는다.

상기 제3 국면의 장치의 바람직한 실시예에서, 상기 플레이트 상에 대응 화소 전극들에 대향하여 형성된 공통 전극들 및 상기 플레이트 상에 대응 공통 전극들에 접속되도록 형성된 공통선들이 부가적으로 제공된다. 상기 공통 전극들 및 상기 공통선들은 상기 제1 다층 도전성 구조를 갖는다.

상기 제3 국면의 장치의 다른 바람직한 실시예에서, 상기 화소 전극들은 상기 제1 다층 도전성 구조를 갖는다.

상기 제3 국면의 장치의 또 다른 바람직한 실시예에서, 상기 주사선들 각각은 그 단부에서 외부 회로와의 전기 접속을 위한 단자를 갖는다. 상기 TiN 막은 상기 단자에서 상기 제1 다층 도전성 구조로부터 노출된다.

상기 제3 국면의 장치의 또 다른 바람직한 실시예에서, 상기 공통선들 각각은 그 단부에서 외부 회로와의 전기 접속을 위한 단자를 갖는다. 상기 TiN 막은 상기 단자에서 상기 제2 다층 도전성 구조로부터 노출된다.

본 발명의 제4 국면에 따르면, 또 다른 액티브 매트릭스 어드레싱 LCD 장치가 제공된다. 이 장치는, 투명 절연성 플레이트, 상기 플레이트 상에 배치된 TFT들, 및 상기 플레이트 상에 배치된 화소 전극들을 구비한 액티브 매트릭스 기판; 제1 다층 도전성 구조를 갖는 상기 TFT들의 게이트 전극들; 및 대응 게이트 전극들에 접속되고 상기 제1 다층 도전성 구조를 갖는 주사선들을 포함하고, 상기 제1 다층 도전성 구조는, 상기 구조의 상부에 위치하는 TiN 막, 상기 TiN 막 아래에 위치하는 Al계 막, 및 상기 Al계 막에 대하여 상위 위치와 하위 위치 중 적어도 한 쪽에 위치하는 적어도 하나의 Ti 막을 포함하고, 상기 제1 다층 도전성 구조의 TiN 막은 25 원자% 이상의 질소 농도를 갖고, 상기 장치는, 제2 다층 도전성 구조를 갖는 상기 TFT들의 소스 전극들; 상기 제2 다층 도전성 구조를 갖는 상기 TFT들의 드레인 전극들; 및 대응 소스 전극들에 접속되고 상기 제2 다층 도전성 구조를 갖는 신호선들을 더 포함하고, 상기 제2 다층 도전성 구조는, 상기 구조의 상부에 위치하는 TiN 막, 상기 TiN 막 아래에 위치하는 Al계 막, 및 상기 Al계 막에 대하여 상위 위치 또는 상위 위치와 하위 위치 양쪽 모두에 위치하는 적어도 하나의 Ti 막을 포함하고, 상기 제2 다층 도전성 구조의 TiN 막은 25 원자% 이상의 질소 농도를 갖는다.

상기 제4 국면의 장치의 바람직한 실시예에서, 상기 플레이트 상에 대응 화소 전극들에 대향하여 형성된 공통 전극들 및 상기 플레이트 상에 대응 공통 전극들에 접속되도록 형성된 공통선들이 부가적으로 제공된다. 상기 공통 전극들 및 상기 공통선들은 상기 제1 다층 도전성 구조를 갖는다.

상기 제4 국면의 장치의 다른 바람직한 실시예에서, 상기 화소 전극들은 상기 제2 다층 도전성 구조를 갖는다.

상기 제4 국면의 장치의 또 다른 바람직한 실시예에서, 상기 주사선들 각각은 그 단부에서 외부 회로와의 전기 접속을 위한 단자를 갖는다. 상기 TiN 막은 상기 단자에서 상기 제1 다층 도전성 구조로부터 노출된다.

상기 제4 국면의 장치의 또 다른 바람직한 실시예에서, 상기 신호선들 각각은 그 단부에서 외부 회로와의 전기 접속을 위한 단자를 갖는다. 상기 TiN 막은 상기 단자에서 상기 제2 다층 도전성 구조로부터 노출된다.

상기 제4 국면의 장치의 또 다른 바람직한 실시예에서, 상기 공통선들 각각은 그 단부에서 외부 회로와의 전기 접속을 위한 단자를 갖는다. 상기 TiN 막은 상기 단자에서 상기 제1 다층 도전성 구조로부터 노출된다.

본 발명의 상기 제1 내지 제4 국면의 장치들에서, 바람직하게는, 예를 들면, 상기 제1 및 제2 다층 도전성 구조 각각은 TiN/Ti/Al 또는 TiN/Al/Ti의 3층 구조이다. 대안적으로는, 상기 제1 및 제2 다층 도전성 구조 각각은 TiN/Ti/Al/Ti의 4층 구조인 것이 바람직하다.

Al계 막으로서는, 실질적으로 순수한 Al 막뿐만 아니라 Al 합금막도 사용될 수 있다.

본 발명의 상기 제1 내지 제4 국면에 따른 액티브 매트릭스 어드레싱 LCD 장치에 의하면, 제1 및 제2 다층 도전성 구조 각각에서 TiN 막이 Al계 막과 접촉하기 때문에, Al계 막 상에서의 Al 힐록의 발생이 효과적으로 억제될 수 있다.

드레인 전극에서는, 제2 다층 도전성 구조에서 Ti 막이 Al계 막 아래에 위치하므로, Ti 막은 Al계 막과 기저의 반도체 아일랜드와의 사이에 위치한다. 따라서, 드레인 전극에서는 얼로이피트(alloy pits)의 발생이 억제된다.

게다가, 제1 또는 제2 다층 도전성 구조의 상부에 TiN 막이 위치하기 때문에, 주사선, 신호선, 및 공통선들의 단자에서의 부식이 방지된다. 따라서, 이들 배선의 단자에서의 전기 접속 저항 증가가 저감될 수 있으며, 그에 따라 해당 단자들에서의 접속 신뢰성이 향상된다.

발명의 구성 및 작용

이하에, 본 발명의 실시예를 도면을 참조하여 설명한다.

제1 실시예

본 발명의 제1 실시예에 따른 액티브 매트릭스 어드레싱 LCD 장치를 도 1 및 도 2a 내지 2d에 나타내었다. 이 장치는 종전계형이다.

도 1에 나타낸 바와 같이, 제1 실시예에 따른 LCD 장치는 액티브 매트릭스 기판(1)과 밀봉 부재(도시하지 않음)로 특정 갭을 형성하도록 서로 평행하게 결합된 대향 기판(도시하지 않음)을 포함한다. 기판들 사이의 갭은 특정 액정으로 규정되는 닫힌 공간을 형성한다. 이 구성 자체는 잘 알려져 있으므로, 여기서 더 이상의 설명은 하지 않는다.

본 발명의 특징은 액티브 매트릭스 기판(1)에 있으므로, 이하에는 기판(1)에 관해서 주로 설명한다. 기판(1)은 다음의 구성을 갖는다.

도 1에 나타낸 바와 같이, 액티브 매트릭스 기판(1)은 투명 유리 플레이트(10)을 포함한다. 제1 방향(도 1의 수평 방향)으로 연장하는 주사선(11)을 제1 방향에 수직인 제2 방향(도 1의 수직 방향)으로 플레이트(10)의 표면 상에 등간격으로 배열한다.

제2 방향으로 연장하는 신호선(12)을 플레이트(10)의 표면 상에 제1 방향으로 등간격으로 배열한다. 그리고, 주사선(11)이 신호선(12)와 직각으로 교차한다.

TFT(14)를 각각 픽셀 영역(13)에 배치된 플레이트(11)의 표면 상에 배열한다. 역스태거형의 영역인 TFT(14)를 사용하여 대응 영역(13)에 인가되는 전압을 제어한다.

도 2b에 명백하게 나타낸 바와 같이, 각 TFT(14)는 게이트 전극(15), 게이트 절연막(16), 아일랜드 형상의 반도체층(즉, 반도체 아일랜드)(17), 소스 전극(18), 및 드레인 전극(19)을 갖는다. 게이트 전극(15)은 유리 플레이트(10)의 표면 상의 주사선(11)과 동일한 레벨 상에 위치한다. 게이트 절연막(16)을 플레이트(10)의 표면 상에 형성하여 주사선(11)과 게이트 전극(15)을 덮는다. 반도체 아일랜드(17)를 게이트 절연막(16) 상에 막(16)을 경유하여 게이트 전

극(15)에 대향하여 형성한다. 소스 전극(18)과 드레인 전극을 플레이트(10)의 표면 상의 신호선(12)과 동일한 레벨 상에 형성한다. 소스 전극(18)을 아일랜드(17)의 일 측면 상에 배치하고 드레인 전극(19)을 다른 측면 상에 배치한다. 패시베이션막(20)을 TFT(14)를 덮도록 형성한다.

게이트 절연막(16)과 패시베이션막(20)은 모든 TFT(14)에 공통으로 사용된다.

각 화소 영역(13)은 ITO(Indium Tin Oxide)와 같은 투명 도전성 재료로 이루어진 투명 화소 전극(21)을 포함한다. 전극(21)의 대부분은 패시베이션막(20)의 대응하는 개구(즉, 디스플레이 윈도우)을 통해 노출된다. 전극(21)의 노출부는 디스플레이 영역의 부분으로서 작용한다.

게이트 전극(15)은 주사선(11) 중 대응하는 주사선에 접속된다. 드레인 전극(19)은 신호선(12) 중 대응하는 신호선에 접속된다. 소스 전극(19)은 화소 전극(21) 중 대응하는 화소 전극에 접속된다.

도 1 및 도 2a에 도시된 바와 같이 각 주사선(11)은 그 단부에 접속 단자부(22)를 갖는다. 도 2c에 도시된 바와 같이, 주사선(11)의 단부에 설치된 접속 단자부(22)는 게이트 절연막(16) 및 패시베이션막(20)으로부터 그 대응하는 개구(22a)를 통해 노출된다. 마찬가지로, 도 1 및 도 2a에 도시된 바와 같이 각 신호선은 그 단부에 접속 단자부(23)를 갖는다. 도 2d에 도시된 바와 같이, 신호선(12)의 접속 단자부(23)는 게이트 절연막(16) 및 상기 패시베이션막(20)으롭 터 그 대응하는 개구(23a)를 통해 노출된다.

상기 게이트 전극(15)과 상기 주사선(11)은 동일한 도전막으로 형성된다. 즉, 이들은 다층 구조의 공통 도전막으로 형성된다. 구체적으로는, 도 2b 및 2c에 도시된 바와 같이, 공통 도전막은 하층의 Al막(101; 두께 100 ㎚), 중층의 Ti막(102; 두께 50㎚), 최상층의 TiN막(103; 두께 200㎚)으로 형성된다. 따라서, 이 공통 도전막은 3층 TiN/Ti/Al 구조를 갖는다.

소스 및 드레인 전극(18 및 19)과 신호선(12)은 동일한 다층 도전막으로 형성된다. 즉, 이들은 다층 구조의 공통 도전막으로 형성된다. 구체적으로는, 도 2b 및 2d에 도시된 바와 같이, 하층의 ITO막(111; 두께 50㎚), 최상층의 Cr막(112; 두께 200㎚)으로 형성된다. 따라서, 이 공통 도전막은 2층 Cr/ITO 구조를 갖는다.

도 3a 내지 3d, 4a 내지 4d, 5a 내지 5d, 및 6a 내지 6d를 참조하여 제1 실시예의 액티브 매트릭스 기판(1)이 설명된다.

우선, 도 3a 내지 3d에 도시한 바와 같이, 유리 플레이트(10)의 표면에 스퍼터링법에 의해 순차로 200㎚ 두께의 Al막(101), 50㎚ 두께 Ti막(102) 및 100㎚ 두께의 TiN막(103)이 형성된다. 따라서, 3층 TiN/Ti/Al 구조가 형성된다.

다음에, 이렇게 형성된 상기 3층 TiN/Ti/Al 구조에 대해 제1 포토리소그래피 공정이 수행된다. 구체적으로는, 상기 3층 TiN/Ti/Al 구조 상에 제1 포토레지스트막(도시하지 않음)이 형성되고, 특정 광에 노광되고 현상됨에 따라 제1 포토레지스트막이 패터닝된다. 패터닝된 제1 포토레지스트를 마스크로 하여 상기 TiN/Ti/Al 구조막을 드라이 에칭하여 유리 플레이트(10)의 표면에 게이트 전극(15) 및 주사선(11)을 형성한다.

상기 TiN막(103)은 반응성 스퍼터링법에 의해 형성하되, Ar 가스와 N_2 가스의 유량비를 조정하면서 TiN막(103)의 질소 농도가 25 원자% 이상이 되도록 한다. 이는 가령 압력 0.8Pa, Ar 가스 유량 225sccm, N_2 가스 유량 150sccm, DC 방전 전력 16KW, 기판 온도 150℃, 갭 115mm의 조건하에 가능하다.

계속해서, 도 4a 내지 4d에 도시한 바와 같이, 유리 플레이트(10) 전면에 걸쳐 게이트 절연막(16)으로서 SiN막을 400㎚의 두께로 형성한다. SiN막은 패터닝된 TiN/Ti/Al 구를 전체적으로 커버한다. SiN막 상에 진성 비정질 실리콘(i형 a-Si)막(121)을 250㎚의 두께로 형성하고, 진성 a-Si막(121) 상에 n^+형 a-Si막(122)을 50㎚의 두께로 형성한다. n^+형 a-Si막(122)은 n형 불순물로서 인으로 도핑된다. n^+형 a-Si막(122)은 오믹층으로서 기능하며, 드레인 및 소스 전극(18 및 19)과의 오믹 접촉을 확실히 하는데 사용된다. 이들 막(121 및 122)은 플라즈마 CVD법에 의해 형성된다.

다음에, 이하의 방식으로 제2 포토리소그래피 공정이 수행된다. 상기 n^+형 a-Si막(122) 상에 제2 포토레지스트막(도시하지 않음)이 형성된 후, 특정 광에 노광되고 현상됨으로써, 제2 포토레지스트막이 패터닝된다. 그 후, 패터닝된 상기 제2 포토레지스트막을 마스크로 하여, a-Si막(121 및 122)을 순차로 드라이 에칭을 행하여, 대응 게이트 전극(15)에 대향하는 게이트 절연막(16; 즉 SiN막) 상에 반도체 아일랜드(17)가 형성된다. 이 단계의 상태는 도 4a 내지 4d에 도시된다.

계속해서, 유리 플레이트(10)의 전면에 걸쳐 n^+형 a-Si막(122) 상에 투명한 ITO막(111)이 50㎚의 두께로 형성되고, 또한 ITO(111) 상에 Cr막(112)이 200㎚의 두께로 형성된다. 이들 막(111 및 112)은 스퍼터법에 의해 피착된다.

다음에, 이하의 방식으로 제2 포토리소그래피 공정이 수행된다. Cr막(112) 상에 제3 포토레지스트막(도시하지 않음)이 형성된 후, 특정 광에 노광되고 현상됨으로써, 제3 포토레지스트막이 패터닝된다. 그 후, 패터닝된 제3 포토레지스트막을 마스크로 사용하여, 상기 Cr막(112)과 ITO막(111)이 웨트 에칭법에 의해 순차로 패터닝된다. 이에 따라, 화소 전극(21), 상기 화소 전극(21)과 일체로 된 소스 전극(18), 드레인 전극(19), 및 상기 드레인 전극(19)과 일체로 된 신호선(12)이 형성된다.

소스 전극(18) 및 드레인 전극(19)을 마스크로 하여, 하부의 n^+형 a-Si막(122)을 드라이 에칭법에 의해 선택적으로 제거된다. 이에 따라, 대응하는 전극(18 및 19) 쌍 사이에 " 채널 갭" 이 형성된다. 남은 막(122)은 전극(18 및 19) 바로 아래에 형성된 오믹층을 형성한다. 유리 플레이트(10)의 표면에 매트릭스 형태로 배열된 TFT(14)가 형성된다. 이 단계의 상태는 도 5a 내지 5d에 도시된다.

계속해서, 플라즈마 CVD법에 의해 유리 플레이트(10)의 전면에 걸쳐 패시베이션막(20)으로서 기능하는 SiN막을 형성하여 TFT(14), 주사 및 신호선(11 및 12) 및 화소 영역(13)을 커버한다. 그 후, 이하의 방식으로 제4 포토리소그래피 공정이 수행된다. SiN막(20) 상에 제4 포토레지스트막(도시하지 않음)이 형성된 후, 특정 광에 노광되고 현상됨으로써, 제4 레지스트막이 패터닝된다. 그 후, 패터닝된 제4 레지스트막을 마스크로 사용하여, SiN막(20)이 에칭법으로 패터닝된다. 이에 따라, 화소 전극(21), 주사선 단자부(22), 신호선 단자부(23)에서 SiN막(20)이 선택적으로 제거된다. 또한, 단자부(22)에서 게이트 절연막(16)이 선택적으로 제거되고 단자부(23) 및 화소 영역(13)에서 Cr막(112)이 선택적으로 제거된다. 이러한 방식으로, 윈도우 또는 개구(21a, 22a, 및 23a)를 형성한다.

그 결과, 도 2a 내지 2d에 도시된 바와 같이, 주사선 단자부(22)에서 개구(22a)를 통해 패시베이션막(20) 및 게이트 절연막(16)으로부터 주사선(11)이 노출된다. 신호선 단자부(23)에서 개구(23a)를 통해 패시베이션막(20) 및 Cr막(112)으로부터 신호선(12; 즉, 이들의 ITO막(111))이 노출된다. 개구(21a)를 통해 패시베이션막(20) 및 Cr막(112)으로부터 화소 영역(13; 즉, 이들의 ITO막(111))이 노출된다.

또한, 도시되지는 않았지만, 패시베이션막(20) 상에 배향막이 형성된다. 이에 따라 제1 실시예에 따른 액티브 매트릭스 기판(1)이 완성된다.

다른 한편으로, 소정 갭으로 액티브 매트릭스 기판(1)에 대향하도록 대향 기판(도시하지 않음)이 배치되고, 이들 두 기판이 갭 내에 액정을 가두도록 밀봉 재료로 접합된다. 이에 따라 LCD 패널이 완성된다.

그 후, 구동 회로부의 플래트 케이블의 일 단부가 주사 및 신호선(11 및 12)과 그 단자부(22 및 23)에 접속된다. 이에 따라, 케이블 내에 결합된 배선이 주사 및 신호선(11 및 12) 각각에 접속되어, 구동 회로부와 LCD 패널의 전기 배선을 이룬다. LCD 패널에 전력을 공급하고 액티브 매트릭스 기판(1) 상의 모든 화소들을 구동함으로써 화면 상에 이미지를 표시할 수 있게 된다. 이러한 방식으로, 제1 실시예의 액티브 매트릭스 어드레싱 LCD 장치가 완성된다.

제1 실시예에 따른 LCD 장치에 있어서, 액티브 매트릭스 기판(1)은 3층 TiN/Ti/Al 구조를 채택하여 게이트 전극(15) 및 주사선(11)을 형성한다. 이에 따라, 주사선(11)의 구조를 복잡하게 하지 않고서도, 특개평7-120789호에 개시된 종래 TiN/Al 구조에 비해, Al 힐록의 발생을 억제하는 효과가 개선 또는 향상된다.

게다가, TiN막(103)은 25 원자% 이상의 질소 농도를 갖기 때문에, 주사선(11)의 단자(22)에서의 전기 접속 저항값의 증가는 억제된다. 이는 단자(22)에서의 접속 신뢰도를 향상시킨다.

도 7은 발생된 Al 힐록의 개수와 본 발명의 제1 실시예에서 사용된 3층 TiN/Ti/Al 그리고 특개평7-120789호에 개시된 종래 기술의 배선 구조에서 사용된 2층 TiN/Al과의 관계를 나타낸다. 도 7에 나타난 데이타는 다음 방식으로 수행된 발명자의 테스트에 의해 구해졌다.

본 발명의 TiN/Ti/Al 구조와 종래 기술의 TiN/Al 구조가 형성된 후, 질소 분위기에서 1 시간 동안 300℃에서 열처리되었다. 이후, 발명자는 본 발명 및 종래 기술의 구조의 Al막 상에 생성된 Al 힐록을 관찰하였고, 육안으로 Al막의 1mm ×1mm의 단위 면적내에 존재하는 힐록의 전체 개수를 카운트하였다.

종래 기술의 특개평7-120789호의 TiN/Al 구조(도 7의 샘플 번호 1)에서, Al 힐록의 전체 개수는 6410 개/mm^2이었다. 한편, 본 발명의 제1 실시예의 TiN/Ti/Al 구조(도 7의 샘플 번호 3)에서, Al 힐록의 전체 개수는 약 4개/mm^2으로 제한되었다. 따라서, 본 발명의 제1 실시예가 종래 기술보다 Al 힐록의 개수가 훨씬 더 적다는 것이 확인되었다. 이는 Al 힐록이 구조를 복잡하게 하지 않고도 주사선(11)의 단자(22)에서 효과적으로 억제될 수 있다는 것을 의미한다.

도 7에 나타난 샘플 번호 2와 4는 본 발명의 제1 실시예의 TiN/Ti/Al 구조의 변형이다. TiN막 두께가 50nm이고, Ti막 두께가 50nm이며, Al막 두께가 200nm인 샘플 번호 2는 26개/mm^2의 Al 힐록 개수를 갖는다. TiN막 두께가 100nm이고, Ti막 두께가 100nm이며, Al막 두께가 200nm인 샘플 번호 4는 약 1개/mm^2의 Al 힐록 개수를 갖는다.

샘플 번호 2와 4로부터 제1 실시예의 본 발명의 구조는 구성되는 막 두께가 변화된다고 할지라도, 종래 기술의 구조보다 Al 힐록의 개수가 훨씬 더 적다는 것을 알 수 있다.

발명자들은 제1 실시예의 본 발명의 구조의 이점은 TiN 및 Al막(103, 101) 사이에 Ti막(102)이 위치한 배치에 의해 생성되는, 즉 힐록을 물리적으로 억제하기 위한 TiN막(103)의 효과는 TiN/Ti/Al 배치에 의해 향상되었다고 추측하였다. 게다가, 샘플들 2와 4로부터, TiN막(103)의 두께가 증가되는 경우 힐록 억제 효과가 향상될 수 있다는 것을 알 수 있다. 샘플들 2와 4로부터, 물론 Ti막(102)의 두께가 증가하는 경우에도 향상될 수 있다는 것을 알 수 있다.

제1 실시예의 본 발명의 TiN/Ti/Al 구조를 활용함으로써, 상부에 위치한 TiN막(103)은 주사선 단자(22)에서의 전기적인 상호접속의 신뢰도를 향상시킨다. 이는 도 8과 도 9a 내지 도 9c에 나타나 있다.

도 8은 TiN막(103)의 질소 농도와 제1 실시예 및 종래 기술에서 사용된 TiN/Ti/Al과 TiN/Al 구조의 전기 저항 증가의 관계를 나타낸다. 도 8의 데이타는 발명자에 의해 수행된 다음 테스트에 의해 구해졌다.

도 9a 및 도 9b에 나타난 바와 같이, 각기 직선을 따라 등간격으로 배열된 2000개의 더미 주사선 단자(22A)를 갖는 제1 내지 제3 타입의 테스트용 단자 유닛(201)이 준비되었다. 도전성 접속 라인들(204)에 의해 직렬로 서로 접속된 더미 단자(22A)는 제1 실시예의 액티브 매트릭스 기판(1)의 주사선 단자(22)의 것과 동일한 TiN/Ti/Al 구조를 갖는다. 제1 타입의 유닛(201)을 형성하는 더미 단자(22A)는 질소 농도가 15 원자%이다. 제2 타입의 유닛(201)을 형성하는 더미 단자(22A)는 질소 농도가 25 원자%이다. 제3 타입의 유닛(201)을 형성하는 더미 단자(22A)는 질소 농도가 35 원자%이다.

각 유닛(201)의 더미 단자들(22A)과 동일한 방식으로 유전성 기판(dielectric base sheet) 상에 배열된 2000개의 배선 또는 도전성 라인을 갖는 더미 TCPs(Tape carrier packages; 206)가 준비되었다. 이들 더미 TCPs(206)는 LCD 패널과 그 구동 회로부의 상호 접속용으로 사용된 통상적인 테이프 형상의 평면 케이블이었다. 각 TCP(206)의 배선들은 도 9b에 나타난 바와 같이, 개구부(22Aa)를 통해 금속 접합재(207)를 이용하여 대응하는 유닛(201)의 더미 단자(22A)에 기계적으로 그리고 전기적으로 접속되었다. 도 9b의 참조 번호(10A, 16A)는 각각 게이트 플레이트와 게이트 절연막을 지칭한다.

2개의 측정 단자들(202, 203)은 어느 한쪽 단부에서 각 유닛(201) 상에 형성되었다. 측정 단자(202)는 유닛(201)의 대응하는 단부(즉, 도 9A의 좌측 단부)에서 라인(204)에 의해 단자(22A)에 전기적으로 접속되었다. 측정 단자(203)는 유닛(201)의 대응하는 단부(도 9a의 우측 단부)에서 라인(204)에 의해 단자(22A)에 전기적으로 접속되었다. 각 유닛(201)의 측정 단자들(202, 203) 양단에 저항 미터(resistance meter)(RM)(205)를 전기적으로 접속하여 직렬로 접속된 2000개의 더미 단자들(22A)과 TCP(206)의 전기 저항값을 측정한다.

각 유닛(201)의 측정 단자들(202)와 (203) 사이의 전기 저항값은 이 테스트의 시작시 저항 미터(205)로 측정되었다. 이후, 각 유닛(201)은 온도가 85℃이고, 습도는 85%이며, 가열 시간은 1000시간인 공정 조건하에서 대응하는 더미 TCP(206)를 따라 열처리 공정을 수행하였다. 열처리 공정이 종료되었을 때, 측정 단자들(202)와 (203)간의 전기 저항값은 저항 미터(205)로 다시 측정되었다.

도 9b와 도 9c에 나타난 바와 같이, 열처리 공정으로 인해 접착재(207)에 일부 변형이 발생되었다. 통상적으로, 단자(22A)에의 부재(207)의 결함이 있는 접속은 외면(peripheries)에서 시작될 것이다. 따라서, 열처리 공정이 종료되었을 때, 부재들(207)은 도 9c에 나타난 바와 같이 원하지 않은 상태로 바뀌었다. 그 결과, 단자(22A)와 부재(207)의 접속 길이 TL는 도 9b에 나타난 값에서 도 9c에 나타난 값으로 감소되었다.

이 테스트에서, 접속 길이 TL의 허용치는 0.1mm로 설정되었고, 전기 저항값 증가는 도 8에 나타난 바와 같이, " 2" (임의 단위)로 설정되었다. 만일 이렇게 측정된 전기 저항값 증가가 상술한 열처리 공정 이후에 " 2" 의 값을 초과하지 않는다면, 당해 테스트용 단자 유닛(201)은 양호하거나 비결함으로서 판정되었다.

이 테스트에서 15, 25 및 35 원자%의 3개의 상이한 질소 농도를 갖는 테스트용 단자 유닛(201)의 측정된 전기 저항값 증가는 도 8에 도시되었다. 만일 3개의 둥근 점들이 파선의 연속적인 곡선으로 상호접속될 때, TiN막(103)의 질소 농도의 임계치가 25 원자%이었다는 것을 발견하였다. 이것은 TiN막(103)의 질소 농도가 25 원자%와 동일하거나 그 이상일 때, 전기 저항값 증가는 측정된 값의 변동 또는 편차를 포함하여 " 2" 또는 그 이하의 기준값으로 제한될 수 있다는 것을 의미한다. 바꾸어 말하자면, 전기 저항값 증가는 부식을 억제하기 때문에, 주사선 단자(22)에서의 접속 신뢰도가 향상된다.

상술한 바와 같이, 신호선(12)과 소스 및 드레인 전극(19, 20)은 제1 실시예의 2층 Cr/ITO 도전성 구조로 형성된다. 그러나, 신호선(12)과 소스 및 드레인 전극(19, 20)은 게이트 전극(15)과 주사선(11)용으로 사용된 3층 TiN/Ti/Al으로 형성될 수도 있다.

제2 실시예

도 10 및 도 11a 내지 11e는, 본 발명의 제2 실시예에 따른 액티브 매트릭스 어드레싱 LCD 장치에서 이용되는 액티브

매트릭스 기판(1A)의 구성을 도시한다. 제1 실시예와는 달리, 이 장치는 횡전계형이다. 이 장치는, 서로 평행으로 결합하는 액티브 매트릭스 기판(1A) 및 대향 기판(도시하지 않음)을 포함하고, 양 기판 사이를 밀봉 부재로 밀봉하여 특유한 갭을 형성한다(도시하지 않음). 양 기판 사이의 갭은 특유한 액정이 충전되는 닫힌 공간을 형성한다. 이 구성은 제1 실시예와 동일하다.

동일한 참조 번호 또는 심볼이, 도 10 및 도 11a 내지 11e에서, 제1 실시예와 동일하거나 대응하는 장치에 부가된다.

도 10 및 11a에 도시된 바와 같이, 제2 실시예의 액티브 매트릭스 기판(1A)은 투명 유리 플레이트(10)을 포함한다. 제1 방향(도 10에서는 수평 방향)으로 연장하는 주사선(11)은 플레이트(10)의 표면상에서, 제1 방향과 수직인 제2 방향(도 10에서는 수직 방향)으로, 등간격으로 배열된다.

제1 방향으로 연장하는 공통선(30)은 플레이트(10)의 표면상에서 제2 방향으로 특정 간격으로 배열된다. 공통선(30)은 주사선(11)과는 평행이고, 인접하는 주사선(11)사이에 배열된다.

제2 방향으로 연장하는 신호선(12)은 플레이트(10)의 표면상에서 제1 방향으로 등간격으로 배열된다. 따라서, 주사선(11) 및 공통선(30)은 신호선(12)과 수직으로 교차한다.

픽셀 영역(13)은, 각각의 주사선, 공통선 및 신호선(11, 30 및 12)에 의해, 플레이트(10)의 표면상에 형성된 직사각형 영역내에 형성된다. 따라서, 픽셀 영역(13)은 플레이트(10)의 표면상에 매트릭스 어레이로 배열된다.

TFT(14)는 플레이트(10)의 표면상에 배열되고, 각각의 픽셀 영역(13)내에 위치한다. 반전 스태거형인 TFT(14)는, 대응하는 영역(13)에 인가된 전압을 제어하는데 이용된다.

도 11b에 명확하게 도시된 바와 같이, 각각의 TFT(14)는, 게이트 전극(15), 게이트 절연막(16), 반도체 아일랜드(17), 소스 전극(18) 및 드레인 전극(19)을 갖는다. 게이트 전극(15)은, 유리 플레이트(10)의 표면상에서, 주사선 및 공통선(11 및 30)과 동일한 레벨상에 위치한다. 게이트 절연막(16)은 플레이트(10)의 표면상에 형성되어, 주사선 및 공통선(11 및 30) 및 게이트 전극(15)을 덮는다. 반도체 아일랜드(17)는, 게이트 전극(15)에 대향하고, 막(16)을 경유하여, 게이트 절연막(16)상에 형성된다. 소스 전극(18) 및 드레인 전극(19)은, 플레이트(10)의 표면상에서, 신호선(12)과 동일한 레벨상에 형성된다. 소스 전극(18)은 아일랜드(17)의 한 측면상에 위치하고, 드레인 전극(19)은 그 다른 측면상에 위치한다. 패시베이션막(20)이 형성되어, 플레이트(10)의 전체 표면에 걸쳐 TFT(14)를 덮는다.

게이트 절연막(16) 및 패시베이션막(20)은 모든 TFT(14)에 공통적으로 사용된다.

각각의 픽셀 영역(13)은, 게이트 전극(13)과 동일한 레벨내에 형성된 콤- 또는 프레임-형상 공통 전극(32) 및 소스 전극(18)과 동일한 레벨내에 형성된 콤- 또는 프레임 형상 픽셀 전극(33)을 포함한다. 소스 전극(18)의 레벨은 픽셀 전극(33)의 레벨보다 높다. 픽셀 전극(33)은, 도 11a 및 도 11b에 명확히 나타난 바와 같이, 플레이트(10)의 표면을 따라 공통 전극(32)에 대하여 제1 방향(즉, 도 11a에서의 수평 방향)에서, 측면으로 시프트되거나 스태거된다. 공통 전극 및 픽셀 전극(32 및 33)은 ITO와 같은 투명 도전성 재료로 제조된다.

게이트 전극(15)은 대응하는 하나의 주사선(11)에 접속된다. 드레인 전극(19)은 대응하는 하나의 신호선(12)에 접속된다. 소스 전극(19)은 대응하는 하나의 픽셀 전극(33)에 접속된다. 공통 전극(32)은 대응하는 하나의 공통선(30)에 접속된다.

각각의 주사선(11)은, 도 10 및 11a에 도시된 바와 같이, 그 단부에 접속 단자(22)를 갖는다. 선(11)의 접속 단자(2

2)는, 도 11c에 명확하게 도시된 바와 같이, 대응하는 개구(22a)를 통해, 게이트 절연막(16) 및 패시베이션막(20)으로부터 노출된다. 유사하게, 각각의 신호선(12)은, 도 10 및 11a에 도시된 바와 같이, 그 단부에 접속 단자(23)를 갖는다. 선(12)의 접속 단자(23)는, 도 11d에 명확하게 도시된 바와 같이, 대응하는 개구(23a)를 통해, 게이트 절연막(16) 및 패시베이션막(20)으로부터 노출된다. 각각의 공통선(30)은, 도 10 및 11a에 도시된 바와 같이, 그 단부에 접속 단자(31)를 갖는다. 선(30)의 접속 단자(31)는, 도 11e에 명확하게 도시된 바와 같이, 대응하는 개구(32a)를 통해, 게이트 절연막(16) 및 패시베이션막(20)으로부터 노출된다.

게이트 전극(15), 주사선(11), 공통 전극(32), 및 공통선(30)은 동일한 다층 도전막으로 형성된다. 다시 말해, 이들은 다층 구조를 갖는 공통 도전막으로 형성된다. 구체적으로, 도 11b 및 11c에 도시된 바와 같이, 공통 도전막은, 하부에 위치한 Ti 막(두께 : 50nm)(104), 중앙 하위에 위치한 Al 막(두께 : 200nm)(101), 중앙 상위에 위치한 Ti 막(두께 : 50nm)(102), 및 상부에 위치한 TiN 막(두께 : 50nm)(103)에 의해 형성된다. 따라서, 공통 도전막은 4층의 TiN/Ti/Al/Ti 구조를 갖는다.

드레인 전극(19), 신호선(12), 소스 전극(18), 및 픽셀 전극(33)은 동일한 다층 도전막으로 형성된다. 다시 말해, 이들은 다층 구조를 갖는 공통 도전막으로 형성된다. 구체적으로, 도 11b 및 11d에 도시된 바와 같이, 공통 도전막은, 하부에 위치한 Ti 막(두께 : 50nm)(134), 중앙 하위에 위치한 Al 막(두께 : 200nm)(131), 중앙 상위에 위치한 Ti 막(두께 : 50nm)(132), 및 상부에 위치한 TiN 막(두께 : 50nm)(133)에 의해 형성된다. 이러한 구성은, 게이트 전극(15), 주사선(11), 공통 전극(32), 및 공통선(30)에 대한 공통 도전막의 구성과 동일하다. 따라서, 드레인 전극(19), 신호선(12), 소스 전극(18), 및 픽셀 전극(33)에 대한 공통 도전막도 또한 4층의 TiN/Ti/Al/Ti 구조를 갖는다. 이 점은 제1 실시예와 다르다.

다음에, 제2 실시예의 액티브 매트릭스 기판(1A)을 제조하는 방법이, 도 12a 내지 12e, 13a 내지 13e, 14a 내지 14e, 및 15a 내지 15e를 참조하여, 이하 설명된다.

우선, 도 12a 내지 12e에 도시된 바와 같이, 50nm 두께의 Ti 막(104), 200nm 두께의 Al 막(101), 50nm 두께의 Ti 막(102), 50nm 두께의 TiN 막(103)이, 스퍼터링 방법에 의해, 유리 플레이트(10)의 표면상에 연속적으로 형성된다. 따라서, 4층의 TiN/Ti/Al/Ti 구조가 형성된다.

다음에, 제1 포토리소그래피 공정이, 4층의 TiN/Ti/Al/Ti 구조에 수행되어, 패터닝된 제1 포토레지스트막이 형성된다. 패터닝된 제1 포토레지스트막을 마스크로 사용하여, TiN/Ti/Al/Ti 구조가 드라이 에칭법에 의해 패터닝되어, 플레이트(10)의 표면상에, 게이트 전극(15), 게이트 전극(15)에 접속된 주사선(11), 공통 전극(32), 및 공통 전극(32)에 접속된 공통선(30)이 형성된다. 이 스테이지의 상태는 도 12a 내지 12e에 도시된다.

제1 실시예와 같이, TiN 막(103)은, 막(103)의 질소 농도가, 아르곤 및 질소 분자 가스의 플로우 속도비를 제어하는 동안, 25 원자% 이상이 되는 방식으로, 반응 스퍼터링법에 의해 형성된다. 이것은, 제1 실시예에 도시된 것과 동일한 조건하에서 쉽게 실현된다.

그 후에, 도 13a 내지 13e에 도시된 바와 같이, 400nm 두께의 SiN 막이, 게이트 절연막(16)과 같이, 플레이트(10)의 전체 표면상에 형성된다. SiN 막(16)은 패터닝된 TiN/Ti/Al/Ti 구조를 전체적으로 덮는다. 250nm 두께의 진성 a-Si 막(121)은 SiN 막(16)상에 형성되고, 50nm 두께의 n^+형 a-Si 막(122)이 진성 a-Si 막(121)상에 형성된다. 막(122)은 n형 불순물인 인(P)으로 도핑된다. n^+형 a-Si 막(122)은 드레인 및 소스 전극(18 및 19)과의 오믹 접촉을 보장한다. 이들 두 개의 막(121 및 122)은 플라즈마-강화 CVD 공법에 의해 형성된다.

다음에, 제2 포토리소그래피 공정이 수행되어, 패터닝된 제2 포토레지스트막이 형성된다. 패터닝된 제2 포토레지스트막을 마스크로 사용하여, a-Si 막(121 및 122)이 드라이 에칭법에 의해 연속적으로 패터닝되어, 대응하는 게이트 전극(15)에 대향하여, 게이트 절연막(즉, SiN 막)(16)상에 반도체 아일랜드(17)가 형성된다. 이 스테이지의 상태는 도 13a 내지 13e에 도시된다.

유리 플레이트(10)의 전면에 걸쳐 n^+ 형 a-Si막(122) 상에 두께 50 ㎚의 Ti막(134), 두께 200 ㎚의 Al막(131), 두께 50 ㎚의 Ti막(132), 및 두께 50 ㎚의 Ti막(133)을 스퍼터링법에 의해 순차 형성된다. 그리하여, TiN/Ti/Al/Ti 구조가 게이트 전극(15), 주사선(11), 공통 전극(32) 및 공통선(30)에 대한 상술한 TiN/Ti/Al/Ti 구조와 동일한 높이를 갖도록 형성된다.

다음, 패터닝된 제3 포토레지스트막을 형성하기 위해 제3 포토리소그래피 공정을 수행한다. 패터닝된 제3 포토레지스트막을 마스크로서 사용하여 습식 에칭법에 의해 TiN/Ti/Al/Ti 구조를 패터닝한다. 그리하여,드레인 전극(19), 대응하는 드레인 전극(19)과 결합된 신호선(12), 소스 전극(18), 및 대응하는 소스 전극(18)과 결합된 픽셀 전극(33)이 형성된다.

TiN막(103)을 형성하는 상술한 단계에서와 유사하게, Ar 가스와 N_2 가스의 유량비를 제어하면서 막(133)의 질소 성분을 25 원자% 이상으로 하는 방법으로 반응성 스퍼터링법에 의해 TiN막(133)이 형성된다. 이러한 것은 상기 제1 실시예에 도시된 것과 동일한 조건하에서 용이하게 실현된다.

소스 및 드레인 전극(18 및 19)을 마스크로 사용하여, n^+ 형 a-Si막(122)을 건식 에칭법에 의해 선택적으로 제거한다. 그리하여, 대응하는 전극쌍(18 및 19) 사이에 " 채널 갭" 이 형성된다. n^+ 형 a-Si막(122)은 전극(18 및 19) 바로 아래에 위치한 오믹층을 형성한다. 그 결과, TFT(14)가 플레이트(10) 상에 매트릭스 형상으로 정렬되도록 형성된다. 이 단계에서의 상태가 도 14a 내지 14e에 도시된다.

이어서, 패시베이션 막(20)으로서 기능하는 SiN막이 TFT(14), 주사선, 공통선 및 신호선(11, 30 및 12)과, 플레이트(10)의 전면을 덮는 픽셀 에리어(13)를 플라즈마 향상 CVD법에 의해 덮는다. 그런 다음, 제4 포토레지스트막을 패터닝하기 위해 제4 포토리소그래피 공정을 행한다. 다음, 패터닝된 제4 포토레지스트막을 마스크로서 사용하여 SiN막(20)과 게이트 절연막(16)을 에칭법에 의해 패터닝한다. SiN 또는 패시베이션막(200가 게이트 절연막(16)을 주사선(11)의 단자(22) 및 공통선(30)의 단자(31)에서 선택적으로 제거한다. SiN막(20)은 신호선(12)의 단자(23)에서 선택적으로 제거된다. 그리하여, 윈도우 또는 구멍(22a, 23a 및 31a)이 단자(22, 23 및 31) 각각에서 형성된다.

그 결과, 도 11a 내지 11e에 도시된 바와 같이, 주사선(11)이 주사선 단자(22)에서의 구멍(22a)을 경유하여 패시베이션막(20)과 절연막(16)으로부터 노출된다. 신호선(12)이 신호선 단자(23)에서의 구멍(23a)을 경유하여 패시베이션막(20)으로부터 노출된다. 공통선(30)이 공통선 단자(31)에서의 구멍(31a)을 경유하여 패시베이션막(20)과 게이트 절연막(16)으로부터 노출된다.

또한, 도시되지는 않았지만 정렬층이 패시베이션막(20) 상에 형성된다. 그리하여, 제2 실시예에 따른 액티브 매트릭스 기판(1A)이 완성된다.

한편, 대향 기판(도시하지 않음)이 액티브 매트릭스 기판(1)에 소정 간격으로 대향 배치하고, 이들 두개의 기판이 액정 부재로 결합하여 갭 내에 액정을 충전시킨다. 그리하여, LCD 패널이 완성된다.

이후, 구동 회로 유닛의 플래트 게이블의 일단이 이들의 단자(22, 31 및 23)에서 각 주사선, 공통선 및 신호선(11, 30 및 12)에 접속된다. 그리하여, 케이블에 결합된 도전선이 주사선, 공통선 및 신호선(11, 30 및 12)에 접속되어 구동 회로 유닛과 LCD 장치의 선(11, 30 및 12)을 전기적으로 상호접속한다. LCD 패널에 전기전력을 제공하여 액티브 매트릭스 기판(1A) 상에 픽셀을 구동시킴으로써 장치의 스크린 상에 이미지를 디스플레이시킬 수 있다. 이러한 방법으로, 제2 실시예의 액티브 매트릭스 어드레싱 LCD 장치를 최종적으로 제조한다.

제2 실시예에 따른 LCD 장치로서, 액티브 매트릭스 기판(1A)은 게이트 전극(15)과, 주사선, 공통선 및 신호선(11, 30 및 12)을 형성하기 위한 4 레벨 TiN/Ti/Al/Ti 구조를 채용함으로써 종래기술인 특개평7-120789호의 종래 기술의 TiN/Al 구조에 비해 선(11)의 구조를 복잡하게 하지 않고도 Al 힐록 억제 효과가 향상되거나 상승된다. 이것은 제1 실시예에서와 동일하다.

게다가, Ti막(104 또는 134)이 Al막(101 또는 131) 아래에 추가로 형성되기 때문에 Al막(101 또는 131)의 결정성이 향상됨으로써 마이그레이션 현상을 억제하는 추가의 장점이 있다. 이것은 Al 힐록을 억제하는 TiN/Ti/Al 구조의 효과를 향상시킨다.

본 발명자는 제1 실시예에서 도시된 바와 같은 전기 접속 저항을 측정하기 위한 동일한 테스트를 주사선 단자(22), 공통선 단자(31), 신호선 단자(23)에 대하여도 행하였다. 그 결과, TiN막(103 또는 133)이 질소 농도 25 % 이상이라면 도 8에 도시된 바와 같이 속 신뢰를 향상시키는 동일한 결과가 얻어졌다.

상기의 동일한 테스트로부터 TiN막의 두께가 변화된다 하더라도 Al 힐록을 억제하는 효과에 대해서는 실질적으로 변화가 없음이 관찰되었다.

제3 실시예

여기서 도시되지는 않았지만, 제3 실시예에 따른 액티브 매트릭스 어드레싱 LCD 장치에 사용된 액티브 매트릭스 기판은 3층 TiN/Al/Ti 구조를 갖는다. Ti, Al, TiN 막의 두께는 도 7에서 동일한 부호(5 및 6)로 도시된다. 제3 실시예의 액티브 매트릭스 기판의 다른 구성은 제1 실시예의 기판(1)과 동일하다.

도 7로부터 알 수 있는 바와 같이, 제3 실시예의 기판은 Al 힐록이 거의 제로 다시 말해서 Al 힐록이 거의 완전하게 방지될 수 있는 추가적인 장점을 갖는다.

변형

본 발명이 상술한 제1 내지 제3 실시예에 제한될 필요가 없음은 당연한 것이다. 본 발명의 사상 내에서 이들 실시예들에 어떠한 수정 또는 변형도 가해질 수 있다. 예를들어, 거의 순수한 Al막을 제1 내지 제3 실시예들에서 사용하였다 하더라도, 본 발명은 이것에 제한되지는 않는다. 거의 순수한 Al막 대신에 Al 합금막을 사용해도 본 발명의 효과를 갖는다.

발명의 효과

이상 설명한 바와 같이 본 발명은 액티브 매트릭스 기판의 주사선, 신호선, 공통선 중 적어도 하나를 구성하는 배선 구조로서, 최상층에 TiN막을 구비하고, Al막의 상층 또는 하층 중 적어도 한쪽에 Ti막을 갖는 다층 배선 구조로 하고 있기 때문에, Al막에 접하여 형성되는 Ti막이 존재함으로써, Al막에서의 Al 힐록의 발생을 억제하고, 최상층에 존재하는 TiN막에 의해, 주사선, 신호선, 공통선 등의 각 접속부에서의 표면 부식을 억제하고, 접속부의 접속 저항을 저하함과 함께, 그 신뢰성을 높이는 것이 가능해진다. 이에 따라, 고밀도화한 액티브 매트릭스 어드레싱 액정 표시 장치를 실현할 수 있다.

(57) 청구의 범위

청구항 1.

액티브 매트릭스 어드레싱 LCD 장치에 있어서,

투명 절연성 플레이트, 상기 플레이트 상에 배치된 박막 트랜지스터(TFT)들, 및 상기 플레이트 상에 배치된 화소 전극들을 구비한 액티브 매트릭스 기판;

제1 다층 도전성 구조를 갖는 상기 TFT들의 게이트 전극들; 및

대응 게이트 전극들에 접속되고 상기 제1 다층 도전성 구조를 갖는 주사선들을 포함하고,

상기 제1 다층 도전성 구조는, 상기 구조의 상부에 위치하는 TiN 막, 상기 TiN 막 아래에 위치하는 Al계 막, 및 상기 Al계 막에 대하여 상위 위치와 하위 위치 중 적어도 한 쪽에 위치하는 적어도 하나의 Ti 막을 포함하고,

상기 제1 다층 도전성 구조의 TiN 막은 25 원자% 이상의 질소 농도를 갖는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 2.

제1항에 있어서,

상기 플레이트 상에 대응 화소 전극들에 대향하여 형성된 공통 전극들; 및

상기 플레이트 상에 대응 공통 전극들에 접속되도록 형성된 공통선들을 더 포함하고,

상기 공통 전극들 및 상기 공통선들은 제2 다층 도전성 구조를 갖고,

상기 제2 다층 도전성 구조는, 상기 구조의 상부에 위치하는 TiN 막, 상기 TiN 막 아래에 위치하는 Al계 막, 및 상기 Al계 막에 대하여 상위 위치와 하위 위치 중 적어도 한 쪽에 위치하는 적어도 하나의 Ti 막을 포함하고,

상기 제2 다층 도전성 구조의 TiN 막은 25 원자% 이상의 질소 농도를 갖는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 3.

제1항에 있어서, 상기 주사선들 각각은 그 단부에서 외부 회로와의 전기 접속을 위한 단자를 갖고,

상기 TiN 막은 상기 단자에서 상기 제1 다층 도전성 구조로부터 노출되는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 4.

제2항에 있어서, 상기 공통선들 각각은 그 단부에서 외부 회로와의 전기 접속을 위한 단자를 갖고,

상기 TiN 막은 상기 단자에서 상기 제2 다층 도전성 구조로부터 노출되는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 5.

제1항에 있어서, 상기 TFT들 각각은, 상기 게이트 전극을 피복하도록 형성된 게이트 절연막, 상기 게이트 절연막 상에 형성된 반도체 아일랜드, 상기 아일랜드 상에 형성된 소스 전극, 상기 드레인 전극과 상기 소스 전극과의 사이에 채널 갭을 형성하도록 상기 아일랜드 상에 형성된 드레인 전극을 포함하는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 6.

제1항에 있어서, 상기 제1 다층 도전성 구조는, 상부(top)에 위치하는 TiN 막, 중앙(middle)에 위치하는 Ti 막, 및 하부(bottom)에 위치하는 Al계 막으로 형성된 3층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 7.

제1항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙에 위치하는 Al계 막, 및 하부에 위치하는 Ti 막으로 형성된 3층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 8.

제1항에 있어서, 상기 제1 다층 도전성 구조는, 상부(top)에 위치하는 TiN 막, 중앙 상위(upper middle)에 위치하는 Ti 막, 중앙 하위(lower middle)에 위치하는 Al계 막, 및 하부(bottom)에 위치하는 Ti 막으로 형성된 4층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 9.

제2항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙에 위치하는 Ti 막, 및 하부에 위치하는 Al계 막으로 형성된 3층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 10.

제2항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙에 위치하는 Al계 막, 및 하부에 위치하는 Ti 막으로 형성된 3층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 11.

제2항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙 상위에 위치하는 Ti 막, 중앙 하위에 위치하는 Al계 막, 및 하부에 위치하는 Ti 막으로 형성된 4층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 12.

액티브 매트릭스 어드레싱 LCD 장치에 있어서,

투명 절연성 플레이트, 상기 플레이트 상에 배치된 TFT들, 및 상기 플레이트 상에 배치된 화소 전극들을 구비한 액티브 매트릭스 기판;

제1 다층 도전성 구조를 갖는 상기 TFT들의 소스 전극들;

상기 제1 다층 도전성 구조를 갖는 상기 TFT들의 드레인 전극들; 및

대응 소스 전극들에 접속되고 상기 제1 다층 도전성 구조를 갖는 신호선들을 포함하고,

상기 제1 다층 도전성 구조는, 상기 구조의 상부에 위치하는 TiN 막, 상기 TiN 막 아래에 위치하는 Al계 막, 및 상기 Al계 막에 대하여 상위 위치와 하위 위치 중 적어도 한 쪽에 위치하는 적어도 하나의 Ti 막을 포함하고,

상기 제1 다층 도전성 구조의 TiN 막은 25 원자% 이상의 질소 농도를 갖는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 13.

제12항에 있어서, 상기 화소 전극들은 상기 제1 다층 도전성 구조를 갖는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 14.

제12항에 있어서, 상기 신호선들 각각은 그 단부에서 외부 회로와의 전기 접속을 위한 단자를 갖고,

상기 TiN 막은 상기 단자에서 상기 제1 다층 도전성 구조로부터 노출되는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 15.

제12항에 있어서, 상기 TFT들 각각은, 상기 게이트 전극을 피복하도록 형성된 게이트 절연막, 상기 게이트 절연막 상에 형성된 반도체 아일랜드, 상기 아일랜드 상에 형성된 소스 전극, 상기 드레인 전극과 상기 소스 전극과의 사이에 채널 갭을 형성하도록 상기 아일랜드 상에 형성된 드레인 전극을 포함하는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 16.

제12항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙에 위치하는 Ti 막, 및 하부에 위치하는 Al계 막으로 형성된 3층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 17.

제12항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙에 위치하는 Al계 막, 및 하부에 위치하는 Ti 막으로 형성된 3층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 18.

제12항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙 상위에 위치하는 Ti 막, 중앙 하위에 위치하는 Al계 막, 및 하부에 위치하는 Ti 막으로 형성된 4층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 19.

제13항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙에 위치하는 Ti 막, 및 하부에 위치하는 Al계 막으로 형성된 3층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 20.

제13항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙에 위치하는 Al계 막, 및 하부에 위치하는 Ti 막으로 형성된 3층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 21.

제13항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙 상위에 위치하는 Ti 막, 중앙 하위에 위치하는 Al계 막, 및 하부에 위치하는 Ti 막으로 형성된 4층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 22.

액티브 매트릭스 어드레싱 LCD 장치에 있어서,

투명 절연성 플레이트, 상기 플레이트 상에 배치된 TFT들, 및 상기 플레이트 상에 배치된 화소 전극들을 구비한 액티브 매트릭스 기판;

제1 다층 도전성 구조를 갖는 상기 TFT들의 게이트 전극들; 및

대응 게이트 전극들에 접속되고 상기 제1 다층 도전성 구조를 갖는 주사선들을 포함하고,

상기 제1 다층 도전성 구조는, 상기 구조의 상부에 위치하는 TiN 막, 상기 TiN 막 아래에 위치하는 Al계 막, 및 상기 Al계 막에 대하여 상위 위치와 하위 위치 중 적어도 한 쪽에 위치하는 적어도 하나의 Ti 막을 포함하고,

상기 제1 다층 도전성 구조의 TiN 막은 25 원자% 이상의 질소 농도를 갖고,

상기 장치는,

제2 다층 도전성 구조를 갖는 상기 TFT들의 소스 전극들;

상기 제2 다층 도전성 구조를 갖는 상기 TFT들의 드레인 전극들; 및

대응 소스 전극들에 접속되고 상기 제2 다층 도전성 구조를 갖는 신호선들을 더 포함하고,

상기 제2 다층 도전성 구조는, 상기 구조의 상부에 위치하는 TiN 막, 상기 TiN 막 아래에 위치하는 Al계 막, 및 상기 Al계 막에 대하여 상위 위치 또는 상위 위치와 하위 위치 양쪽 모두에 위치하는 적어도 하나의 Ti 막을 포함하고,

상기 제2 다층 도전성 구조의 TiN 막은 25 원자% 이상의 질소 농도를 갖는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 23.

제22항에 있어서,

상기 플레이트 상에 대응 화소 전극들에 대향하여 형성된 공통 전극들; 및

상기 플레이트 상에 대응 공통 전극들에 접속되도록 형성된 공통선들을 더 포함하고,

상기 공통 전극들 및 상기 공통선들은 상기 제1 다층 도전성 구조를 갖는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 24.

제22항에 있어서, 상기 화소 전극들은 상기 제1 다층 도전성 구조를 갖는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 25.

제23항에 있어서, 상기 화소 전극들은 상기 제1 다층 도전성 구조를 갖는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 26.

제22항에 있어서, 상기 주사선들 각각은 그 단부에서 외부 회로와의 전기 접속을 위한 단자를 갖고,

상기 TiN 막은 상기 단자에서 상기 제1 다층 도전성 구조로부터 노출되는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 27.

제23항에 있어서, 상기 공통선들 각각은 그 단부에서 외부 회로와의 전기 접속을 위한 단자를 갖고,

상기 TiN 막은 상기 단자에서 상기 제2 다층 도전성 구조로부터 노출되는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 28.

제22항에 있어서, 상기 TFT들 각각은, 상기 게이트 전극을 피복하도록 형성된 게이트 절연막, 상기 게이트 절연막 상에 형성된 반도체 아일랜드, 상기 아일랜드 상에 형성된 소스 전극, 상기 드레인 전극과 상기 소스 전극과의 사이에 채널 갭을 형성하도록 상기 아일랜드 상에 형성된 드레인 전극을 포함하는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 29.

제22항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙에 위치하는 Ti 막, 및 하부에 위치하는 Al계 막으로 형성된 3층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 30.

제22항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙에 위치하는 Al계 막, 및 하부에 위치하는 Ti 막으로 형성된 3층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 31.

제22항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙 상위에 위치하는 Ti 막, 중앙 하위에 위치하는 Al계 막, 및 하부에 위치하는 Ti 막으로 형성된 4층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 32.

제23항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙에 위치하는 Ti 막, 및 하부에 위치하는 Al계 막으로 형성된 3층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 33.

제23항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙에 위치하는 Al계 막, 및 하부에 위치하는 Ti 막으로 형성된 3층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 34.

제23항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙 상위에 위치하는 Ti 막, 중앙 하위에 위치하는 Al계 막, 및 하부에 위치하는 Ti 막으로 형성된 4층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 35.

액티브 매트릭스 어드레싱 LCD 장치에 있어서,

투명 절연성 플레이트, 상기 플레이트 상에 배치된 TFT들, 및 상기 플레이트 상에 배치된 화소 전극들을 구비한 액티브 매트릭스 기판;

제1 다층 도전성 구조를 갖는 상기 TFT들의 게이트 전극들; 및

대응 게이트 전극들에 접속되고 상기 제1 다층 도전성 구조를 갖는 주사선들을 포함하고,

상기 제1 다층 도전성 구조는, 상기 구조의 상부에 위치하는 TiN 막, 상기 TiN 막 아래에 위치하는 Al계 막, 및 상기 Al계 막에 대하여 상위 위치와 하위 위치 중 적어도 한 쪽에 위치하는 적어도 하나의 Ti 막을 포함하고,

상기 제1 다층 도전성 구조의 TiN 막은 25 원자% 이상의 질소 농도를 갖고,

상기 장치는,

제2 다층 도전성 구조를 갖는 상기 TFT들의 소스 전극들;

상기 제2 다층 도전성 구조를 갖는 상기 TFT들의 드레인 전극들; 및

대응 소스 전극들에 접속되고 상기 제2 다층 도전성 구조를 갖는 신호선들을 더 포함하고,

상기 제2 다층 도전성 구조는, 상기 구조의 상부에 위치하는 TiN 막, 상기 TiN 막 아래에 위치하는 Al계 막, 및 상기 Al계 막에 대하여 상위 위치 또는 상위 위치와 하위 위치 양쪽 모두에 위치하는 적어도 하나의 Ti 막을 포함하고,

상기 제2 다층 도전성 구조의 TiN 막은 25 원자% 이상의 질소 농도를 갖는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 36.

제35항에 있어서,

상기 플레이트 상에 대응 화소 전극들에 대향하여 형성된 공통 전극들; 및

상기 플레이트 상에 대응 공통 전극들에 접속되도록 형성된 공통선들을 더 포함하고,

상기 공통 전극들 및 상기 공통선들은 상기 제1 다층 도전성 구조를 갖는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 37.

제35항에 있어서, 상기 화소 전극들은 상기 제2 다층 도전성 구조를 갖는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 38.

제35항에 있어서, 상기 주사선들 각각은 그 단부에서 외부 회로와의 전기 접속을 위한 단자를 갖고,

상기 TiN 막은 상기 단자에서 상기 제1 다층 도전성 구조로부터 노출되는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 39.

제35항에 있어서, 상기 신호선들 각각은 그 단부에서 외부 회로와의 전기 접속을 위한 단자를 갖고,

상기 TiN 막은 상기 단자에서 상기 제2 다층 도전성 구조로부터 노출되는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 40.

제36항에 있어서, 상기 공통선들 각각은 그 단부에서 외부 회로와의 전기 접속을 위한 단자를 갖고,

상기 TiN 막은 상기 단자에서 상기 제1 다층 도전성 구조로부터 노출되는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 41.

제35항에 있어서, 상기 TFT들 각각은, 상기 게이트 전극을 피복하도록 형성된 게이트 절연막, 상기 게이트 절연막 상에 형성된 반도체 아일랜드, 상기 아일랜드 상에 형성된 소스 전극, 상기 드레인 전극과 상기 소스 전극과의 사이에 채널 갭을 형성하도록 상기 아일랜드 상에 형성된 드레인 전극을 포함하는 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 42.

제35항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙에 위치하는 Ti 막, 및 하부에 위치하는 Al계 막으로 형성된 3층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 43.

제35항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙에 위치하는 Al계 막, 및 하부에 위치하는 Ti 막으로 형성된 3층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 44.

제35항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙 상위에 위치하는 Ti 막, 중앙 하위에 위치하는 Al계 막, 및 하부에 위치하는 Ti 막으로 형성된 4층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 45.

제35항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙에 위치하는 Ti 막, 및 하부에 위치하는 Al계 막으로 형성된 3층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 46.

제35항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙에 위치하는 Al계 막, 및 하부에 위치하는 Ti 막으로 형성된 3층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 47.

제35항에 있어서, 상기 제1 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙 상위에 위치하는 Ti 막, 중앙 하위에 위치하는 Al계 막, 및 하부에 위치하는 Ti 막으로 형성된 4층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 48.

제35항에 있어서, 상기 제2 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙에 위치하는 Ti 막, 및 하부에 위치하는 Al계 막으로 형성된 3층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 49.

제35항에 있어서, 상기 제2 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙에 위치하는 Al계 막, 및 하부에 위치하는 Ti 막으로 형성된 3층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 50.

제35항에 있어서, 상기 제2 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙 상위에 위치하는 Ti 막, 중앙 하위에 위치하는 Al계 막, 및 하부에 위치하는 Ti 막으로 형성된 4층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 51.

제35항에 있어서, 상기 제2 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙에 위치하는 Ti 막, 및 하부에 위치하는 Al계 막으로 형성된 3층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 52.

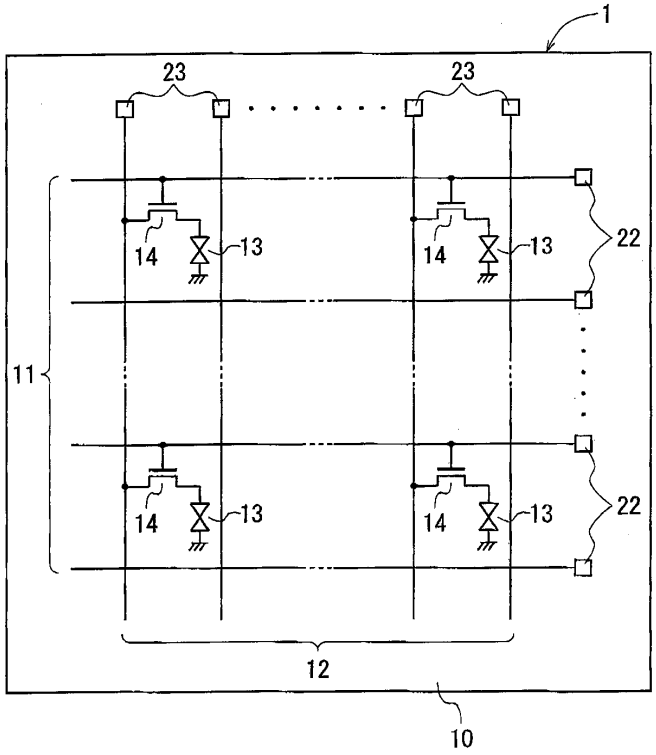
제35항에 있어서, 상기 제2 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙에 위치하는 Al계 막, 및 하부에 위치하는 Ti 막으로 형성된 3층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

청구항 53.

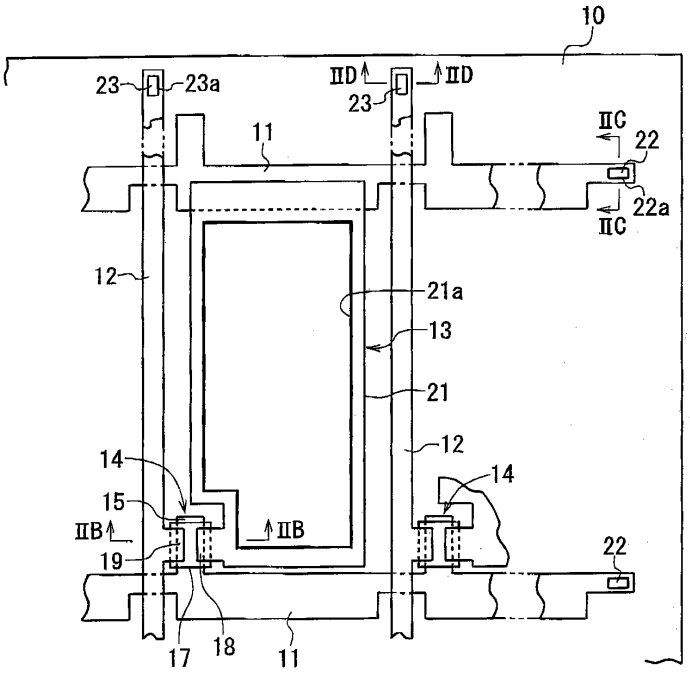
제35항에 있어서, 상기 제2 다층 도전성 구조는, 상부에 위치하는 TiN 막, 중앙 상위에 위치하는 Ti 막, 중앙 하위에 위치하는 Al계 막, 및 하부에 위치하는 Ti 막으로 형성된 4층 구조인 것을 특징으로 하는 액티브 매트릭스 어드레싱 LCD 장치.

도면

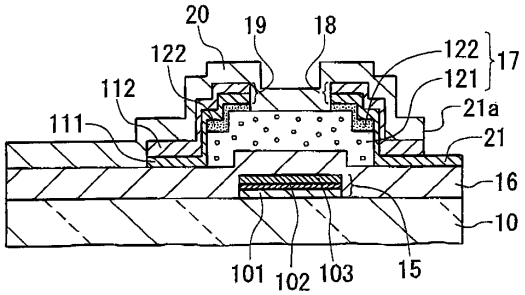
도면 1



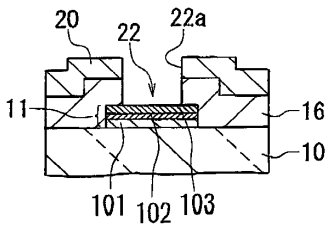
도면 2a



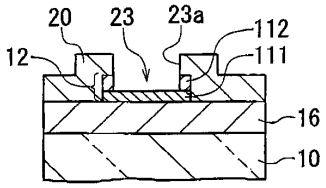
도면 2b



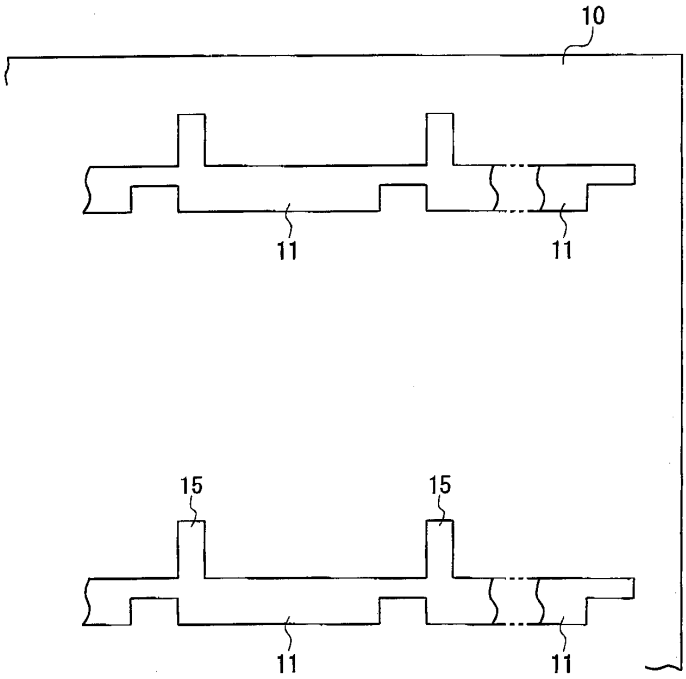
도면 2c



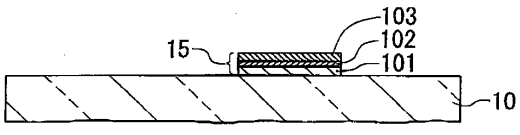
도면 2d



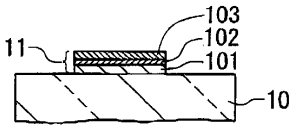
도면 3a



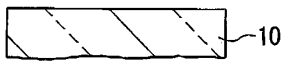
도면 3b



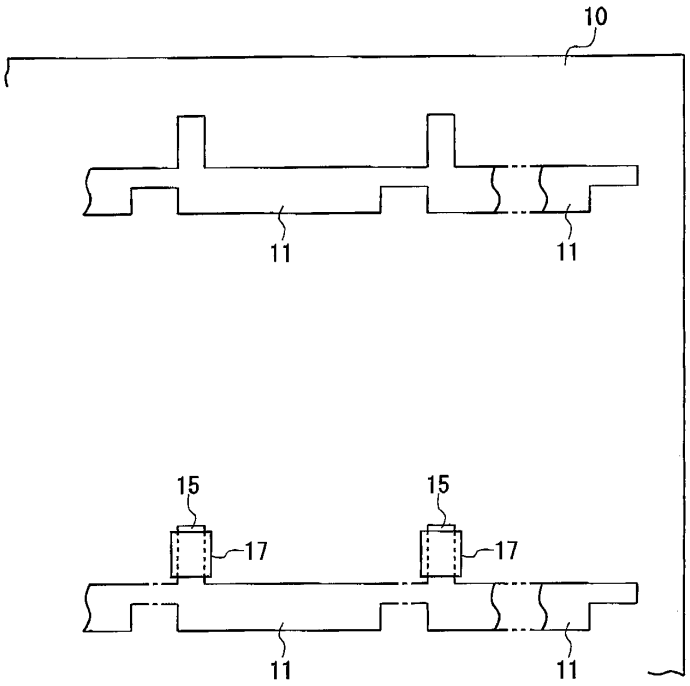
도면 3c



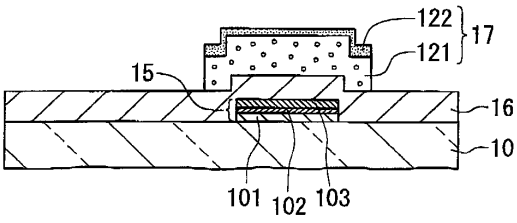
도면 3d



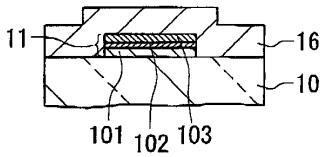
도면 4a



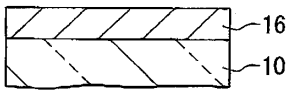
도면 4b



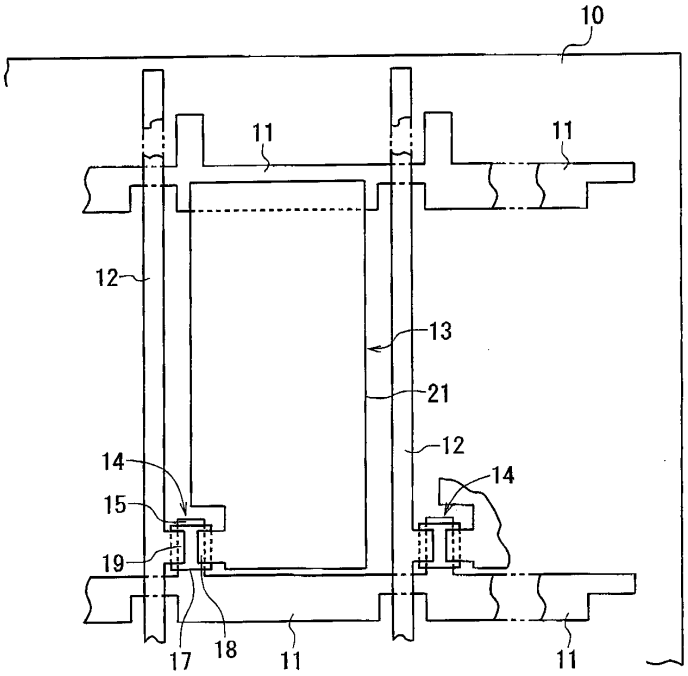
도면 4c



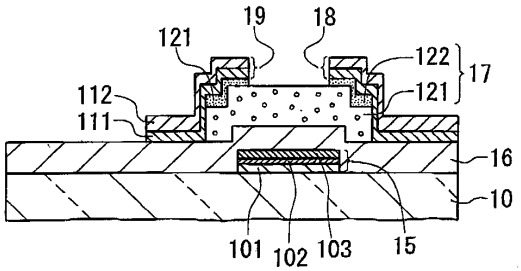
도면 4d



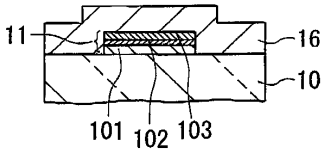
도면 5a



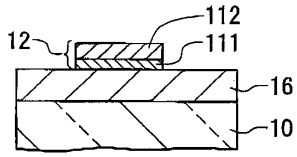
도면 5b



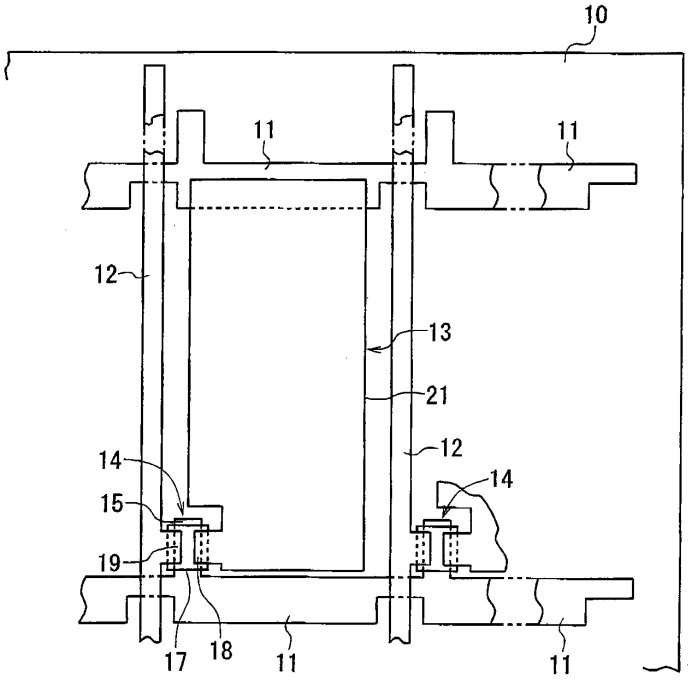
도면 5c



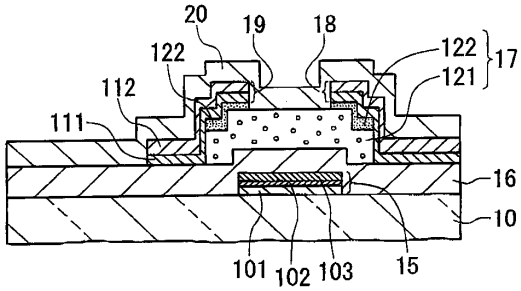
도면 5d



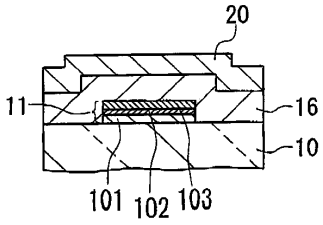
도면 6a



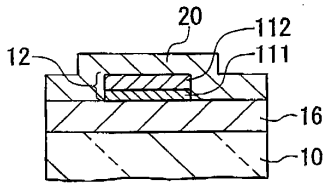
도면 6b



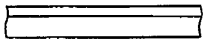
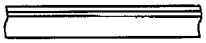
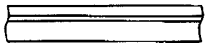
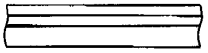
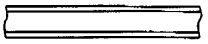
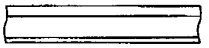
도면 6c



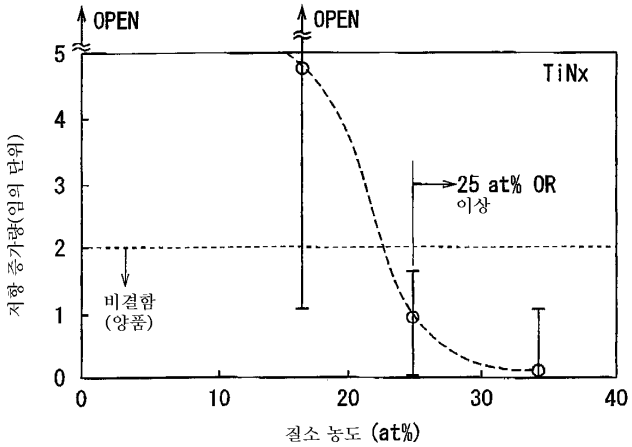
도면 6d



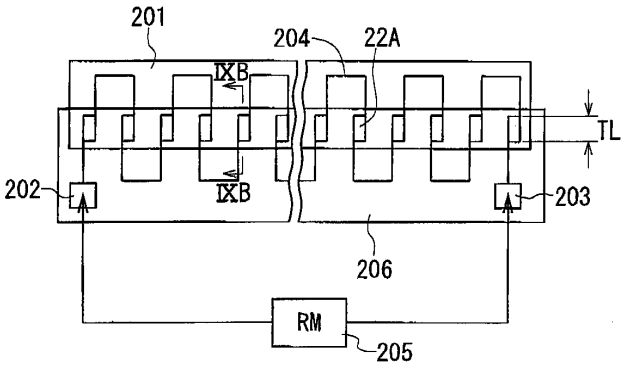
도면 7

No.	다층 구조 (두께 단위 : nm)	열처리	Al 힐록 수 (개 /㎟)
1	TiN(100)/Al(200) 		6410
2	TiN(50)/Ti(50)/Al(200) 		26
3	TiN(100)/Ti(50)/Al(200) 	N_2 분위기 300℃, 1Hr	~4
4	TiN(100)/Ti(100)/Al(200) 		~1
5	TiN(50)/Al(200)/Ti(30) 		0
6	TiN(100)/Al(200)/Ti(30) 		0

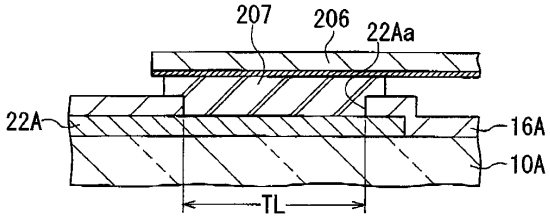
도면 8



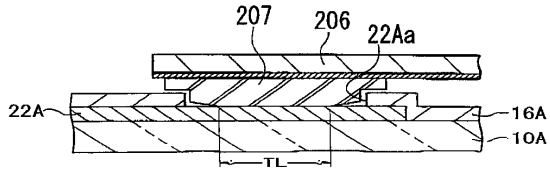
도면 9a



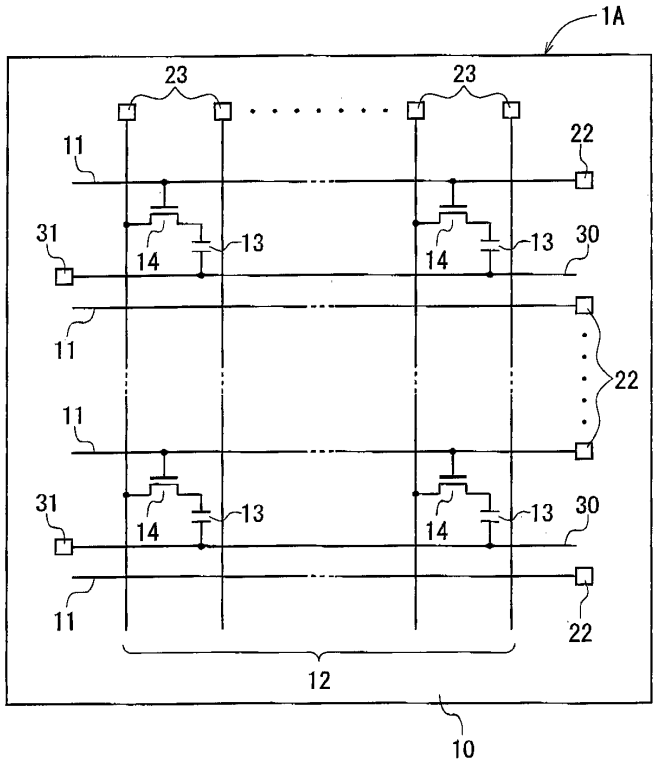
도면 9b



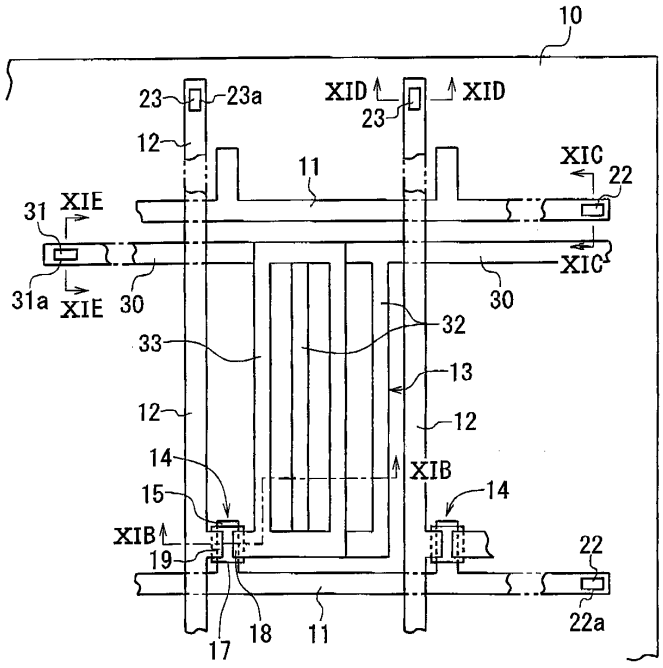
도면 9c



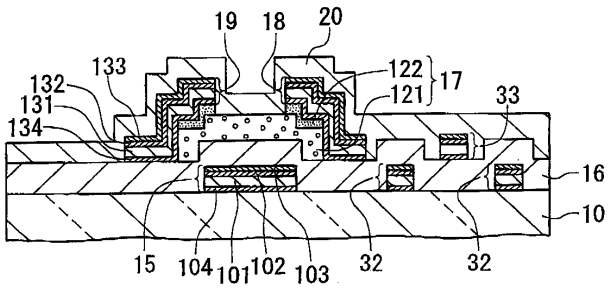
도면 10



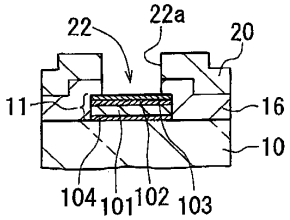
도면 11a



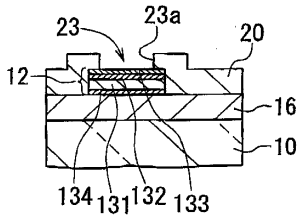
도면 11b



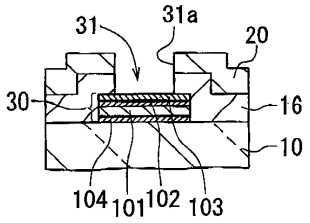
도면 11c



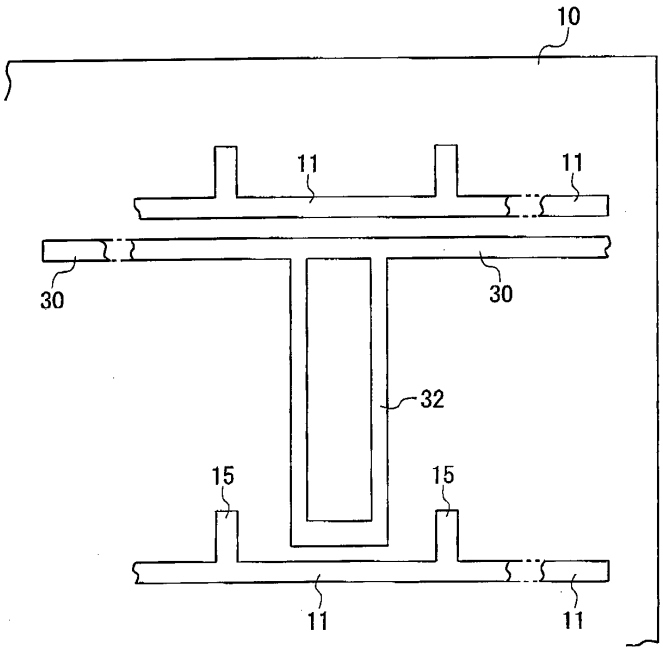
도면 11d



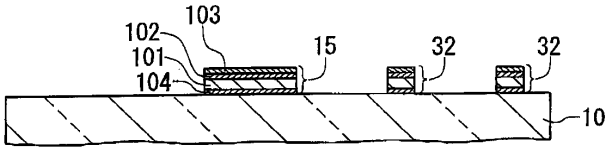
도면 11e



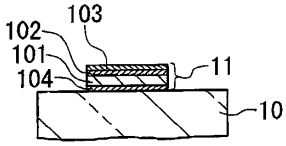
도면 12a



도면 12b

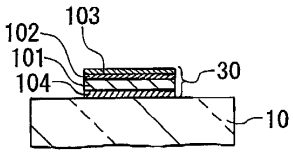


도면 12c

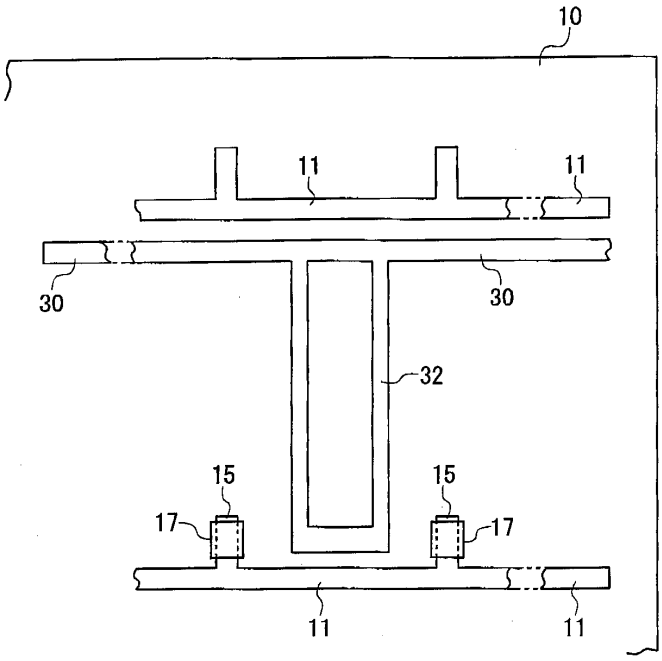


도면 12d

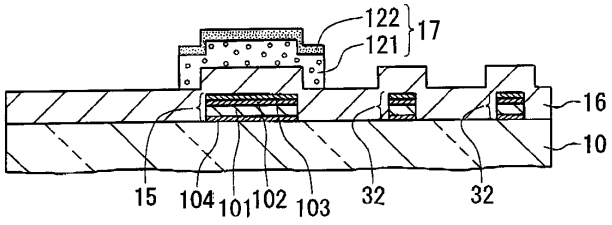
도면 12e



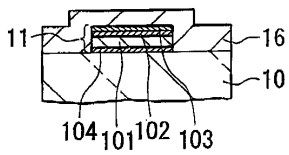
도면 13a



도면 13b

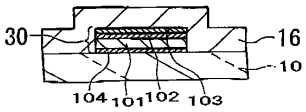


도면 13c

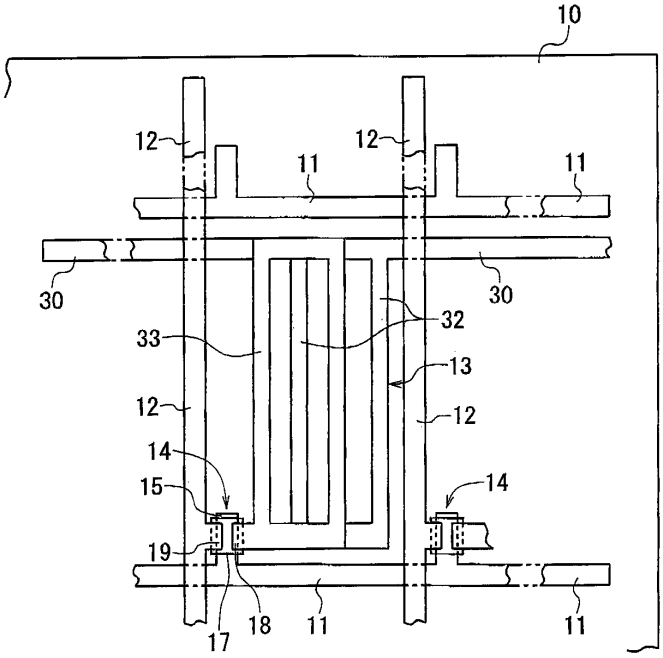


도면 13d

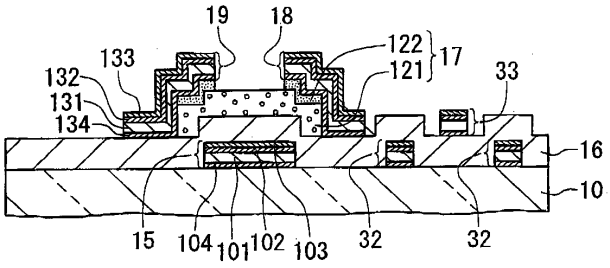
도면 13e



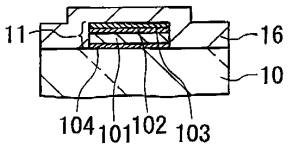
도면 14a



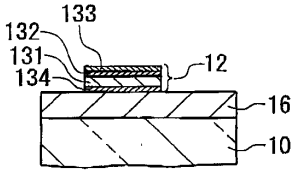
도면 14b



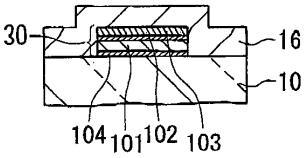
도면 14c



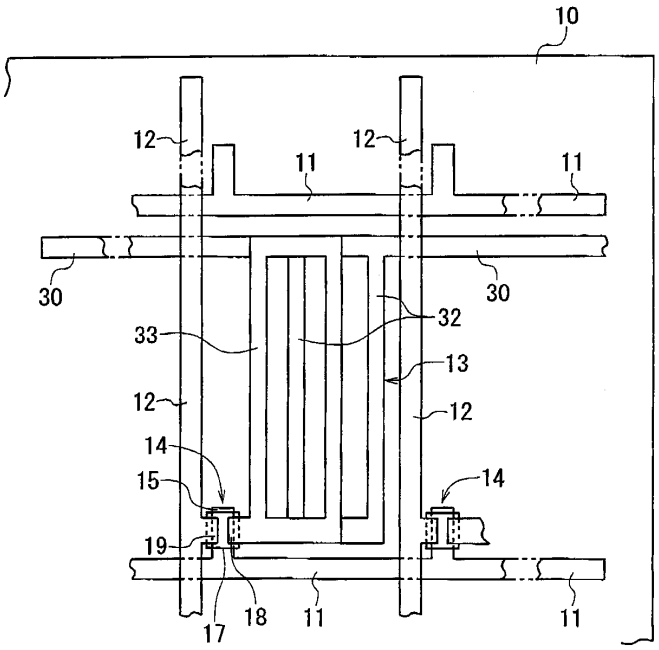
도면 14d



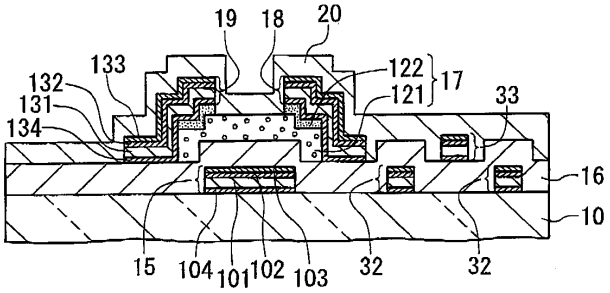
도면 14e



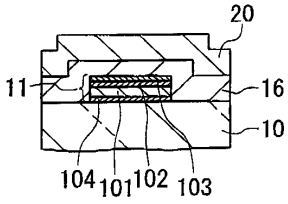
도면 15a



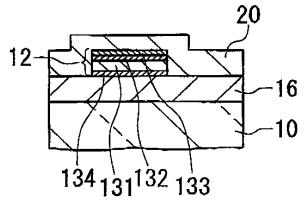
도면 15b



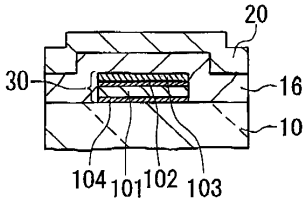
도면 15c



도면 15d



도면 15e



专利名称(译)	有源矩阵寻址液晶显示器		
公开(公告)号	KR1020020055436A	公开(公告)日	2002-07-08
申请号	KR1020010086808	申请日	2001-12-28
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	日元号技术可否让这个夏		
当前申请(专利权)人(译)	日元号技术可否让这个夏		
[标]发明人	TANAKA HIROAKI 다나까히로아끼 FUJITA AKIRA 후지따아끼라 KIMURA SHIGERU 기무라시게루 MAEDA AKITOSHI 마에다아끼또시 HAYASE TAKASUKE 하야세다까스께		
发明人	다나까히로아끼 후지따아끼라 기무라시게루 마에다아끼또시 하야세다까스께		
IPC分类号	G02F1/1345 G02F1/1368 G02F1/1362 H01L29/49 G02F1/136 H01L29/45		
CPC分类号	G02F1/136286 G02F1/13458 H01L29/458 H01L29/4908 G02F2001/136295 G02F2001/13629		
代理人(译)	CHANG, SOO KIL		
优先权	2000399870 2000-12-28 JP		
其他公开文献	KR100570577B1		
外部链接	Espacenet		

摘要(译)

目的：抑制Al小丘的出现并降低连接电阻，以提高连接部分的可靠性，而不会使形成在有源矩阵基板上的扫描和信号线的布线结构复杂化。组成：有源矩阵型液晶显示器件包括有源矩阵基板1，有源矩阵基板1具有透明绝缘基板10，薄膜晶体管14和像素部分13形成在透明绝缘基板10上。晶体管14的栅电极15和连接到电极15的扫描线11具有TiN / Ti / Al结构或TiN / Al / Ti结构或TiN / Ti / Al / Ti结构。由于Ti膜与Al膜接触，因此抑制了Al膜上Al小丘的产生。在顶层具有TiN层，抑制了扫描线端子部分22处的表面腐蚀，抑制了部分22处的连接电阻的增加并且提高了可靠性。