



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2013년12월31일

(11) 등록번호 10-1346958

(24) 등록일자 2013년12월24일

- (51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0060068

(22) 출원일자 2006년06월30일

심사청구일자 2011년06월27일

(65) 공개번호 10-2008-0001750

(43) 공개일자 2008년01월04일

(56) 선행기술조사문헌

JP06224221 A*

KR1020010046141 A*

KR1020030090266 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

정우남

경기도 안양시 만안구 박달로489번길 7, 2층 201호 (박달동)

(74) 대리인

서교준

전체 청구항 수 : 총 9 항

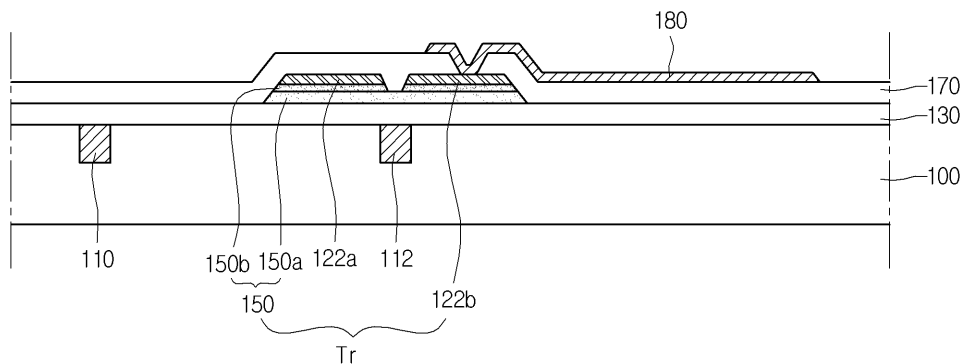
심사관 : 신창우

(54) 발명의 명칭 액정표시장치 및 이의 제조 방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 상기 액정표시장치는 요철(凹凸)부가 형성된 기판; 상기 요부에 형성된 게이트 배선; 상기 게이트 배선을 포함하는 기판 전면에 형성된 게이트 절연막; 상기 게이트 절연막 상에 상기 게이트 배선과 교차되도록 형성된 데이터 배선; 상기 게이트 배선과 상기 데이터 배선의 교차 영역에 형성된 박막트랜지스터; 상기 박막트랜지스터와 전기적으로 연결된 화소전극을 포함함으로써, 상기 기판상에 차지하는 게이트 배선의 면적을 종래에 비해 유지하거나 감소시키며, 상기 게이트 배선의 표면적을 증가시킴으로써, 고개구율의 액정표시장치를 제공할 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

다수개의 요부와 철부를 포함하는 요철(凹凸)부가 형성된 기관;
상기 요철부에 형성된 게이트 배선;
상기 게이트 배선을 포함하는 기관 전면에 형성된 게이트 절연막;
상기 게이트 절연막 상에 상기 게이트 배선과 교차되도록 형성된 데이터 배선;
상기 게이트 배선과 상기 데이터 배선의 교차 영역에 형성된 박막트랜지스터; 및
상기 박막트랜지스터와 전기적으로 연결된 화소전극;을 포함하고,
상기 게이트 배선은 상기 요철부의 단차를 따라 주름진 형태로 형성된 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,
상기 요부는 0.5 내지 5 μm 의 깊이를 가지는 것을 특징으로 하는 액정표시장치.

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

제 1 항에 있어서,
상기 게이트 배선은 금속, 전도성 고분자, 도전성 페이스트(paste) 중 적어도 어느 하나로 형성된 것을 특징으로 하는 액정표시장치.

청구항 9

제 1 항에 있어서,
상기 게이트 절연막은 무기막, 유기막 또는 이들의 적층막 중 어느 하나로 형성된 것을 특징으로 하는 액정표시장치.

청구항 10

기관에 다수개의 요부와 철부를 포함하는 요철(凹凸)부를 형성하는 단계;

상기 요철부에 게이트 배선 및 게이트 전극을 형성하는 단계;

상기 게이트 배선을 포함하는 기관 전면에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 반도체층, 소스 전극, 드레인 전극 및 데이터 배선을 형성하는 단계;

상기 드레인 전극과 전기적으로 연결된 화소전극을 형성하는 단계를 포함하고,

상기 게이트 배선 및 게이트 전극은 상기 요철부의 단차를 따라 주름진 형태로 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 요부는 0.5 내지 5 μm 의 깊이로 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 12

제 10 항에 있어서,

상기 요철부와 상기 게이트 배선은 동일한 마스크를 이용하여 형성되는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 13

제 10 항에 있어서,

상기 요철부는 네가티브 감광성막을 이용하여 형성하고, 상기 게이트 배선은 포지티브 감광성막을 이용하여 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 14

제 10 항에 있어서,

상기 요철부는 포지티브 감광성막을 이용하여 형성하고, 상기 게이트 배선은 네가티브 감광성막을 이용하여 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0012] 본 발명은 액정표시장치에 관한 것으로서, 더욱 구체적으로 고개울을 가지는 액정표시장치 및 이의 제조 방법에 관한 것이다.
- [0013] 평판표시장치 중 액정 표시 장치는 고휘도, 고콘트라스트, 저소비전력성 등이 우수한 특성을 가지므로 데스크 탑 컴퓨터 모니터, 노트북 컴퓨터 모니터, TV 수상기, 차량 탑재용 TV 수상기, 네비게이션 등 광범위한 분야에 활용되고 있다.
- [0014] 최근, 상기 액정표시장치는 대면적화 및 고품질화되어가는 추세이다. 이때, 상기 액정표시장치가 대면적화되면서 신호 지연 등의 문제가 발생하기 때문에, 상기 액정표시장치에 구비되는 배선의 폭 또는 배선의 두께를 증가시켜 이를 해결하고자 하였다.
- [0015] 그러나, 상기 배선의 폭을 증가시키면, 상기 액정표시장치의 개구율이 저하되고, 이와 달리 상기 배선의 두께를 증가시키면, 상기 배선에 의한 단차가 발생하여, 배향 특성이 저하됨에 따라, 화질 특성이 저하된다.

발명이 이루고자 하는 기술적 과제

- [0016] 본 발명은 고개울을 가지며, 화질 특성이 우수한 액정표시장치 및 이의 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- [0017] 상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 액정표시장치를 제공한다. 상기 액정표시장치는 요철(凹凸)부가 형성된 기판; 상기 요부에 형성된 게이트 배선; 상기 게이트 배선을 포함하는 기판 전면에 형성된 게이트 절연막; 상기 게이트 절연막 상에 상기 게이트 배선과 교차되도록 형성된 데이터 배선; 상기 게이트 배선과 상기 데이터 배선의 교차 영역에 형성된 박막트랜지스터; 상기 박막트랜지스터와 전기적으로 연결된 화소 전극을 포함한다.
- [0018] 상기 기술적 과제를 이루기 위하여 본 발명의 다른 일 측면은 액정표시장치의 제조 방법을 제공한다. 상기 제조 방법은 기판에 요철(凹凸)부를 형성하는 단계; 상기 요부에 게이트 배선 및 게이트 전극을 형성하는 단계; 상기 게이트 배선을 포함하는 기판 전면에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 반도체층, 소스/드레인 전극 및 데이터 배선을 형성하는 단계; 상기 박막트랜지스터와 전기적으로 연결된 화소전극을 형성하는 단계를 포함한다.
- [0019] 이하, 본 발명에 의한 액정표시장치의 도면을 참고하여 본 발명의 실시예를 더욱 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0020] 도 1 및 도 2는 본 발명의 제 1 실시예에 따른 액정표시장치를 설명하기 위해 도시한 도면들이다. 상기 도 1은 상기 액정표시장치의 한 화소에 대한 평면도이고, 상기 도 2는 상기 도 1을 I-I'로 취한 단면도이다.
- [0021] 도 1 및 도 2를 참조하면, 요철(凹凸)부가 형성된 기판(100)이 위치한다. 상기 기판(100)상에 다수의 게이트 배선(110)과 데이터 배선(120)이 서로 교차되어 형성되어 있다. 상기 게이트 배선(110)은 상기 기판(100)에 형성된 요(凹)부에 채워지도록 형성된다. 여기서, 상기 액정표시장치가 대형화될 경우, 상기 게이트 배선(110)의 폭을 증가시키지 않고, 상기 게이트 배선(110)의 두께를 두껍게 형성함으로써, 상기 게이트 배선(110)을 통한 신호 지연이 발생하는 것을 방지할 뿐만 아니라, 개구율이 저하되는 것을 방지할 수 있다. 상기 게이트 배선(100)은 상기 요부에 채워지도록 형성함에 따라, 상기 게이트 배선(110)의 두께를 두껍게 형성하더라도 단차가 발생하지 않는다. 이때, 상기 요(凹)부는 0.5 내지 5 μm 의 깊이를 가지도록 형성한다. 이는 상기 요부의 깊이를 0.5 μm 미만으로 형성하면, 상기 게이트 배선(110)의 두께가 작아지게 되어, 상기 게이트 배선(110)의 폭이 증가하게 되므로, 개구율이 저하된다. 반면, 상기 요부의 깊이가 5 μm 를 초과하게 되면, 상기 액정표시장치를 측면에서

바라볼 때 상기 기관(100)의 측부로 상기 게이트 배선(110)이 보이게 되어, 측부에서의 화질이 저하될 수 있다.

- [0022] 상기 게이트 배선(110)은 금속, 전도성 고분자, 도전성 페이스트(paste) 중 적어도 어느 하나로 형성할 수 있다. 이를테면, 상기 금속은 Pt, Au, Ir, Cr, Mg, Ag, Ni, Al, Ti, Nd, Cu 및 Mo로 이루어진 군에서 선택된 적어도 어느 하나일 수 있다. 상기 전도성 고분자는 폴리티오펜, 폴리아닐린, 폴리아세틸렌 중 어느 하나일 수 있다. 상기 도전성 페이스트는 폴리머에 Ag, Cu, Al, Ni 중 어느 하나가 함유되어 형성될 수 있다.
- [0023] 상기 게이트 배선(110)과 상기 데이터 배선(120)사이에서 게이트 절연막(130)이 형성되어 있다.
- [0024] 상기 게이트 절연막(130)은 무기막, 유기막 또는 이들의 적층막일 수 있다. 이를테면, 상기 무기막은 산화실리콘막, 질화실리콘막 또는 이들의 적층막일 수 있다. 또, 상기 유기막은 벤조사이클로부텐, 폴리이미드, 폴리에틸렌, 폴리메틸메타크릴레이트, 폴리에틸렌, 폴리프로필렌, 폴리아크릴로니트릴 및 파릴렌으로 이루어진 군에서 선택된 적어도 어느 하나로 형성될 수 있다.
- [0025] 상기 게이트 배선(110)과 상기 데이터 배선(120)의 교차영역에 박막트랜지스터(Tr)가 형성되어 있다.
- [0026] 상기 박막트랜지스터(Tr)는 상기 게이트 배선(110)에서 분기되어 형성된 게이트 전극(112), 상기 게이트 전극(112)상에 형성된 상기 게이트 절연막(130), 상기 게이트 전극(112)에 대응된 상기 게이트 절연막(130)상에 위치하는 반도체층(150), 상기 반도체층(150)의 양 단부에 각각 위치하는 소스/드레인 전극(122a, 122b)를 포함한다. 여기서, 상기 게이트 전극(112)은 상기 게이트 배선(112)이 분기되어 형성되는 바, 상기 요부에 형성할 수 있다. 또, 상기 반도체층(150)은 비정질 실리콘으로 이루어진 활성층(150a)과, 불순물이 도핑되어 있는 비정질 실리콘으로 이루어진 오믹콘택층(150b)으로 이루어질 수 있다.
- [0027] 상기 박막트랜지스터(Tr)를 포함하는 게이트 절연막(130)상에 보호막(170)이 더 형성되어 있다. 상기 보호막(170)은 무기막, 유기막 또는 이들의 적층막으로 형성할 수 있다. 이를테면, 상기 무기막은 질화실리콘막, 산화실리콘막 또는 이들의 적층막일 수 있다. 또, 상기 유기막은 벤조사이클로부텐, 폴리아크릴계수지, 폴리이미드계 수지로 이루어진 군에서 선택된 어느 하나로 형성할 수 있다.
- [0028] 상기 보호막(170)상에 상기 박막트랜지스터(Tr)와 전기적으로 연결된 화소전극(180)이 형성되어 있다. 상기 화소전극(180)은 투명전극으로, ITO 또는 IZO 중 어느 하나로 형성할 수 있다.
- [0029] 도면에는 도시되지 않았으나, 상기 액정표시장치는 상기 박막트랜지스터(Tr)가 형성된 기관과 일정 간격을 가지며 배치된 상부기관을 더 포함할 수 있다.
- [0030] 상기 상부기관의 일면에는 컬러필터 패턴, 블랙매트릭스 패턴이 형성되어 있으며, 상기 컬러필터상에 공통전극이 더 형성되어 있을 수 있다.
- [0031] 이로써, 상기 액정표시장치가 대면적화될 경우, 신호지연이 발생하는 것을 방지하기 위해, 상기 기관에 요부를 형성하고 상기 요부에 배선을 매몰되도록 형성하여, 상기 배선을 두껍게 형성할 수 있으므로, 개구율이 저하되는 것을 방지할 수 있다. 또한, 상기 게이트 배선에 의한 단차가 감소되므로, 배향 특성이 저하되는 것을 방지할 수 있다.
- [0032] 도 3a 내지 도 3c는 본 발명의 제 1 실시예에 따른 액정표시장치의 제조 방법을 도시한 공정도들이다.
- [0033] 도 3a를 참조하면, 기관(100)을 제공한다. 상기 기관(100)상에 제 1 감광성막 패턴(105)을 형성한다. 여기서, 상기 제 1 감광성막 패턴(105)은 상기 기관(100)상에 감광성 수지를 도포한 뒤, 마스크(M1)를 이용하여 노광 및 현상 공정을 거쳐 형성할 수 있다. 이때, 상기 제 1 감광성막 패턴(105)은 상기 마스크(M1)의 차단영역에 대응된 영역의 감광성막이 제거되어 형성되는 네가티브 감광성 수지로 형성될 수 있다. 또는, 도면과 달리 상기 마스크(M1)의 투과영역에 대응된 영역의 감광성막이 제거되어 형성되는 포지티브 감광성 수지로 형성될 수 있다. 이때, 상기 제 1 감광성막 패턴(105)을 형성하기 위해, 상기 마스크(M1)의 투과영역과 차단영역은 서로 반대로 설계되어 있는 마스크를 사용하게 된다.
- [0034] 상기 제 1 감광성막 패턴(105)에 따라, 상기 기관(100)을 식각하고, 상기 제 1 감광성막 패턴(105)을 제거하여, 상기 기관(100)에 요부를 형성한다.
- [0035] 이때, 상기 요부의 깊이는 0.5 내지 5 μm 의 깊이를 가지도록 형성한다. 이는 상술한 바와 같이, 상기 요부의 깊이에 따라 게이트 배선의 두께 및 너비가 결정되기 때문에, 이를 고려한 것이다. 즉, 상기 요부의 깊이에 따라,

개구율 및 측면에서의 화질 특성을 고려하여, 상기 요부의 깊이는 0.5 내지 5 μm 의 깊이를 가지도록 형성한다.

- [0036] 도 3b를 참조하면, 상기 요부가 형성된 상기 기판(100) 전면에 제 1 도전막(205)을 형성한 뒤, 상기 제 1 도전막(115)상에 제 2 감광성막 패턴(125)을 형성한다.
- [0037] 상기 제 1 도전막(115)은 금속, 전도성 고분자, 도전성 페이스트(paste) 중 적어도 어느 하나로 형성할 수 있다.
- [0038] 상기 제 1 도전막(115)이 금속일 경우에는 스퍼터링법 또는 진공증착법을 통해, 상기 요부에 채워지도록 증착한다. 또, 상기 제 1 도전막(115)이 전도성 고분자 또는 도전성 페이스트일 경우에는 딥 코팅법, 스프레이법, 바 코팅법, 스크린 프린팅법, 닥터 블레이드법 등을 통하여, 상기 요부에 채워지도록 도포한다. 이때, 상기 금속은 Pt, Au, Ir, Cr, Mg, Ag, Ni, Al, Ti, Nd, Cu 및 Mo로 이루어진 군에서 선택된 적어도 어느 하나일 수 있다. 상기 전도성 고분자는 폴리티오펜, 폴리아닐린, 폴리아세틸렌 중 어느 하나일 수 있다. 상기 도전성 페이스트는 폴리머에 Ag, Cu, Al, Ni 중 어느 하나가 함유되어 형성될 수 있다.
- [0039] 상기 제 2 감광성막 패턴(125)은 상기 제 1 감광성막 패턴(도 3a에서 105)과 반대의 특성을 가지는 물질로 형성할 수 있다. 즉, 상기 제 1 감광성막 패턴(105)이 네가티브 감광성 수지로 형성될 경우, 상기 제 2 감광성막 패턴(125)은 포지티브 감광성 수지로 형성할 수 있다. 이와 달리, 상기 제 1 감광성막 패턴(105)이 포지티브 감광성 수지로 형성될 경우, 상기 제 2 감광성막 패턴(125)은 네가티브 감광성 수지로 형성할 수 있다. 이는, 상기 제 1 감광성막 패턴(105)과 상기 제 2 감광성막 패턴(125)은 서로 반대의 영역이 제거되도록 형성되기 때문에, 상기 제 1 감광성막 패턴(105)과 상기 제 2 감광성막 패턴(125)을 서로 반대의 특성을 가지는 물질로 형성함으로써, 동일한 마스크를 통하여 형성할 수 있기 때문이다. 즉, 상기 기판에 형성되는 요부와 후술할 게이트 배선을 동일한 마스크를 이용하여 형성할 수 있다.
- [0040] 상기 제 2 감광성막 패턴(125)에 따라, 상기 제 1 도전막(115)을 식각한 뒤, 상기 제 2 감광성막 패턴(125)을 제거하여, 도 3c에서와 같이 상기 요부에 위치하는 게이트 배선(110)과, 게이트 전극(112)을 형성한다.
- [0041] 상기 게이트 배선(110)과 상기 게이트 전극(112)을 포함하는 기판(100)전면에 게이트 절연막(130)을 형성한다. 상기 게이트 절연막(130)은 무기막, 유기막 또는 이들의 적층막일 수 있다. 이를테면, 상기 무기막은 산화실리콘막, 질화실리콘막 또는 이들의 적층막일 수 있다. 이때, 상기 게이트 절연막(130)은 화학기상증착법 또는 스퍼터링법을 통해 형성할 수 있다. 또, 상기 유기막은 벤조사이클로부텐, 폴리이미드, 폴리에틸렌, 폴리메틸메타크릴레이트, 폴리에틸렌, 폴리프로플렌, 폴리아크릴로니트릴 및 파릴렌으로 이루어진 군에서 선택된 적어도 어느 하나로 형성될 수 있다. 이때, 상기 게이트 절연막(130)은 스프레이 코팅법, 바 코팅법, 닥터 블레이드 법, 딥 코팅법, 롤 프린팅법, 스크린 인쇄법으로 이루어진 군에서 선택된 어느 하나의 방식을 통해 형성할 수 있다.
- [0042] 상기 게이트 절연막(130)상에 상기 게이트 배선(110)과 교차되는 데이터 배선(120)과, 상기 게이트 배선(110)과 상기 데이터 배선(120)의 교차영역에 위치하는 박막트랜지스터(Tr)를 형성한다. 여기서, 상기 박막트랜지스터(Tr)의 게이트 전극(112)은 상기 게이트 배선(110)을 형성할 때, 동시에 형성한다. 상기 박막트랜지스터(Tr)의 반도체층(150)은 비정질 실리콘으로 이루어진 활성층(150a)과, 불순물이 도핑되어 있는 비정질 실리콘으로 이루어진 오믹콘택층(150b)을 순차적으로 형성한다. 상기 박막트랜지스터(Tr)의 소스/드레인 전극(122a, 122b)은 상기 데이터 배선(120)을 형성할 때 동시에 형성한다. 더 나아가, 공정을 단순하게 하기 위해, 상기 반도체층(150)과 상기 소스/드레인 전극(122a, 122b)은 동일한 마스크를 이용하여 형성할 수 있다. 즉, 상기 게이트 절연막(130) 상에 비정질 실리콘, 불순물이 함유된 비정질 실리콘, 도전물질을 순차적으로 적층한 뒤, 마스크를 이용한 노광 및 현상 공정을 거쳐 형성된 감광성막 패턴에 따라, 순차적으로 식각하여 상기 반도체층(150)과 상기 소스/드레인 전극(122a, 122b)을 형성할 수 있다.
- [0043] 상기 박막트랜지스터(Tr)를 포함하는 상기 게이트 절연막(130)상에 보호막(170)을 형성한 뒤, 상기 보호막(170)에 상기 박막트랜지스터(Tr)의 일부를 노출하는 콘택홀을 형성한다.
- [0044] 상기 보호막(170)상에 상기 콘택홀을 통해 노출된 상기 박막트랜지스터와 전기적으로 연결된 화소전극(180)을 형성한다. 상기 화소전극(180)은 투명전극으로, ITO 또는 IZO를 스퍼터링법을 통해 형성할 수 있다.
- [0045] 이후, 도면에는 도시하지 않았으나, 상기 기판(100) 상으로 컬러필터가 형성된 상부기판을 합착하는 공정과, 액정층을 형성하는 공정을 더 수행하여 액정표시장치를 제조할 수 있다.
- [0046] 도 4는 본 발명의 제 2 실시예에 따른 액정표시장치를 도시한 단면도이다. 여기서, 게이트 배선 및 게이트 전극

을 기관에 형성된 요철부의 단차에 따라 형성된 것을 제외하고, 상술한 제 1 실시예에 따른 액정표시장치와 그의 제조 방법이 동일한 바, 반복되는 설명은 생략하여 기술한다.

- [0047] 도 4를 참조하면, 요철부가 형성된 기관(200)이 위치한다.
- [0048] 상기 기관(200)상에 게이트 배선(210)과 데이터 배선(220)이 서로 교차되어 형성되어 있다.
- [0049] 상기 게이트 배선(210)의 상기 요철부의 단차에 따라 형성하여, 상기 게이트 배선(210)의 표면적을 증가시킬 수 있다. 이로써, 상기 액정표시장치가 대면적화되어도, 상기 게이트 배선(210)의 너비 또는 두께를 증가시키지 않고, 신호 지연이 발생하는 것을 방지할 수 있어, 개구율이 저하되는 것을 방지할 수 있다.
- [0050] 이때, 상기 요부의 깊이는 0.5 내지 5 μm 의 깊이를 가지도록 형성한다. 이는 상기 요부의 깊이를 0.5 μm 미만으로 형성하면, 상기 게이트 배선(210)의 두께가 작아지게 되어, 상기 게이트 배선(210)의 폭이 증가하게 되므로, 개구율이 저하된다. 반면, 상기 요부의 깊이가 5 μm 를 초과하게 되면, 상기 액정표시장치를 측면에서 바라볼 때 상기 기관(200)의 측부로 상기 게이트 배선(210)이 보이게 되어, 측부에서의 화질이 저하될 수 있다. 여기서, 상기 게이트 배선(210)은 Pt, Au, Ir, Cr, Mg, Ag, Ni, Al, Ti, Nd, Cu 및 Mo로 이루어진 군에서 선택된 적어도 어느 하나로 형성될 수 있다. 이때, 상기 게이트 배선(210)은 상기 요철부의 단차에 따라 형성하기 위해, 스퍼터링법을 통해 형성할 수 있다.
- [0051] 상기 게이트 배선(210)과 상기 데이터 배선(220)사이에는 게이트 절연막(230)이 개재되어 있다. 여기서, 상기 게이트 절연막(230)은 무기막, 유기막 또는 이들의 적층막으로 형성할 수 있다. 이때, 상기 기관(200)에 형성된 요철부에 의해 형성된 단차는 상기 게이트 절연막(230)을 유기막 또는 유무기 적층막으로 형성함으로써 극복될 수 있다.
- [0052] 상기 게이트 배선(210)과 상기 데이터 배선(220)의 교차영역에 박막트랜지스터(Tr)가 형성되어 있으며, 상기 박막트랜지스터의 게이트 전극(212)은 상기 게이트 배선(210)이 분기되어 형성된다. 즉, 상기 게이트 전극(212)은 상기 기관(200)에 형성된 요철부의 단차에 따라 형성할 수 있다. 또는, 상기 게이트 전극(212)은 상기 요철부가 형성되지 않은 영역에 형성될 수도 있다.
- [0053] 상기 박막트랜지스터(Tr)를 포함하는 기관 전면에는 보호막(270)이 형성되어 있으며, 상기 보호막(270)상에 상기 박막트랜지스터(Tr)와 전기적으로 연결된 화소전극(280)이 형성되어 있다.
- [0054] 이때, 도면에는 도시하지 않았으나, 상기 게이트 절연막(230)에 요철부를 형성하고, 상기 요철부를 따라 데이터 배선(220)을 형성할 수도 있다.
- [0055] 상기 기관(200) 또는 상기 게이트 절연막(230)에 요철부를 형성한 뒤, 상기 요철부의 단차에 따라 배선을 형성하여 상기 배선의 표면적을 증가시킬 수 있다. 이로써, 대면적의 액정표시장치를 제조할 경우, 신호지연이 발생하는 것을 방지하기 위해 상기 배선의 두께 또는 상기 기관의 위치하는 면적을 증가시키지 않아도 됨으로, 개구율이 저하되거나, 상기 배선에 의한 단차가 증가하여 배향특성이 저하되는 것을 방지할 수 있다.
- [0056] 도 5는 본 발명의 제 3 실시예에 따른 액정표시장치를 도시한 단면도이다. 여기서, 기관에 다수개의 요철부를 형성하고, 게이트 배선 및 게이트 전극을 상기 다수개의 요철부의 단차에 따라 형성된 것을 제외하고, 상술한 제 2 실시예에 따른 액정표시장치 및 그의 제조방법이 동일한 바, 반복되는 설명은 생략하여 기술한다.
- [0057] 도 5를 참조하면, 다수개의 요철이 형성된 요철부를 구비하는 기관(300)이 위치한다. 상기 요철부는 후술할 게이트 배선이 형성될 영역과, 상기 게이트 배선에서 분기된 게이트 전극이 형성될 영역에 형성된다. 이때, 상기 요부의 깊이는 0.5 내지 5 μm 의 깊이를 가지도록 형성한다. 이는 상술한 바와 같이, 상기 액정표시장치의 개구율과 측면에서의 화질특성을 고려한 것이다.
- [0058] 상기 요철의 단차를 따라 위치하는 게이트 배선(310)과 상기 게이트 배선(310)이 분기된 게이트 전극(312)이 형성되어 있다. 상기 게이트 배선(310)은 Pt, Au, Ir, Cr, Mg, Ag, Ni, Al, Ti, Nd, Cu 및 Mo로 이루어진 군에서 선택된 적어도 어느 하나로 형성될 수 있다. 이때, 상기 게이트 배선(310)은 스퍼터링법을 통해 형성할 수 있다.
- [0059] 다수개로 형성된 상기 요철의 단차를 따라 상기 게이트 배선(310)이 형성됨에 따라, 상기 게이트 배선(310)이 주름진 형태로 형성되어, 상기 기관(300)에서 차지하는 영역에 비해 넓은 표면적을 가지게 된다. 이로써, 액정표시장치가 대면적화될 경우, 신호 지연이 발생하는 것을 방지하기 위해 상기 게이트 배선(310)의 너비 또는 두

계를 증가시키지 않아도 된다.

- [0060] 또, 본 발명의 실시예에서, 상기 게이트 전극(312)을 기판(300)에 형성하였으나, 이에 한정하지 않고 상기 게이트 전극(312)은 요철부가 형성되지 않은 영역에 형성할 수도 있다.
- [0061] 이후, 상기 게이트 배선(310)을 포함하는 기판(300)전면에 게이트 절연막(330)을 형성한다. 여기서, 상기 게이트 절연막(330)은 상술한 바와 같이, 무기막, 유기막 또는 이들의 적층막 중 어느 하나로 형성할 수 있으며, 상기 기판(300)에 형성된 요철부에 의해 형성된 단차는 상기 게이트 절연막(330)을 유기막 또는 유무기 적층막으로 형성함으로써 극복될 수 있다.
- [0062] 상기 게이트 절연막(330)상에 상기 게이트 배선(310)과 교차되는 데이터 배선(320)과, 상기 게이트 배선(310)과 상기 데이터 배선(320)의 교차영역에 박막트랜지스터가 형성되어 있다.
- [0063] 상기 박막트랜지스터(Tr)를 포함하는 기판 전면에서 보호막(370)이 형성되어 있으며, 상기 보호막(370)상에 상기 박막트랜지스터(Tr)와 전기적으로 연결된 화소전극(380)이 형성되어 있다. 이때, 도면에는 도시하지 않았으나, 상기 게이트 절연막(330)에 요철부를 형성하고, 상기 요철부의 단차를 따라 데이터 배선(320)을 형성할 수도 있다. 이로써, 상기 액정표시장치가 대형화될 경우, 상기 기판(300)에 대해 배선이 위치하는 면적을 유지하거나 감소시키며 상기 배선의 표면적을 증가시킴으로써, 신호지연이 발생하는 것을 개선하며, 개구율이 저하되거나, 단차에 의해 배향 특성이 저하되는 것을 방지할 수 있다.
- [0064] 상기 기판(300) 또는 상기 게이트 절연막(330)에 요철부를 형성한 뒤, 상기 요철부의 단차에 따라 배선을 형성하여 상기 배선의 표면적을 증가시킬 수 있다. 이로써, 대면적의 액정표시장치를 제조할 경우, 신호지연이 발생하는 것을 방지하기 위해 상기 배선의 두께 또는 상기 기판의 위치하는 면적을 증가시키지 않아도 됨으로, 개구율이 저하되거나, 상기 배선에 의한 단차가 증가하여 배향특성이 저하되는 것을 방지할 수 있다.

발명의 효과

- [0065] 상기한 바와 같이 본 발명에 따르면, 배선이 차지하는 면적은 종래에 대해 동일하거나 감소시키며, 상기 배선의 표면적을 증가시킴에 따라, 신호지연이 발생하는 것을 방지하며, 개구율이 뛰어난 액정표시장치 및 이의 제조 방법을 제공한다.
- [0066] 또, 기관에 요철부를 형성한 뒤, 상기 요부에 배선을 매몰하거나, 상기 요철부의 단차에 따라 배선을 형성함에 따라, 상기 배선의 두께에 대한 단차를 극복할 수 있어, 단차에 의해 배향 특성이 저하되는 것을 방지할 수 있다.
- [0067] 상기에서는 본 발명의 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

- | | | |
|--------|--|-------------------------|
| [0001] | 도 1은 본 발명의 제 1 실시예에 따른 액정표시장치의 한 화소에 대한 평면도이다. | |
| [0002] | 도 2는 본 발명의 제 1 실시예에 따른 액정표시장치로, 상기 도 1을 I-I'로 취한 단면도이다. | |
| [0003] | 도 3a 내지 도 3c는 본 발명의 제 1 실시예에 따른 액정표시장치의 제조 방법을 도시한 공정도들이다. | |
| [0004] | 도 4는 본 발명의 제 2 실시예에 따른 액정표시장치를 도시한 단면도이다. | |
| [0005] | 도 5는 본 발명의 제 3 실시예에 따른 액정표시장치를 도시한 단면도이다. | |
| [0006] | (도면의 주요 부분에 대한 부호의 설명) | |
| [0007] | 100, 200, 300 : 기판 | 110, 210, 310 : 게이트 배선 |
| [0008] | 120, 220, 320 : 데이터 배선 | 130, 230, 330 : 게이트 절연막 |

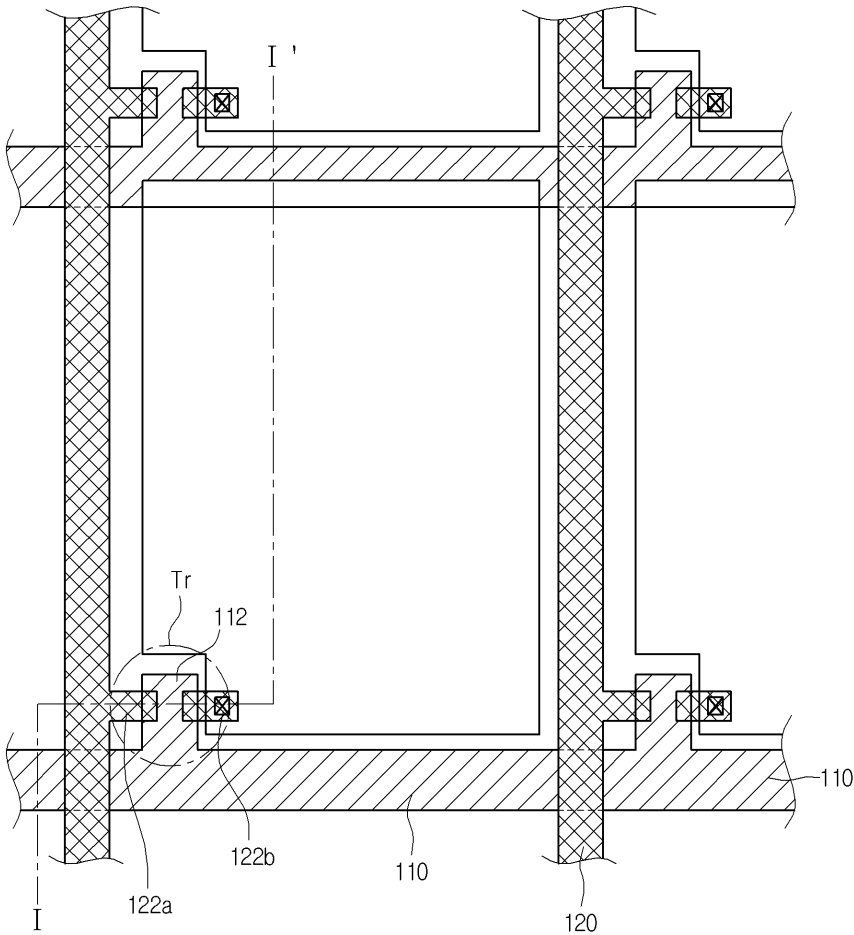
[0009] 170, 270, 370 : 보호막 180, 280, 380 : 화소전극

[0010] Tr : 박막트랜지스터

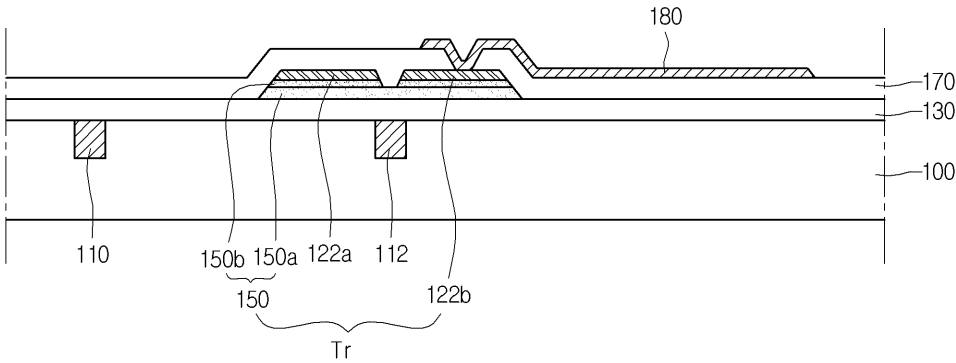
[0011]

도면

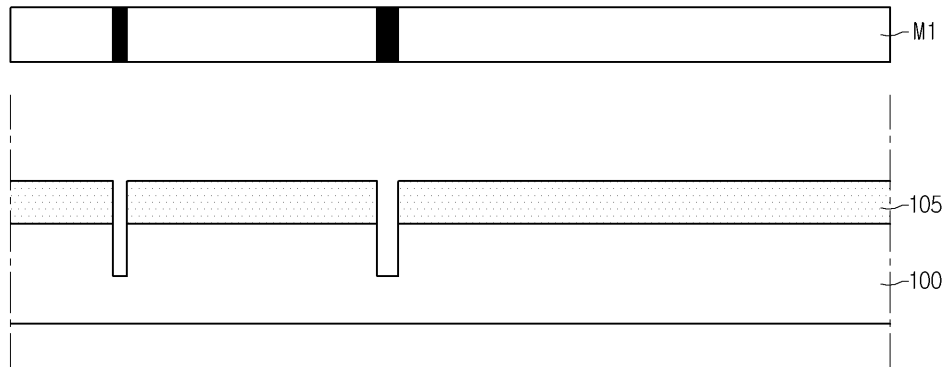
도면1



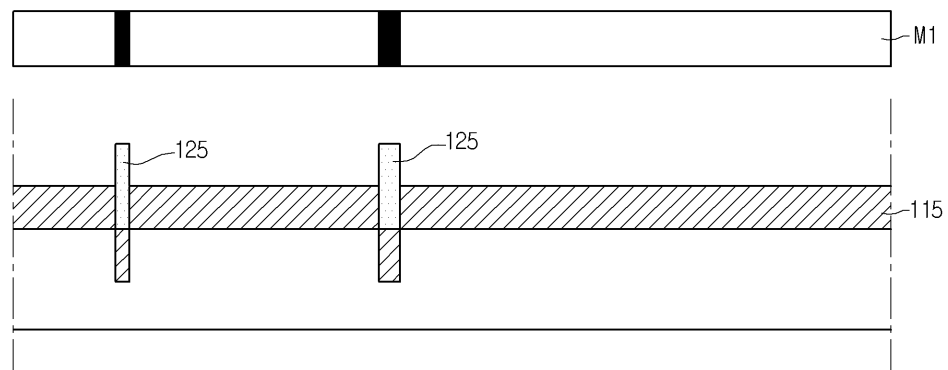
도면2



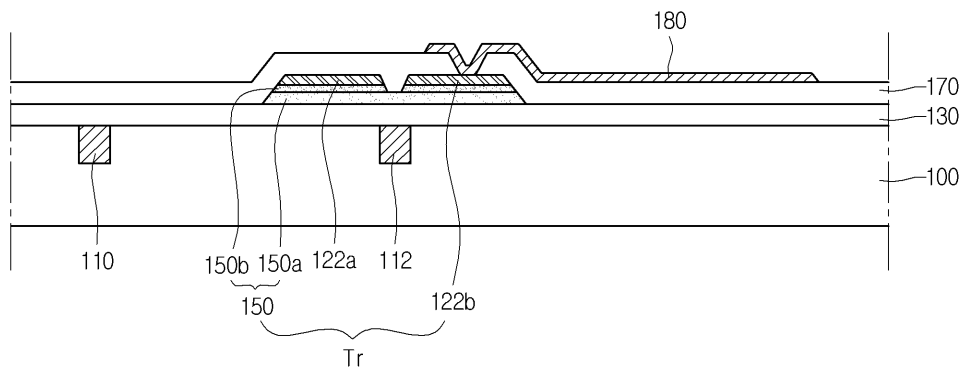
도면3a



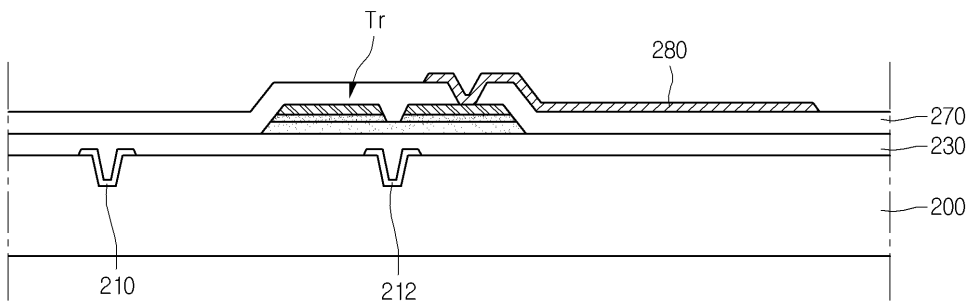
도면3b



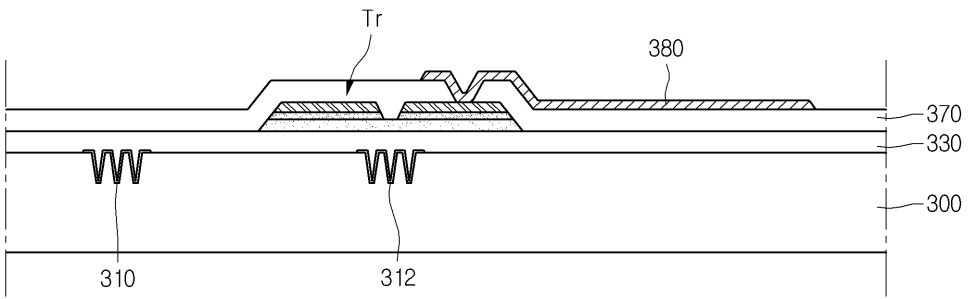
도면3c



도면4



도면5



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR101346958B1	公开(公告)日	2013-12-31
申请号	KR1020060060068	申请日	2006-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JEONG WOO NAM 정우남		
发明人	정우남		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136 H01L29/786 H01L27/124 G02F1/136286		
其他公开文献	KR1020080001750A		
外部链接	Espacenet		

摘要(译)

用途：提供一种LCD（液晶显示器）器件及其制造方法，通过根据不平坦部分的高度差形成布线来增加布线的表面积，从而使布线面积相同或减小，从而防止产生信号延迟，并改善孔径比。组成：LCD装置包括基板（100），栅极布线（110），栅极绝缘层（130），数据布线，TFT（薄膜晶体管）（Tr）和像素电极（180）。在基板中形成不平坦部分。栅极布线形成在不平坦部分中。栅极绝缘层形成在包括栅极布线的基板的前面。形成数据布线以与栅极绝缘层上的栅极布线交叉。TFT形成在栅极布线和数据布线的交叉区域中。像素电极与TFT电连接。©KIPO 2008

