



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년09월16일
(11) 등록번호 10-1308461
(24) 등록일자 2013년09월09일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2007-0057449

(22) 출원일자 2007년06월12일

심사청구일자 2012년05월31일

(65) 공개번호 10-2008-0109302

(43) 공개일자 2008년12월17일

(56) 선행기술조사문헌

KR1020060079040 A

KR100652218 B1

JP2003307748 A

KR1020060134485 A

전체 청구항 수 : 총 9 항

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

최일만

대구광역시 북구 연암로 66-12 (산격동)

(74) 대리인

김용인, 박영복

심사관 : 이준석

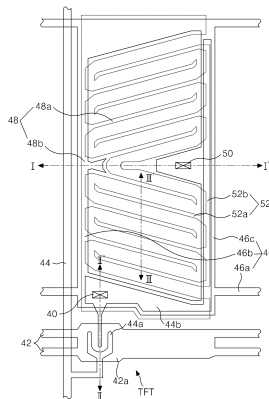
(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 투과율을 개선한 액정표시장치에 관한 것이다.

본 발명의 실시 예에 따른 액정표시장치는 게이트 라인, 상기 게이트 라인에 연결된 TFT의 게이트 전극 및 상기 게이트 라인과 분리된 공통 라인을 포함하는 제1 도전 패턴; 상기 제1 도전 패턴을 덮는 게이트 절연막; 상기 게이트 라인과 교차하여 화소영역을 정의하는 데이터 라인, 상기 데이터 라인에 연결된 TFT의 소스 전극 및 상기 화소 영역에서 서로 연결된 두 번을 따라 형성된 TFT의 드레인 전극을 포함하며, 상기 게이트 절연막 상에 형성된 제2 도전 패턴; 상기 제2 도전 패턴을 덮는 보호막; 및 상기 드레인 전극 중 한번에 접속된 화소 전극 및 상기 공통 라인에 접속되고 상기 드레인 전극 중 다른 한번에 중첩된 공통 전극을 포함하며, 상기 보호막 상에 형성된 제3 도전 패턴을 구비한다.

대표도 - 도4



특허청구의 범위

청구항 1

게이트 라인, 상기 게이트 라인에 연결된 TFT의 게이트 전극 및 상기 게이트 라인과 분리된 공통 라인을 포함하는 제1 도전 패턴;

상기 제1 도전 패턴을 덮는 게이트 절연막;

상기 게이트 라인과 교차하여 화소영역을 정의하는 데이터 라인, 상기 데이터 라인에 연결된 TFT의 소스 전극 및 상기 화소 영역에서 서로 연결된 두 번을 따라 형성된 TFT의 드레인 전극을 포함하며, 상기 게이트 절연막 상에 형성된 제2 도전 패턴;

상기 제2 도전 패턴을 덮는 보호막; 및

상기 드레인 전극 중 한번에 접속된 화소 전극 및 상기 공통 라인에 접속되고 상기 드레인 전극 중 다른 한번에 중첩된 공통 전극을 포함하며, 상기 보호막 상에 형성된 제3 도전 패턴을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 화소 전극은

서로 나란하게 형성된 다수의 화소 전극 핑거부; 및

상기 화소 전극 핑거부들을 상기 화소 영역 일측에서 연결하는 화소 전극 연결부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 공통 전극은

상기 화소 전극 핑거부들과 나란한 다수의 공통 전극 핑거부; 및

상기 공통 전극 핑거부들을 상기 화소 영역 타측에서 연결하는 공통 전극 연결부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 공통 라인은

상기 게이트 라인과 나란한 수평부;

상기 수평부와 연결되어 상기 화소 전극 연결부와 중첩된 제1 수직부; 및

상기 수평부와 연결되어 상기 공통 전극 연결부와 중첩된 제2 수직부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 3 항에 있어서,

상기 드레인 전극과 중첩된 공통 전극은

상기 공통 전극 연결부인 것을 특징으로 하는 액정표시장치.

청구항 6

제 3 항에 있어서,

상기 공통 전극 핑거부와 상기 화소 전극 핑거부는 상기 데이터 라인 방향으로 교번되고,

상기 공통 전극 연결부와 상기 화소 전극 연결부는 상기 데이터 라인과 나란한 것을 특징으로 하는 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 제2 도전 패턴 하부에는

활성층 및 오믹 접촉층을 포함하는 반도체 패턴이 중첩된 것을 특징으로 하는 액정표시장치.

청구항 8

제 1 항에 있어서,

상기 화소 전극은

상기 보호막을 관통하여 상기 드레인 전극을 노출시키는 제1 접촉홀을 통해 상기 드레인 전극과 접속된 것을 특징으로 하는 액정표시장치.

청구항 9

제 1 항에 있어서,

상기 공통 전극은

상기 보호막 및 게이트 절연막을 관통하여 상기 공통 라인을 노출시키는 제2 접촉홀을 통해 상기 공통 라인과 접속된 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0023] 본 발명은 액정표시장치에 관한 것이다. 특히 본 발명은 투과율을 개선한 액정표시장치에 관한 것이다.

[0024] 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정표시장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계 인가형과 수평 전계 인가형으로 대별된다.

[0025] 수직 전계 인가형 액정표시장치는 상/하부 기판에 대향되게 배치된 화소 전극과 공통 전극 사이에 형성되는 수직 전계에 의해 액정을 구동한다. 이러한 수직 전계 인가형 액정표시장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.

[0026] 수평 전계 인가형 액정표시장치는 하부 기판에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 액정을 구동한다. 이러한 수평 전계 인가형 액정표시장치는 시야각이 160도 정도로 넓은 장점을 가진다.

[0027] 도 1을 참조하면, 수평 전계 인가형 액정표시장치는 액정(9)을 사이에 두고 대향하는 박막 트랜지스터 어레이(10) 및 칼라 필터 어레이(20)를 포함한다.

[0028] 칼라 필터 어레이(20)는 상부 기판(1) 상에 순차적으로 형성된 블랙 매트릭스(3), 칼라 필터(5), 오버코트층(7)을 포함한다. 블랙 매트릭스(3)는 빛샘을 방지하고 이웃하는 칼라 필터 간의 광 간섭을 방지하는 역할을 한다. 칼라 필터(5)는 적색(R), 녹색(G), 청색(B)의 패턴을 포함함으로써 칼라를 표시할 수 있게 한다. 오버코트층(7)은 블랙 매트릭스(3)와 칼라 필터(5)가 형성된 상부 기판(1)을 평탄화시키는 역할을 한다.

[0029] 박막 트랜지스터 어레이(10)는 서로 교차하여 화소 영역을 정의하는 게이트 라인(12) 및 데이터 라인(14)과, 게이트 라인(12) 및 데이터 라인(14)에 각각에 접속된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)에 접속된 화소 전극(18)과, 화소 전극(18)에 나란한 공통전극(22)과, 공통전극(22)에 접속된 공통 라인(16)을 포함한다.

여기서 공통 전극(22)과 화소 전극(18)은 슬릿 형태로 형성된 부분을 포함하고, 그 슬릿들은 서로 나란하도록 형성된다. 이러한 박막 트랜지스터 어레이(10)는 하부 기판(11) 상에 형성된다.

[0030] 박막 트랜지스터(TFT)는 게이트 라인(12)으로부터의 게이트 신호에 응답하여 데이터 라인(14)으로부터의 데이터 신호를 화소 전극(18)으로 공급한다. 박막 트랜지스터(TFT)를 통해 데이터 신호가 공급된 화소 전극(18)과 공통 라인(16)을 통해 기준전압이 공급된 공통전극(22) 사이에는 수평 전계가 형성된다. 이러한 수평 전계에 의해 액정(9)이 회전하게 된다. 액정(9)의 회전 정도는 데이터 신호에 따라 조절된다.

[0031] 하부 기판(11)의 외부면과 상부 기판(1)의 외부면 각각에는 특정방향으로 진동하는 빛을 투과시키는 제1 편광판(33) 및 제2 편광판(31)이 부착된다. 일반적으로 제1 편광판(33)의 투과축(x)과 제2 편광판(31)의 투과축(y)은 서로 수직을 이루도록 배치된다.

[0032] 수평 전계 인가형 액정표시장치는 상술한 바와 같이 수평 전계에 의해 액정(9)의 회전 정도를 조절하여 화소 영역을 투과하는 광 투과율이 달라지게 함으로써 화상을 구현한다. 이 때, 수평 전계에 의해 구동되는 액정(9)은 그 장축이 제1 및 제2 편광판(33, 31)의 투과축(x,y)에 비스듬히 배열되어야 액정표시장치의 투과율에 기여할 수 있다. 즉, 장축이 제1 및 제2 편광판(33, 31)의 투과축(y)과 나란하거나 수직하게 배열된 액정(9)을 투과한 광은 제2 편광판(33)을 투과하지 못하므로 투과율에 기여할 수 없다.

[0033] 이와 같은 수평 전계 인가형 액정표시장치는 공통 전극(22)과 화소 전극(18)의 배치 구조를 다양한 방법으로 설계하여 개구율 및 투과율을 개선시키는 방향으로 발전하고 있다. 그 중 도 2에 도시된 바와 같이 공통 전극(22)과 화소 전극(18)이 절연막들(23, 25)상에 나란하게 형성되고, 공통 전극(22)에 신호를 인가하기 위한 공통 라인(16)이 절연막들(23, 25)을 사이에 두고 공통 전극(22)과 화소 전극(18)에 중첩되게 형성되는 구조가 제안된 바 있다. 상기 구조에서 공통 전극(22)은 절연막들(25, 23)을 관통하는 접촉홀(미도시)을 통해 공통 라인(16)에 접속되어 기준 전압을 공급받는다. 이러한 구조로 형성된 화소 전극(18)에 데이터 신호가 공급되고 공통전극(22)에 공통 라인(16)을 통해 기준전압이 공급되면, 화소 영역에 배치된 액정이 구동하여 광을 투과시킨다. 이 때, 화소 전극(18)과 공통 전극(22) 사이의 영역(B)에 배치된 액정은 화소 전극(18)과 공통 전극(22)사이에 형성된 수평전계에 의해 구동되어 투과율에 기여한다. 또한 공통 라인(16)과 화소 전극(18)이 중첩된 부분과 인접한 A영역에 배치된 액정은 공통 라인(16)과 화소 전극(18) 상부에 포물선 형태로 형성된 프린지 필드(Fringe Field)에 의해 구동되어 투과율에 기여한다. 반면, 공통 라인(16)과 공통 전극(22)이 중첩된 부분과 인접한 C영역에 배치된 액정은 공통 라인(16)과 공통 전극(22)에 동일한 전압이 인가되므로 초기배열 상태를 유지한다. 이에 따라 화소 전극(18)에 데이터 신호가 공급되고 공통전극(22)에 공통 라인(16)을 통해 기준전압이 공급되더라도 도 3에 도시된 바와 같이 C영역에서는 액정의 장축이 제1 및 제2 편광판의 투과축과 나란하거나 수직하게 배열되어 광을 투과시키지 못하고 투과율에 기여할 수 없다.

발명이 이루고자 하는 기술적 과제

[0034] 본 발명의 목적은 투과율을 개선한 액정표시장치를 제공하는 데 있다.

발명의 구성 및 작용

[0035] 상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 액정표시장치는 게이트 라인, 상기 게이트 라인에 연결된 TFT의 게이트 전극 및 상기 게이트 라인과 분리된 공통 라인을 포함하는 제1 도전 패턴; 상기 제1 도전 패턴을 덮는 게이트 절연막; 상기 게이트 라인과 교차하여 화소영역을 정의하는 데이터 라인, 상기 데이터 라인에 연결된 TFT의 소스 전극 및 상기 화소 영역에서 서로 연결된 두 변을 따라 형성된 TFT의 드레인 전극을 포함하며, 상기 게이트 절연막 상에 형성된 제2 도전 패턴; 상기 제2 도전 패턴을 덮는 보호막; 및 상기 드레인 전극 중 한번에 접속된 화소 전극 및 상기 공통 라인에 접속되고 상기 드레인 전극 중 다른 한번에 중첩된 공통 전극을 포함하며, 상기 보호막 상에 형성된 제3 도전 패턴을 구비한다.

[0036] 상기 화소 전극은 서로 나란하게 형성된 다수의 화소 전극 핑거부; 및 상기 화소 전극 핑거부들을 상기 화소 영역 일측에서 연결하는 화소 전극 연결부를 포함한다.

[0037] 상기 공통 전극은 상기 화소 전극 핑거부들과 나란한 다수의 공통 전극 핑거부; 및 상기 공통 전극 핑거부들을 상기 화소 영역 타측에서 연결하는 공통 전극 연결부를 포함한다.

- [0038] 상기 공통 라인은 상기 게이트 라인과 나란한 수평부; 상기 수평부와 연결되어 상기 화소 전극 연결부와 중첩된 제1 수직부; 및 상기 수평부와 연결되어 상기 공통 전극 연결부와 중첩된 제2 수직부를 포함한다.
- [0039] 상기 드레인 전극과 중첩된 공통 전극은 상기 공통 전극 연결부이다.
- [0040] 상기 공통 전극 핑거부와 상기 화소 전극 핑거부는 상기 데이터 라인 방향으로 교번되고, 상기 공통 전극 연결부와 상기 화소 전극 연결부는 상기 데이터 라인과 나란하다.
- [0041] 상기 제2 도전 패턴 하부에는 활성층 및 오믹 접촉층을 포함하는 반도체 패턴이 중첩된다.
- [0042] 상기 화소 전극은 상기 보호막을 관통하여 상기 드레인 전극을 노출시키는 제1 접촉홀을 통해 상기 드레인 전극과 접속된다.
- [0043] 상기 공통 전극은 상기 보호막 및 게이트 절연막을 관통하여 상기 공통 라인을 노출시키는 제2 접촉홀을 통해 상기 공통 라인과 접속된다.
- [0044] 상기 목적외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- [0045] 이하 본 발명의 바람직한 실시 예들을 도 4 내지 도 10b를 참조하여 설명하기로 한다.
- [0046] 도 4는 본 발명의 실시 예에 따른 액정표시장치의 박막 트랜지스터 어레이를 나타내는 평면도이고, 도 5는 도 4에 도시된 선 "I-I'", "II-II'", "III-III'"를 따라 절취하여 나타내는 단면도이다.
- [0047] 본 발명의 실시 예에 따른 액정표시장치는 액정을 사이에 두고 대향하는 박막 트랜지스터 어레이 및 칼라 필터 어레이를 포함한다. 액정은 박막 트랜지스터 어레이에 포함된 화소 전극(48)에 인가되는 전압에 따라 회전하여 광투과율을 조절함으로써 화상을 표시한다.
- [0048] 액정을 구동하기 위하여, 본 발명의 실시 예에 따른 박막 트랜지스터 어레이는 도 4 및 도 5에 도시된 바와 같이 서로 교차하는 게이트 라인(42) 및 데이터 라인(44)과, 게이트 라인(42) 및 데이터 라인(44)에 접속된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)에 접속된 화소 전극(48)과, 화소 전극(48)에 나란한 공통전극(52)과, 공통전극(52)에 접속된 공통 라인(46)을 포함한다. 이러한 박막 트랜지스터 어레이는 하부 기판(41) 상에 형성된다.
- [0049] 게이트 라인(42)은 박막 트랜지스터(TFT)에 게이트 신호를 공급하고, 데이터 라인(44)은 박막 트랜지스터(TFT)에 데이터 신호를 공급한다. 이러한 게이트 라인(42)과 데이터 라인(44)은 서로 교차하여 화소 영역을 정의한다.
- [0050] 박막 트랜지스터(TFT)는 게이트 라인(42)의 게이트 신호에 응답하여 데이터 라인(44)의 데이터 신호가 화소 전극(48)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(TFT)는 게이트 라인(42)에 연결된 게이트 전극(42a), 데이터 라인(44)에 연결된 소스 전극(44a), 화소 전극(48)에 접속된 드레인 전극(44b), 게이트 전극(42a)과 게이트 절연막(43)을 사이에 두고 중첩되는 반도체 패턴(55)을 구비한다.
- [0051] 반도체 패턴(55)은 오믹 접촉층(54)과 오믹 접촉층(54) 상에 중첩된 활성층(53)을 포함한다. 활성층(53)은 소스 전극(44a) 및 드레인 전극(44b) 사이에서 노출되어 채널을 형성한다. 오믹 접촉층(54)은 소스전극(44a)과 활성층(53) 사이 및, 드레인 전극(44b)과 활성층(53) 사이에 형성되어 소스 및 드레인 전극(44a, 44b)과 활성층(53)을 오믹 접촉시킨다. 이러한 반도체 패턴(55)은 제조 공정상 특징으로 인하여 데이터 라인(44) 하부에도 중첩될 수 있다.
- [0052] 화소 전극(48)은 보호막(45)을 관통하는 제1 접촉홀(40)을 통해 박막 트랜지스터(TFT)의 드레인 전극(44b)에 접속된다. 이 때 화소 전극(48)은 서로 나란하게 형성된 다수의 화소 전극 핑거부(48a)들과, 화소 전극 핑거부(48a)들을 연결하는 화소 전극 연결부(48b)로 구분된다.
- [0053] 공통 전극(52)은 화소 전극(48)에 나란하게 형성된다. 공통 전극(52)은 보호막(45) 및 게이트 절연막(43)을 관통하는 제2 접촉홀(50)을 통해 공통 라인(56)에 접속된다. 이러한 공통 전극(52)은 서로 나란하게 형성된 다수의 공통 전극 핑거부(52a)들과, 공통 전극 핑거부(52a)들을 연결하는 공통 전극 연결부(52b)로 구분된다.
- [0054] 상술한 공통 전극 핑거부(52a)는 화소 전극 핑거부(48a)와 나란하게 형성된다. 이에 따라 화소 전극 핑거부(48a)에 데이터 신호가 공급되고 공통 전극 핑거부(52a)에 공통 전압이 공급되면, 화소 전극 핑거부(48a)와 공통 전극 핑거부(52a) 사이의 B영역에 전계가 형성되어 액정이 구동된다. 화소 전극 핑거부(48a)와 공통 전극

핑거부(52a)는 전계가 형성되는 영역이 보다 넓게 형성되도록 데이터 라인(44) 방향으로 교번되게 형성된다. 그 결과, 화소 전극 핑거부(48a)와 공통 전극 핑거부(52a)는 가로방향으로 돌출되게 형성된다. 이에 따라 화소 전극 연결부(48b)는 데이터 라인(44)과 나란하게 형성되어 가로 방향으로 돌출되게 형성된 화소 전극 핑거부(48a)들을 연결한다. 또한, 공통 전극 핑거부(52b)는 데이터 라인(44)과 나란하게 형성되어 가로 방향으로 돌출되게 형성된 공통 전극 핑거부들(52a)을 연결한다. 그리고 화소 전극 연결부(48b)와 공통 전극 연결부(52b)는 화소 전극 및 공통 전극 핑거부(48a, 52a)들을 사이에 두고 마주한다.

[0055] 공통 라인(46)은 공통 전극(52)에 접속되어 액정 구동을 위한 공통 전압을 공통 전극(52)에 공급한다. 공통 라인(46)은 게이트 라인(42)에 나란한 수평부(46a), 수평부(46a)에 연결되고 화소 전극 연결부(48b)에 중첩된 제1 수직부(46b)와, 수평부(46a)에 연결되고 공통 전극 연결부(52b)에 중첩된 제2 수직부(46c)로 구분된다.

[0056] 수평부(46a)는 화소 영역 외곽에서 구동회로와 접속된 패드부(미도시)에 연결되어 패드부로부터 공통 전압을 공급받는다.

[0057] 화소 전극 연결부(48b)와 제1 수직부(46b)는 게이트 절연막(43) 및 보호막(45)을 사이에 두고 중첩되어 화소 전극 연결부(48b)에 인접한 A영역에 포물선 형태의 프린지 필드가 형성되게 한다. A영역에 배치된 액정들은 화소 전극(48)에 인가되는 데이터 전압과 공통 라인(46)에 인가되는 공통 전압에 의해 형성된 프린지 필드에 의해 구동하여 액정표시장치의 투과율에 기여한다.

[0058] 공통 전극 연결부(52b)와 제2 수직부(46c)는 게이트 절연막(43), 드레인 전극(44b) 및 보호막(45)을 사이에 두고 중첩되어 공통 전극 연결부(52b)에 인접한 C영역에 포물선 형태의 프린지 필드가 형성되게 한다. C영역에 배치된 액정들은 드레인 전극(44b)에 인가되는 데이터 전압과 공통 전극(52)에 인가되는 공통 전압에 의해 형성된 프린지 필드에 의해 구동하여 액정표시장치의 투과율에 기여한다.

[0059] 상술한 바와 같이 본 발명의 실시 예에 따른 드레인 전극(44b)은 화소 전극(48)과 접속됨과 아울러 공통 전극 연결부(52b)와 중첩되어야 한다. 이를 위하여, 드레인 전극(44b)은 화소 영역에서 연결된 두변을 따라 형성되어 드레인 전극(44b)의 한변은 화소 전극(48)과 접속되게 하고, 드레인 전극(44b)의 나머지 한변은 공통 전극 연결부(52b)와 중첩되게 한다.

[0060] 이와 같이 본 발명의 실시 예에 따른 액정표시장치는 공통 라인(46)과 공통 전극(52) 사이에 드레인 전극(44b)이 중첩되도록 형성하여 공통 전극(52)과 드레인 전극(44b)이 중첩된 C영역에 프린지 필드가 형성되게 한다. 이에 따라 도 6에 도시된 바와 같이 C영역의 액정이 프린지 필드에 의해 구동되어 투과율에 기여할 수 있다.

[0061] 액정표시장치는 액정의 광 투과율을 조절함으로써 화상을 구현한다. 화상 구현시, 시야각 방향에 따라 액정 분자를 투과하는 광의 위상지연 차를 줄이기 위해 공통 전극 핑거부(52a)와 화소 전극 핑거부(48a)는 화소 영역 중앙에서 게이트 라인(42) 방향을 따르는 축을 기준으로 대칭된 제1 방향의 핑거부들과, 제2 방향의 핑거부들을 구비할 수 있다. 여기서, 제1 방향의 핑거부 및 제2 방향의 핑거부는 서로 연결되어 형성된다. 이와 같이 각 전극의 핑거부(52a, 48a)가 기준축을 중심으로 대칭되게 형성되면 액정 분자는 기준축을 중심으로 대칭되게 구동한다. 대칭되게 구동된 액정 분자를 투과한 광의 위상지연 값은 서로 상쇄되므로 시야각 방향에 따른 위상지연차가 줄어들어 액정표시장치의 화질을 향상시킬 수 있다.

[0062] 이러한 구성을 가지는 본 발명의 실시 예에 따른 액정표시장치의 박막 트랜지스터 기판은 다음과 같이 4마스크 공정으로 형성된다.

[0063] 도 7a 및 도 7b를 참조하면, 제1 마스크 공정으로 기판(41) 상에 게이트 라인(42), 게이트 전극(42a), 공통 라인(46)을 포함하는 제1 도전 패턴이 형성된다.

[0064] 제1 마스크 공정을 상세히 하면, 기판(41) 상에 스퍼터링 등의 증착 방법을 제1 도전층이 증착된다. 여기서, 제1 도전층으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등과 같이 금속 물질이 단일층 또는 이중층 이상으로 적층되어 이용된다. 이어서, 제1 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 포토레지스트 패턴이 형성된다. 이러한 포토레지스트 패턴을 마스크로 제1 도전층을 식각하면 게이트 라인(42), 게이트 전극(42a), 공통 라인(46)을 포함하는 제1 도전 패턴이 형성된다.

[0065] 이어서, 도 8a 및 도 8b에 도시된 바와 같이 기판(41) 상에 제1 도전 패턴을 덮도록 게이트 절연막(43)을 형성하고, 제2 마스크 공정으로 활성층(53) 및 오믹 접촉층(54)을 포함하는 반도체 패턴(55)과, 데이터 라인(44), 소스 전극(44a), 드레인 전극(44b)을 포함하는 제2 도전 패턴이 형성된다. 이러한 반도체 패턴(55)과 제2 도전 패턴은 회절 노광 마스크 또는 반투과 마스크를 이용한 하나의 마스크 공정으로 형성된다.

- [0066] 제2 마스크 공정을 상세히 설명하면, 기판(41) 상에 게이트 절연막(43), 비정질 실리콘층, 불순물(n+ 또는 p+)이 도핑된 비정질 실리콘층, 제2 도전층이 순차적으로 형성된다. 예를 들면, 게이트 절연막(43), 비정질 실리콘층, 불순물이 도핑된 비정질 실리콘층은 PECVD 방법으로, 소스/드레인 금속층은 스퍼터링 방법으로 형성된다. 게이트 절연막(43)으로는 SiO_x , SiN_x 등과 같은 무기 절연 물질이, 제2 도전층으로는 Mo, Ti, Cu, AlNd, Al, Cr, Mo 합금, Cu 합금, Al 합금 등과 같이 금속 물질이 단일층 또는 이중층 이상으로 적층되어 이용된다. 그리고, 제2 도전층 위에 포토레지스트가 도포된 다음, 회절 노광 마스크를 이용한 포토리소그래피 공정으로 포토레지스트를 노광 및 현상한다. 현상 후, 채널부에는 다른 부분의 포토레지스트 패턴보다 상대적으로 얇은 포토레지스트 패턴이 형성된다.
- [0067] 이어서, 포토레지스트 패턴을 이용한 식각 공정으로 제2 도전층에서 비정질 실리콘층까지 패터닝된다. 이 과정에서 소스 전극(44a)과 드레인 전극(44b)은 데이터 라인(44)에 연결된 형태로 패터닝된다.
- [0068] 그 다음, 산소(O_2) 플라즈마를 이용한 애싱 공정으로 포토레지스트 패턴을 애싱함으로써 채널부의 포토레지스트 패턴이 제거된다. 그리고, 애싱된 포토레지스트 패턴을 이용한 식각 공정으로 노출된 제1 도전층과, 그 아래의 오믹 접촉층(54)이 제거됨으로써 소스 전극(44a)과 드레인 전극(44b)은 분리되고 활성층(53)이 노출된다.
- [0069] 그리고, 스트립 공정으로 제2 도전 패턴 위에 잔존하던 포토레지스트 패턴이 제거된다.
- [0070] 이 후, 도 9a 및 도 9b에 도시된 바와 같이 제2 도전 패턴이 형성된 게이트 절연막(43) 상에 제3 마스크 공정으로 제1 및 제2 접촉홀(40, 50)을 포함하는 보호막(45)이 형성된다.
- [0071] 제3 마스크 공정을 상세히 설명하면, 제2 도전 패턴이 형성된 게이트 절연막(43) 상에 PECVD, 스핀 코팅(Spin Coating), 스핀리스 코팅(Spinless Coating) 등의 방법으로 보호막(45)이 형성된다. 보호막(45)으로는 게이트 절연막(43)과 같은 무기 절연 물질, 또는 유기 절연 물질이 이용된다. 이어서, 보호막(45) 및 게이트 절연막(43)을 제3 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써 드레인 전극(44b)을 노출시키는 제1 접촉홀(40) 및 공통 라인(46)을 노출시키는 제2 접촉홀(50)이 형성된다.
- [0072] 이 후, 도 10a 및 도 10b에 도시된 바와 같이 제4 마스크 공정으로 보호막(45) 상에 화소 전극(48) 및 공통 전극(52)을 포함하는 제3 도전 패턴이 형성된다. 제3 도전 패턴은 보호막(45) 상에 제3 도전층을 형성한 다음 제4 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써 형성된다. 여기서, 제3 도전층으로는 인듐 틴 옥사이드(Indium Tin Oxide : ITO), 틴 옥사이드(Tin Oxide : TO), 인듐 징크 옥사이드(Indium Zinc Oxide : IZO), 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide : ITZO) 등이 이용된다.

발명의 효과

- [0073] 상술한 바와 같이 본 발명의 실시 예에 따른 액정표시장치는 드레인 전극이 화소 전극과 접촉됨과 아울러 공통 전극에 중첩되도록 형성함으로써 드레인 전극과 공통 전극이 중첩된 영역에 프린지 필드가 형성되게 한다. 이에 따라 본 발명의 실시 예에 따른 액정표시장치는 공통 전극과 드레인 전극이 중첩된 영역의 액정이 프린지 필드에 의해 구동되므로 투과율을 개선할 수 있다.
- [0074] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

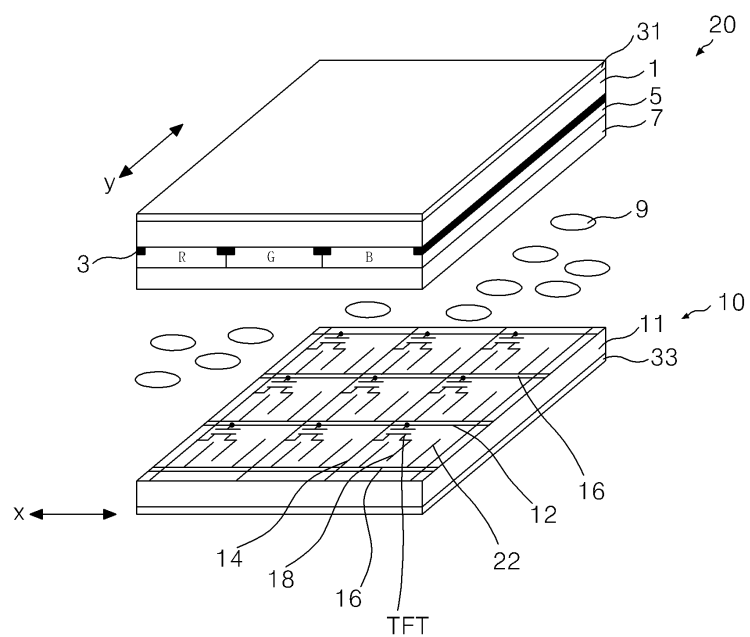
도면의 간단한 설명

- [0001] 도 1은 종래 액정표시장치의 일례를 나타내는 도면.
- [0002] 도 2는 도 1에 도시된 액정표시장치의 투과율 및 개구율을 개선하기 위한 공통라인, 공통 전극 및 화소 전극의 배치구조를 나타내는 단면도.
- [0003] 도 3은 도 2에 도시된 C영역에서의 투과특성을 나타내는 사진.
- [0004] 도 4는 본 발명의 실시 예에 따른 액정표시장치의 박막 트랜지스터 어레이를 나타내는 평면도.
- [0005] 도 5는 도 4에 도시된 선 "I-I'", "II-II'", "III-III'"를 따라 절취하여 나타내는 단면도.

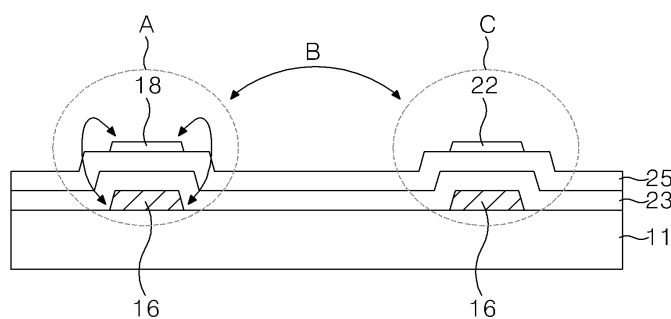
[0006]	도 6은 도 5에 도시된 C영역에서의 투과특성을 나타내는 사진.	
[0007]	도 7a 및 도 7b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이의 제1 마스크 공정을 설명하기 위한 평면도 및 단면도.	
[0008]	도 8a 및 도 8b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이의 제2 마스크 공정을 설명하기 위한 평면도 및 단면도.	
[0009]	도 9a 및 도 9b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이의 제3 마스크 공정을 설명하기 위한 평면도 및 단면도.	
[0010]	도 10a 및 도 10b는 본 발명의 실시 예에 따른 박막 트랜지스터 어레이의 제4 마스크 공정을 설명하기 위한 평면도 및 단면도.	
[0011]	<도면의 주요 부분에 대한 부호의 설명>	
[0012]	TFT : 박막 트랜지스터	42 : 게이트 라인
[0013]	42a : 게이트 전극	46 : 공통 라인
[0014]	46a : 공통 라인 수평부	46b, 46c : 공통 라인 수직부
[0015]	43 : 게이트 절연막	44 : 데이터 라인
[0016]	44a : 소스 전극	44b : 드레인 전극
[0017]	55 : 반도체 패턴	53 : 활성층
[0018]	54 : 오믹 접촉층	45 : 보호막
[0019]	40 : 제1 접촉홀	50 : 제2 접촉홀
[0020]	48 : 화소 전극	48a : 화소 전극 핑거부
[0021]	48b : 화소 전극 연결부	52 : 공통 전극
[0022]	52a : 공통 전극 핑거부	52b : 공통 전극 연결부

도면

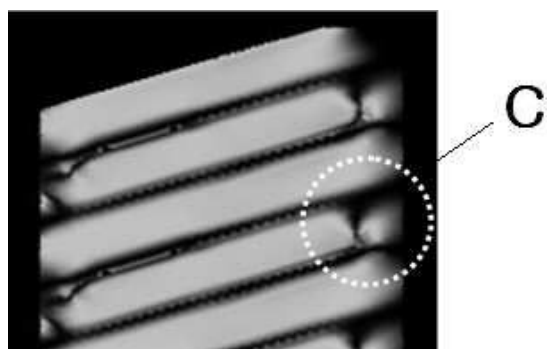
도면1



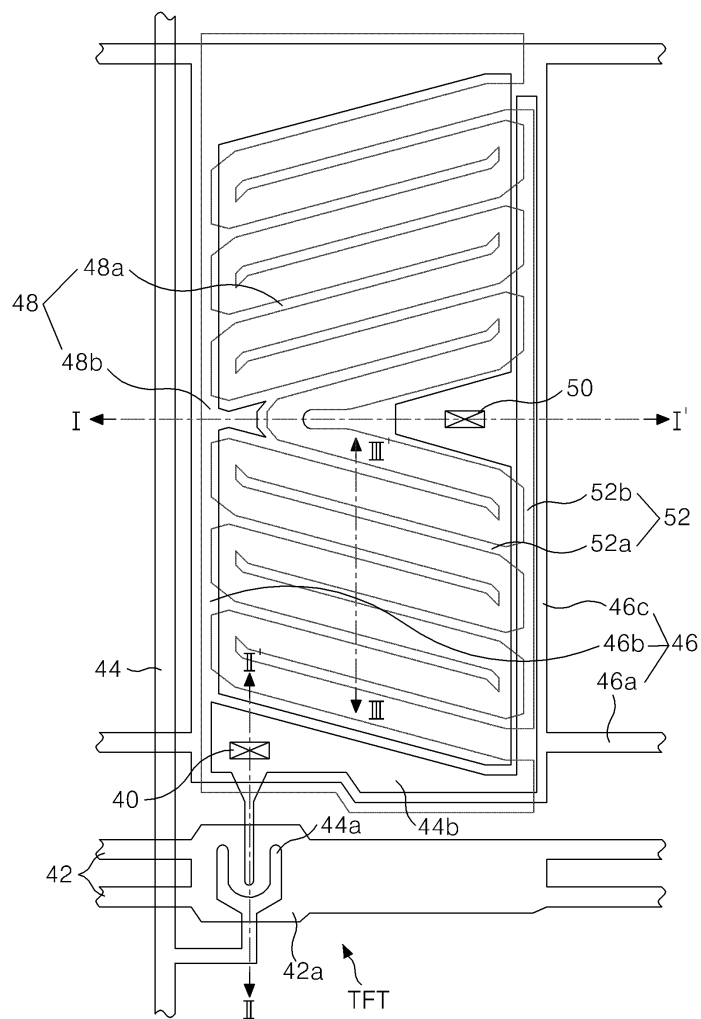
도면2



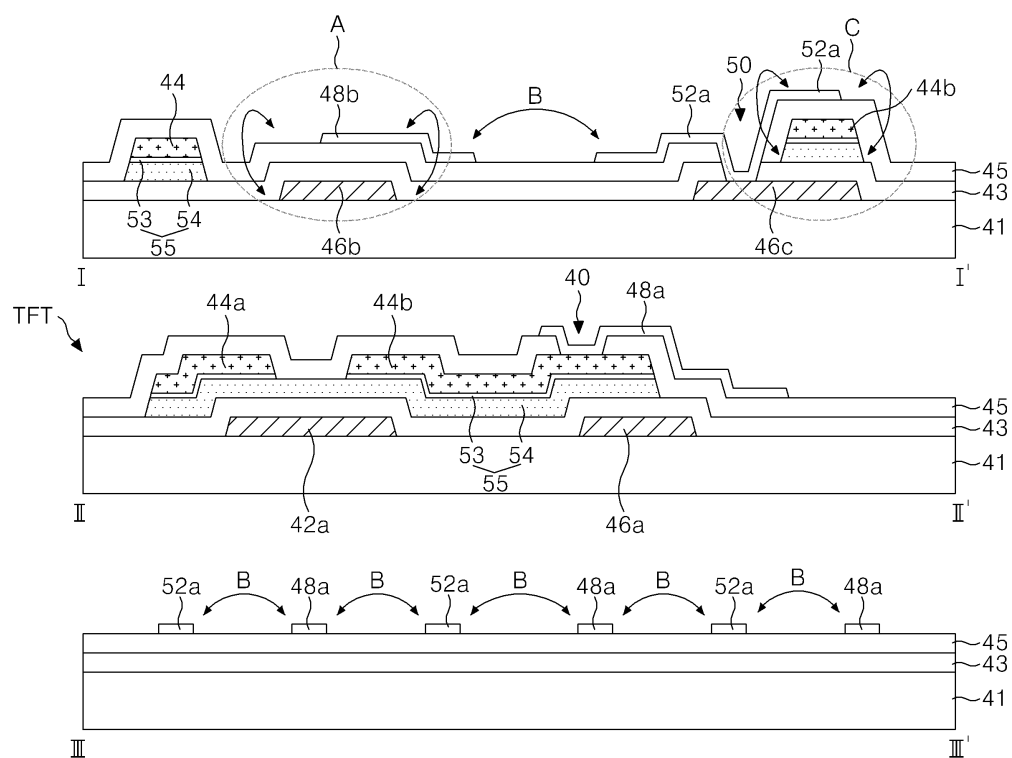
도면3



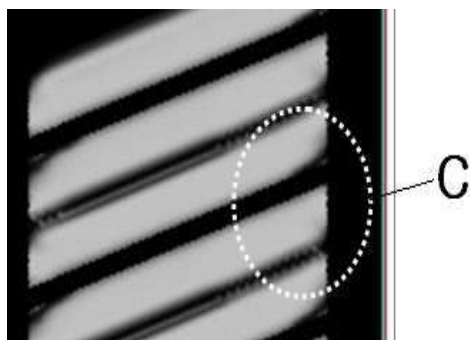
도면4



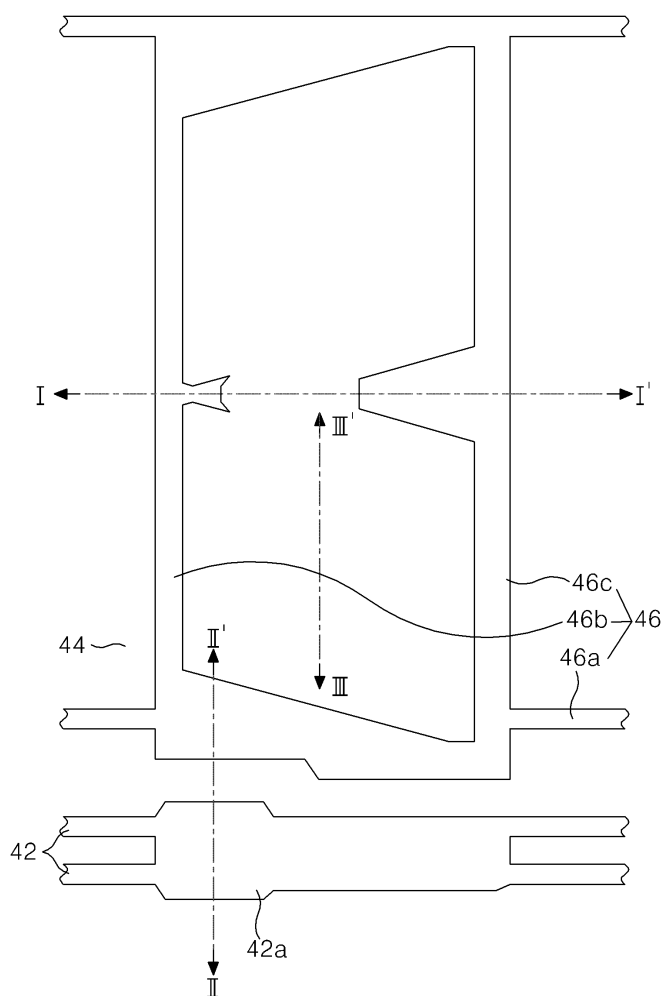
도면5



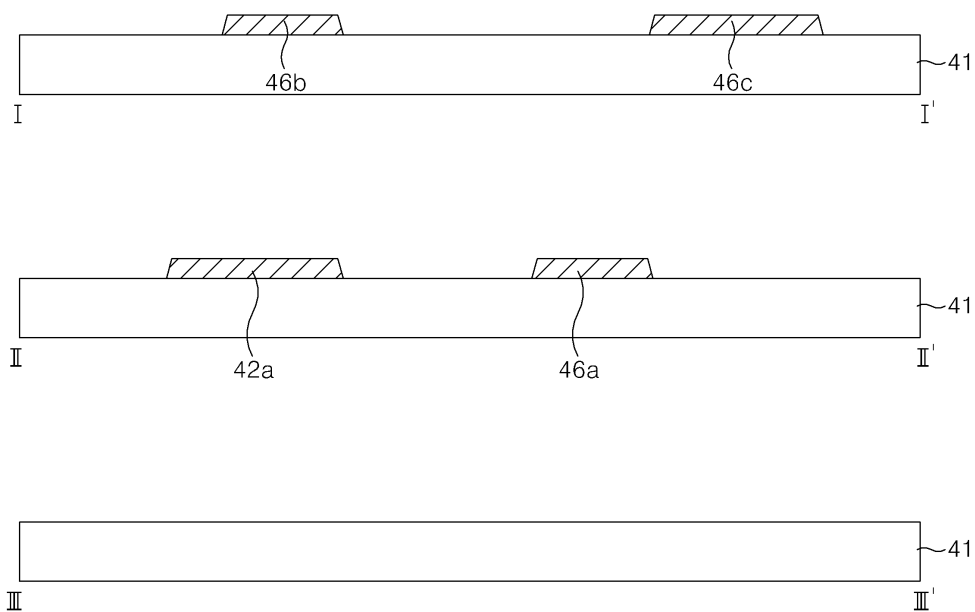
도면6



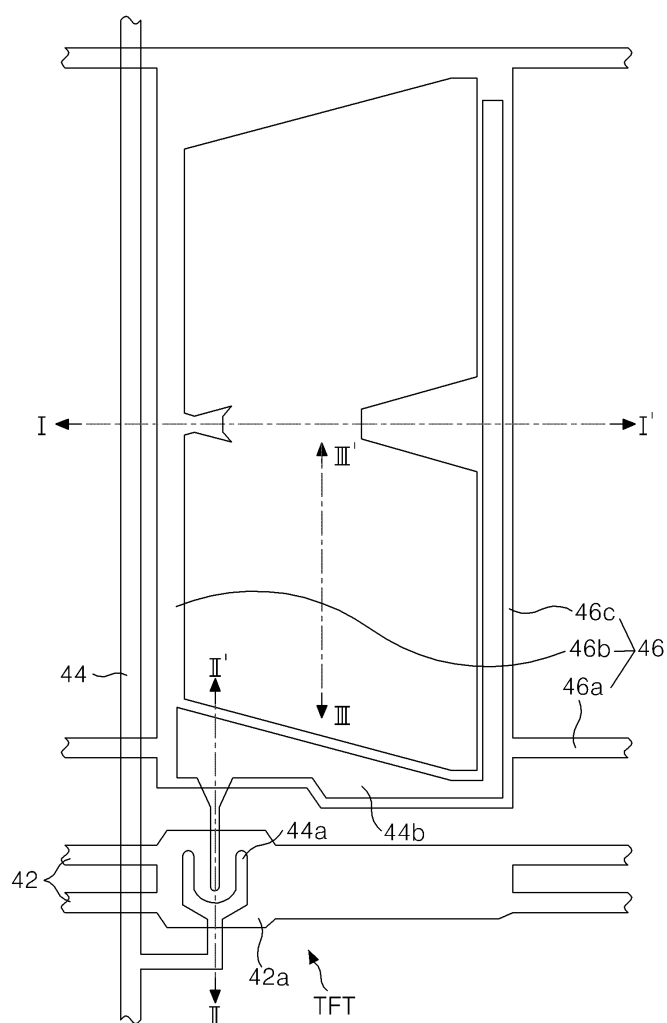
도면7a



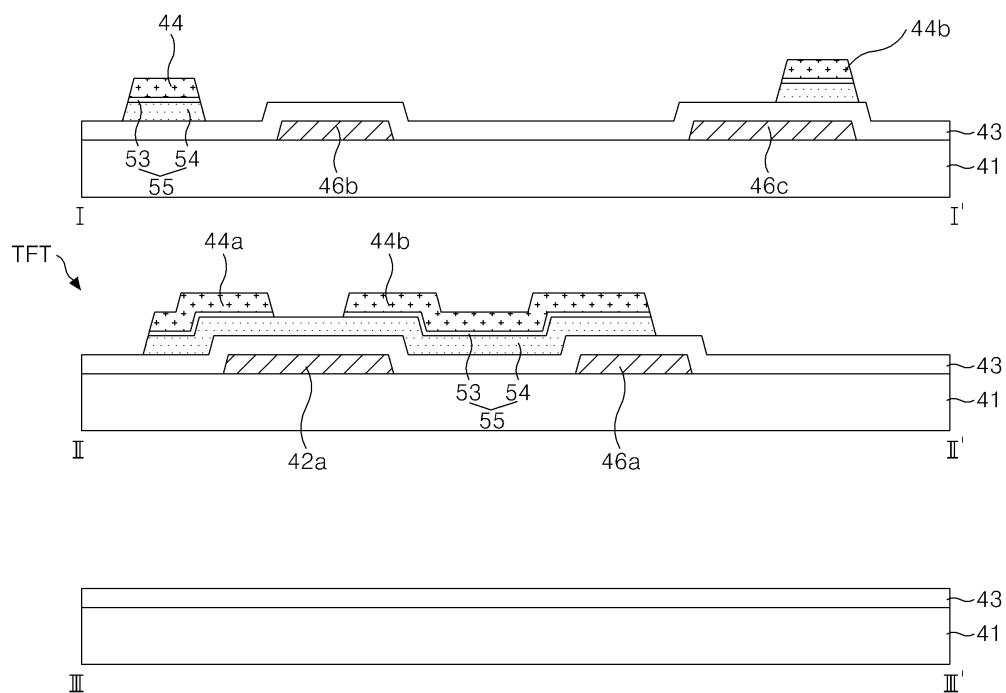
도면7b



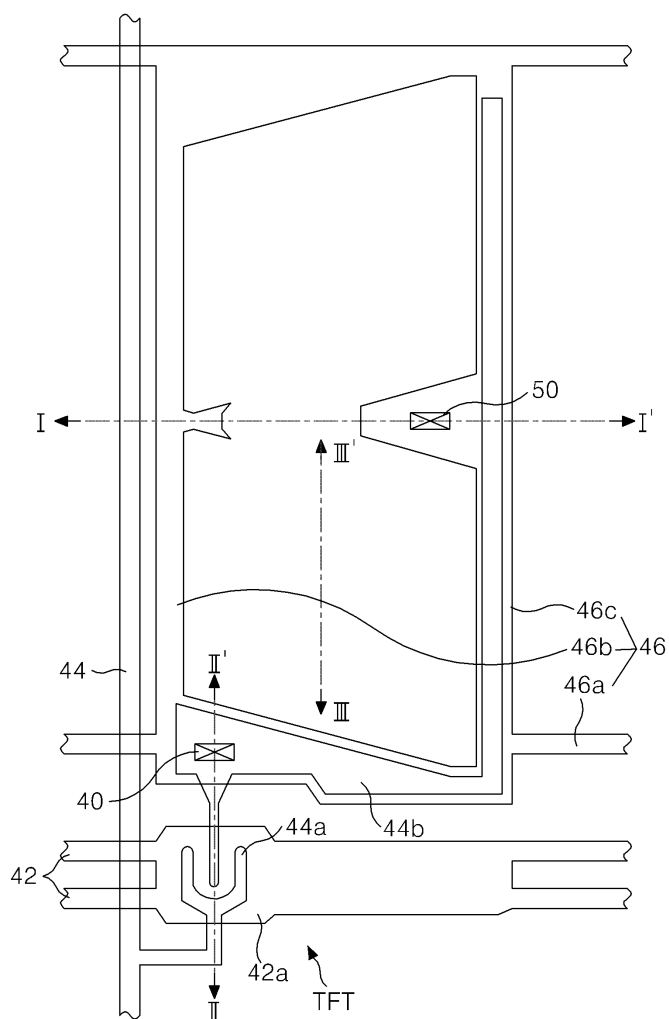
도면8a



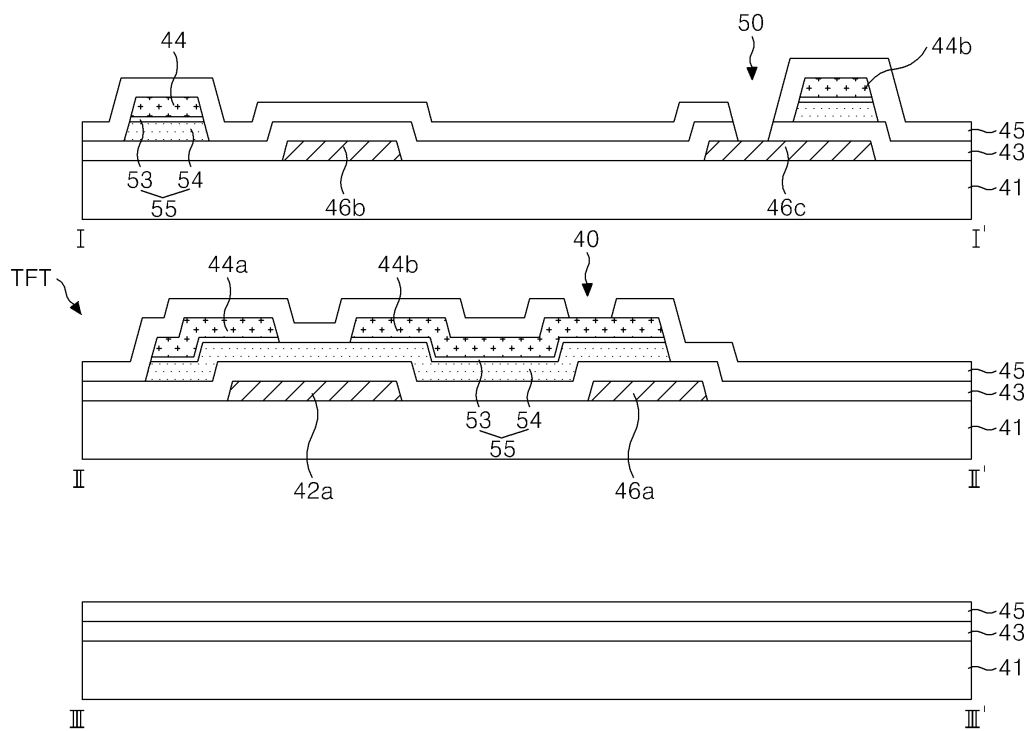
도면8b



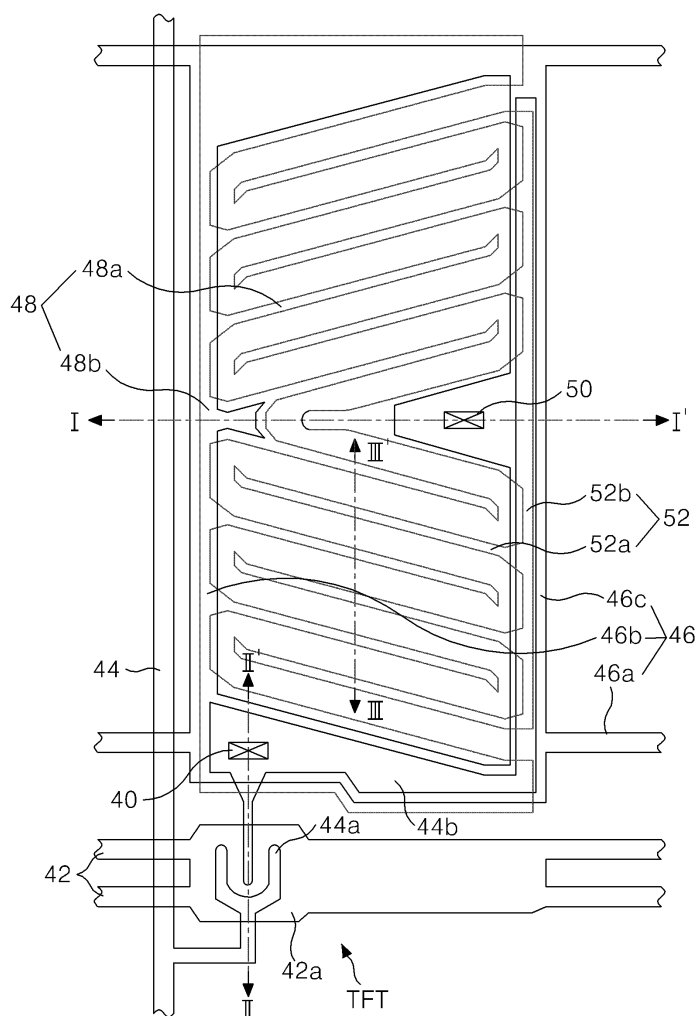
도면9a



도면9b



도면10a



도면10b

