



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월08일
(11) 등록번호 10-1294693
(24) 등록일자 2013년08월02일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0101128

(22) 출원일자 2006년10월18일

심사청구일자 2011년09월22일

(65) 공개번호 10-2008-0035044

(43) 공개일자 2008년04월23일

(56) 선행기술조사문헌

JP2000022156 A*

JP2004260121 A*

JP2003309265 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

최낙봉

경기도 의왕시 갈미1로 17, LG상록@ 104동 1104호
(내손동)

(74) 대리인

특허법인 네이트

전체 청구항 수 : 총 5 항

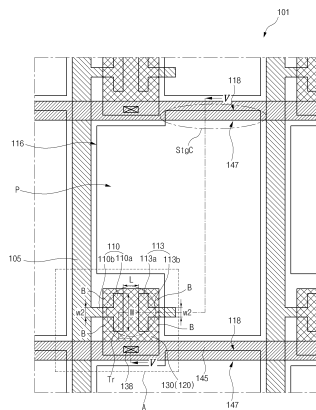
심사관 : 신창우

(54) 발명의 명칭 액정표시장치용 어레이 기판

(57) 요약

본 발명은 기판 상에 "T"자 형태로 형성된 소스 전극과; 상기 소스 전극과 동일한 층에 이격하며 형성되며, "T"자 형태로 형성된 드레인 전극과; 상기 서로 이격하는 소스 및 드레인 전극의 서로 마주하는 부분 및 이들 두전극 사이의 이격된 영역 상에 형성된 유기 반도체층과; 상기 유기 반도체층 위에 형성된 게이트 절연막과; 상기 게이트 절연막 위에 형성된 게이트 전극을 포함하는 액정표시장치용 어레이 기판.을 제공함으로써 채널 비가 큰 유기 박막트랜지스터를 형성하면서도 특성상 소스 및 드레인 전극이 게이트 전극과 중첩되는 면적의 증가를 최소화하여 기생용량(Cgs)의 증가를 억제함으로써 플리커 등의 발생에 의한 화질저하를 억제시키는 것을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

기판 상에 "T"자 형태로 형성된 소스 전극과;

상기 소스 전극과 동일한 층에 이격하며 형성되며, "T"자 형태로 형성된 드레인 전극과;

상기 소스 및 드레인 전극과 동일한 층으로 형성된 데이터 배선과;

상기 기판 상에 상기 드레인 전극과 접촉하며 형성된 화소전극과;

상기 서로 이격하는 소스 및 드레인 전극의 서로 마주하는 부분 및 이들 두전극 사이의 이격된 영역 상에 형성된 유기 반도체층과;

상기 유기 반도체층 위에 형성된 게이트 절연막과;

상기 게이트 절연막 위에 형성된 게이트 전극과;

상기 게이트 전극 상부에, 상기 게이트 전극 일부를 노출시키는 게이트 콘택홀을 갖고 상기 화소전극을 노출시키며 형성된 제 1 보호층과;

상기 제 1 보호층 위에 형성되며, 상기 데이터 배선과 교차하여 화소영역을 정의하며, 상기 게이트 콘택홀을 통해 상기 게이트 전극과 접촉하며 형성된 게이트 배선

을 포함하고,

상기 게이트 전극 및 상기 게이트 절연막은 상기 유기 반도체층과 동일한 패턴형태를 이루어서 상기 유기 반도체층이 상기 게이트 전극의 외측으로 노출되지 않도록 하고,

상기 소스 및 드레인 전극의 서로 마주하는 부분을 각각 제 1 부분으로 정의하고, 상기 제 1 부분에서 분기한 부분을 제 2 부분으로 정의할 때, 상기 게이트 전극은 상부에서 상기 소스 및 드레인 전극의 상기 제 1 부분을 완전히 덮어서 상기 소스 및 드레인 전극의 상기 제 1 부분이 상기 게이트 전극의 외측으로 노출되지 않도록 하고,

상기 데이터배선은 상기 소스 전극의 상기 제 2 부분과 연결되고,

상기 화소전극은 상기 드레인 전극의 상기 제 2 부분과 직접 접촉하는 액정표시장치용 어레이 기판.

청구항 2

제 1 항에 있어서,

상기 "T"자 형태의 소스 및 드레인 전극은,

각각 시계방향으로 90도 회전한 "T"자 형태와 반시계방향으로 90도 회전한 "T"자 형태를 갖는 것이 특징인 액정표시장치용 어레이 기판.

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

제 2 항에 있어서,

상기 게이트 배선 상부에 형성된 제 2 보호층을 더욱 포함하는 액정표시장치용 어레이 기판.

청구항 7

삭제

청구항 8

제 2 항에 있어서,

상기 게이트 배선과 상기 화소전극은 상기 제 1 보호층을 사이에 두고 그 일부가 중첩하도록 형성됨으로써 스토리지 커패시터를 형성하는 액정표시장치용 어레이 기판.

청구항 9

제 2 항에 있어서,

상기 기판내에서 동일한 방향성을 갖는 제 1, 2 폭을 정의하고, 상기 소스 및 드레인 전극 각각의 제 1 부분의 폭을 제 1 폭, 제 2 부분의 폭을 제 2 폭이라 할 때, 상기 제 2 폭이 제 1 폭보다 큰 것이 특징인 액정표시장치용 어레이 기판.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0019] 본 발명은 액정표시장치에 관한 것으로, 좀 더 자세하게는 유기 반도체 물질을 이용한 액정표시장치용 어레이 기판에 관한 것이다.

[0020] 근래에 들어 사회가 본격적인 정보화 시대로 접어들어 따라 대량의 정보를 처리 및 표시하는 디스플레이(display) 분야가 급속도로 발전해 왔고, 최근에는 특히 박형화, 경량화, 저소비전력화의 우수한 성능을 지닌 박막트랜지스터(Thin Film Transistor : TFT)형 액정표시장치(TFT-LCD)가 개발되어 기존의 브라운관(Cathode Ray Tube : CRT)을 대체하고 있다.

[0021] 액정표시장치의 화상 구현원리는 액정의 광학적 이방성과 분극성질을 이용하는 것으로, 주지된 바와 같이 액정은 분자구조가 가늘고 길며 배열에 방향성을 갖는 광학적 이방성과 전기장 내에 놓일 경우에 그 크기에 따라 분자배열 방향이 변화되는 분극성질을 띤다. 이에 액정표시장치는 액정층을 사이에 두고 서로 마주보는 면으로 각각 화소전극과 공통전극이 형성된 어레이 기판(array substrate)과 컬러필터 기판(color filter substrate)을 합착시켜 구성된 액정패널을 필수적인 구성요소로 하며, 이들 전극 사이의 전기장 변화를 통해서 액정분자의 배열방향을 인위적으로 조절하고 이때 변화되는 빛의 투과율을 이용하여 여러 가지 화상을 표시하게 된다.

[0022] 최근에는 특히 화상표현의 기본단위인 화소(pixel)를 행렬 방식으로 배열하고 스위칭 소자를 각 화소에 배치시켜 독립적으로 제어하는 능동 행렬방식(active matrix type)이 해상도 및 동영상 구현능력에서 뛰어나 주목받고 있는데, 이 같은 스위칭 소자로 박막트랜지스터(Thin Film Transistor : TFT)를 사용한 것이 잘 알려진 TFT-LCD(Thin Firm Transistor Liquid Crystal Display device) 이다.

[0023] 좀 더 자세히, 일반적인 액정표시장치의 분해사시도인 도 1에 나타난 바와 같이 액정층(30)을 사이에 두고 어레이 기판(10)과 컬러필터 기판(20)이 대면 합착된 구성을 갖는데, 이중 하부의 어레이 기판(10)은 제 1 투명기판(12) 및 이의 상면으로 중첩 교차 배열되어 다수의 화소영역(P)을 정의하는 복수개의 게이트 배선(14)과 데이터 배선(16)을 포함하며, 이들 두 배선(14, 16)의 교차지점에는 박막 트랜지스터(T)가 구비되어 각 화소영역(P)에 마련된 화소전극(18)과 일대일 대응 접속되어 있다.

[0024] 또한 이와 마주보는 상부의 컬러필터 기판(20)은 제 2 투명기판(22) 및 이의 배면으로 상기 게이트 배선(14)과 데이터 배선(16) 그리고 박막 트랜지스터(T) 등의 비표시영역을 가리도록 각 화소영역(P)을 테두리하는 격자 형상의 블랙매트릭스(25)가 형성되어 있으며, 이들 격자 내부에서 각 화소영역(P)에 대응되게 순차적으로 반복 배열된 적, 녹, 청색 컬러필터층(26)이 형성되어 있으며, 상기 블랙매트릭스(25)와 적, 녹, 청색 컬러필터층(26)

의 전면에 걸쳐 투명한 공통전극(28)이 마련되어 있다.

- [0025] 그리고 도면상에 명확하게 도시되지는 않았지만, 이들 두 기관(10, 20)은 그 사이로 개재된 액정층(30)의 누설을 방지하기 위하여 가장자리 따라 실링제 등으로 봉합(封函)된 상태에서 각 기관(10, 20)과 액정층(30)의 경계 부분에는 액정의 분자배열 방향에 신뢰성을 부여하는 상, 하부 배향막이 개재되며, 각 기관(10, 20)의 적어도 하나의 외측면에는 편광판이 부착된다.
- [0026] 더불어 액정패널 배면으로는 백라이트(back-light)가 구비되어 빛을 공급하는 바, 게이트 배선(14)으로 박막트랜지스터(T)의 온(on)/오프(off) 신호가 순차적으로 스캔 인가되어 선택된 화소영역(P)의 화소전극(18)에 데이터배선(16)의 화상신호가 전달되면 이들 사이의 수직전계에 의해 그 사이의 액정분자가 구동되고, 이에 따른 빛의 투과율 변화로 여러 가지 화상을 표시할 수 있다.
- [0027] 한편, 이 같은 액정표시장치에 있어 어레이 기관(10)과 컬러필터 기관(20)의 모체가 되는 제 1 및 제 2 절연기관(12, 22)은 전통적으로 유리 기관이 사용되었지만, 최근 들어 노트북이나 PDA(personal digital assistant)와 같은 소형의 휴대용 단말기가 널리 보급됨에 따라 이들에 적용 가능하도록 유리보다 가볍고 경량임과 동시에 유연한 특성을 지니고 있어 파손위험이 적은 플라스틱 기관을 이용한 액정패널이 소개된 바 있다.
- [0028] 하지만, 플라스틱 기관을 이용한 액정패널은 액정표시장치의 제조 특성상 특히 스위칭 소자인 박막트랜지스터가 형성되는 어레이 기관의 제조에는 200℃ 이상의 고온을 필요로 하는 고온 공정이 많아 내열성 및 내화확성이 유리기관보다 떨어지는 플라스틱 기관으로 상기 어레이 기관을 제조하는 데에는 어려움이 있어, 컬러필터 기관만을 플라스틱 기관으로 제조하고 어레이 기관은 통상적인 유리 기관을 이용하여 액정표시장치를 제조하고 있는 실정이다.
- [0029] 이러한 문제를 해결하고자 최근에는 유기 반도체물질을 이용하여 200℃ 이하의 저온 공정을 진행하여 박막트랜지스터를 형성하는 것을 특징으로 하는 어레이 기관을 제조 하는 기술이 제안되었다.
- [0030] 200℃ 이하의 저온 공정에서 반도체층을 포함하는 박막트랜지스터를 기관 상에 형성함에 있어서, 전극과 배선을 이루는 금속물질과 절연막과 보호층등의 형성은 저온 증착 또는 도포의 방법 등을 통해 형성하여도 상기 박막트랜지스터의 특성에 별 영향을 주지 않지만, 채널을 형성하는 반도체층은 일반적인 반도체 물질인 비정질 실리콘을 사용하여 저온 공정에 의해 형성하게 되면, 내구 구조가 치밀하지 못하여 전기 전도도 등의 중요 특성이 저하되는 문제가 발생한다.
- [0031] 따라서, 이를 극복하고자 비정질 실리콘 등의 종래의 반도체 물질 대신 반도체 특성을 가진 유기 반도체물질을 이용하여 반도체층을 형성하는 것이 제안되고 있다.
- [0032] 도 2 는 종래의 유기 반도체층을 갖는 유기 박막트랜지스터를 포함하는 액정표시장치용 어레이 기관의 하나의 화소영역을 도시한 평면도이다.
- [0033] 도시한 바와같이, 기관(41)상에 일방향으로 데이터 배선(45)이 연장 형성되어 있으며, 상기 데이터 배선(45)과 교차하여 화소영역(P)을 정의하는 게이트 배선(73)이 형성되어 있다.
- [0034] 또한 이들 두 배선(45, 73)이 교차하는 영역 부근에는 상기 데이터 배선(45)에서 분기하여 일정한 폭(w1)을 갖는 바(bar) 형태로 소스 전극(50)이 형성되어 있으며, 상기 소스 전극(50)과 이격하며 상기 소스 전극(50)과 동일한 폭(w1)을 갖는 바(bar) 형태로 드레인 전극(53)이 형성되어 있으며, 상기 동일한 폭(w1)을 갖는 바(bar) 형태의 소스 전극(50)과 드레인 전극(53)을 포함하여 상기 두 전극(50, 53)의 이격영역을 덮으며 상기 게이트 배선(73)과 연결된 게이트 전극(75)이 형성되어 있다.
- [0035] 이때, 상기 게이트 전극(75) 하부에는 유기 반도체물질로 이루어진 유기 반도체층(60)과 게이트 절연막(미도시)이 형성되어 있으며, 또한 상기 드레인 전극(53)의 일 끝단과 접촉하며 각 화소영역(P)별로 독립된 화소전극(57)이 형성되어 있다.
- [0036] 이때, 상기 화소전극(57)은 그 끝단 일부가 전단의 게이트 배선(73) 일부와 중첩 형성됨으로써 상기 중첩된 화소전극 및 게이트 배선이 각각 제 1, 2 스토리지 전극(58, 77)을 이루며, 이들 두 전극(58, 77) 사이에 형성된 보호층(미도시)과 더불어 스토리지 커패시터(StgC)를 형성하고 있다.
- [0037] 하지만, 전술한 바와 같은 구조를 갖는 종래의 유기 반도체층을 갖는 액정표시장치용 어레이 기관(41)에 있어서, 유기 반도체 물질 특히 액상의 유기반도체 물질을 이용하여 상온에서 도포 또는 코팅하여 상기 유기 반도체층(60)을 형성할 경우, 상기 유기 반도체층(60)의 특성 즉 이동도 등의 반도체 물질적 특성이 비정질 실리콘

콘을 이용한 반도체층 대비 떨어지므로 상기 유기 반도체층(60) 내의 채널비(W/L, W는 채널의 폭, L은 채널의 길이)를 상대적으로 더욱 크게 형성해야 하는 특성에 의해 상기 유기 반도체층(60)과 중첩하는 소스 및 드레인 전극(50, 53)의 폭(w1)을 일반적인 비정질 실리콘의 반도체층을 갖는 어레이 기판의 소스 및 드레인 전극의 폭 대비 두껍게 형성하고 있다.

[0038] 하지만, 이렇게 유기 반도체층(60)과 중첩하는 소스 및 드레인 전극(50, 53)의 폭(w1)을 두껍게 형성함으로써 채널비(W/L)를 향상시키게 되는 점은 있지만, 상기 유기 반도체층(60)은 패터닝을 위해 사용되는 포토레지스트를 제거하기 위한 스트립 액(stripper) 또는 식각액에 매우 취약한 바, 이를 단독으로 패터닝하지 못하고 그 상부로 형성되는 게이트 절연막(미도시)과 금속재질로 이루어지는 게이트 전극(75)과 함께 패터닝되어 형성됨으로써 상기 게이트 전극(75)과도 중첩되게 되며, 이 경우 상기 소스 및 드레인 전극(50, 53)이 종래의 비정질 실리콘을 이용한 어레이 기판 대비 상대적으로 상기 게이트 전극(75)과 중첩되는 면적이 증가하게 됨을 알 수 있다.

[0039] 하지만, 박막트랜지스터(Tr)가 형성되는 스위칭 영역 내에서 상기 게이트 전극(75)과 소스 및 드레인 전극(50, 53)이 중첩되는 면적이 증가할수록 기생용량(상기 게이트 전극(75)과 중첩하는 소스 및 드레인 전극(50, 53)에 의해 발생하는 커패시턴스)이 증가하며, 특히 상기 게이트 전극(75)과 소스 및 드레인 전극(50, 53)간의 기생용량 증가로 인해 화소전극 변화량(ΔV_p)이 증가함으로써 화상이 깜빡거리는 플리커(flicker)가 발생하는 문제가 야기되고 있다.

[0040]

발명이 이루고자 하는 기술적 과제

[0041] 본 발명은 유기 반도체층을 가지며, 그 채널비를 크게 하여 박막트랜지스터의 특성을 향상시키는 동시에 서로 중첩하는 게이트 전극과 소스 및 드레인 전극간의 기생용량의 증가는 최소화하여 플리커(flicker) 발생을 억제할 수 있는 액정표시장치용 어레이 기판을 제공하는 것을 그 목적으로 한다.

발명의 구성 및 작용

[0042] 상기와 같은 목적을 달성하기 위한 본 발명의 따른 유기 반도체층을 구비한 액정표시장치용 어레이 기판은, 기판 상에 "T"자 형태로 형성된 소스 전극과; 상기 소스 전극과 동일한 층에 이격하며 형성되며, "T"자 형태로 형성된 드레인 전극과; 상기 서로 이격하는 소스 및 드레인 전극의 서로 마주하는 부분 및 이들 두전극 사이의 이격된 영역 상에 형성된 유기 반도체층과; 상기 유기 반도체층 위에 형성된 게이트 절연막과; 상기 게이트 절연막 위에 형성된 게이트 전극을 포함한다.

[0043] 이때, 상기 "T"자 형태의 소스 및 드레인 전극은, 각각 시계방향으로 90도 회전한 "T"자 형태와 반시계방향으로 90도 회전한 "T"자 형태를 갖는 것이 특징이며, 상기 소스 및 드레인 전극의 서로 마주하는 부분을 각각 제 1 부분 및 상기 제 1 부분에서 분기한 제 2 부분으로 정의할 때, 상기 소스 및 드레인 전극이 형성된 동일한 층에 상기 소스 전극의 상기 제 2 부분과 연결되며 형성된 데이터 배선과; 상기 기판상에 상기 드레인 전극의 제 2 부분과 접촉하며 형성된 화소전극과; 상기 데이터 배선과 교차하여 화소영역을 정의하며 상기 게이트 전극과 접촉하며 형성된 게이트 배선을 더욱 포함한다. 이때, 상기 게이트 전극 상부에는 상기 게이트 전극 일부를 노출시키는 게이트 콘택홀과 상기 화소전극을 노출시키며 형성된 제 1 보호층을 더욱 포함하며, 상기 게이트 배선은 상기 제 1 보호층 위에 형성되며 상기 게이트 콘택홀을 통해 상기 게이트 전극과 접촉하는 것이 특징이며, 상기 게이트 배선 상부에 형성된 제 2 보호층을 더욱 포함한다.

[0044] 또한, 상기 게이트 절연막과 그 상부에 위치한 게이트 전극은, 상기 게이트 절연막 하부에 위치한 상기 유기 반도체층과 동일한 형태를 이루는 것이 특징이며, 상기 게이트 배선과 상기 화소전극은 상기 제 1 보호층을 사이에 두고 그 일부가 중첩하도록 형성됨으로써 스토리지 커패시터를 형성한다.

[0045] 또한, 상기 기판내에서 동일한 방향성을 갖는 제 1, 2 폭을 정의하고, 상기 소스 및 드레인 전극 각각의 제 1 부분의 폭을 제 1 폭, 제 2 부분의 폭을 제 2 폭이라 할 때, 상기 제 2 폭이 제 1 폭보다 큰 것이 특징이다.

[0046] 이하 도면을 참조하여 본 발명을 보다 상세하게 설명한다.

- [0047] 도 3은 본 발명에 따른 유기 반도체층을 갖는 유기 박막트랜지스터를 구비한 액정표시장치용 어레이 기판의 하나의 화소영역에 대한 평면도이다.
- [0048] 도시한 바와 같이, 일방향으로 게이트 배선(145)이 연장하며 형성되어 있으며, 상기 게이트 배선(145)과 교차하여 화소영역(P)을 정의하며 데이터 배선(105)이 형성되어 있다.
- [0049] 또한, 상기 게이트 배선(145)과 데이터 배선(105)이 교차하는 부근에는 이들 두 배선(145, 105)과 각각 연결되며 스위칭 소자로서 유기 박막트랜지스터(Tr)가 형성되어 있다. 이때, 상기 유기 박막트랜지스터(Tr)는 상기 게이트 배선(145)과 게이트 콘택홀(138)을 통해 접촉하며 형성된 게이트 전극(130)과, 유기 반도체층(120)(도면에 있어서는 상기 게이트 전극에 덮혀진 형태로 상기 게이트 전극과 동일한 패턴 형태로 상기 게이트 전극 하부에 형성됨)과, 상기 유기 반도체층(120)과 접촉하며 상기 데이터 배선(105)과 연결되며 마치 그 모양이 시계방향으로 90도 회전한 "T"자 형태를 갖는 소스 전극(110)과, 상기 유기 반도체층(120)과 접촉하며 상기 시계방향으로 90도 회전한 "T"자 형태를 갖는 소스 전극(110)과 마주하며 반시계 방향으로 90도 회전한 "T"자 형태를 갖는 드레인 전극(113)으로 구성되고 있는 것이 특징이다. 이때 설명의 편의를 위해 상기 소스 및 드레인 전극(110, 113)의 서로 마주하는 부분을 각각 제 1 부분(110a, 113a)이라 칭하고, 상기 제 1 부분(110a, 113a)에서 분기한 부분을 각각 제 2 부분(110b, 113b)이라 칭한다.
- [0050] 이 경우, 상기 데이터 배선(105)과 연결되는 소스전극(110)에 있어서도 상기 데이터 배선(105)과 접촉하는 부분은 상기 소스 전극(110)의 제 2 부분(110b)이 되고 있음을 알 수 있다.
- [0051] 또한, 상기 화소영역(P) 내에는 상기 유기 박막트랜지스터(Tr)의 드레인 전극(113)을 이루는 구성요소 중 상기 소스 전극(110)과 마주하는 제 1 부분(113a)에서 분기한 제 2 부분(113b)의 일부와 접촉하며 화소전극(116)이 형성되어 있으며, 이때, 상기 화소전극(116)의 일 끝단은 상기 게이트 배선(145)(실제적으로는 전단의 게이트 배선)과 중첩하며 형성됨으로써 이들 서로 중첩하는 화소전극과 게이트 배선이 각각 제 1, 2 스토리지 전극(118, 147)을 이루며 스토리지 커패시터(StgC)를 형성하고 있다.
- [0052] 전술한 구조를 갖는 본 발명에 따른 액정표시장치용 어레이 기판에 있어서 구조적으로 가장 특징적인 부분은 각각 시계방향과 반시계 방향으로 90도 회전한 "T"자 형태로 형성된 소스 및 드레인 전극(110, 113)에 있다.
- [0053] 종래에 있어서는 소스 및 드레인 전극이 일관되게 동일한 폭을 가지며 바(bar) 형태로 형성됨으로써 채널비를 크게 하기 위해 상기 소스 및 드레인 전극의 폭을 크게 할 경우 게이트 전극과도 중첩되는 부분이 넓어지게 됨으로써 이들 중첩되는 전극에 의해 발생하는 커패시턴스인 기생용량이 선형적으로 증가하게 되었다.
- [0054] 하지만 본 발명의 경우, 소스 및 드레인 전극의 구조에 있어서 종래와 같은 바(bar) 형태가 아닌 각각 시계방향과 반시계 방향으로 회전한 "T"자 형태로 형성하여 채널의 너비를 결정하는 제 1 부분(110a, 113a)과, 데이터 배선(105) 및 화소전극(116)과 각각 연결되도록 상기 각 제 1 부분(110a, 113a)에서 분기한 형태로 형성된 제 2 부분(110b, 113b)으로 나누어 즉, 상기 소스 및 드레인 전극(110, 113)을 각각 2개의 부분으로 이원화하여 형성함으로써 채널비(W/L)를 크게 하기 위해 서로 마주하는 소스 및 드레인 전극 부분(제 1 부분)을 넓힌다 하더라도 채널의 폭(W)이 늘어나는 면적대비 상기 게이트 전극(130)과 중첩되는 부분이 늘어나는 면적은 종래에 비해 월등히 작은 값을 갖도록 한 것이 특징이다.
- [0055] 여기서 게이트 전극과 소스 및 드레인 전극의 중첩하여 이들 중첩되는 전극 간 기생용량이 왜 표시품질에 영향을 끼치게 되는지에 대해 간단히 설명한다.
- [0056] 통상적으로 게이트 전압은 문턱전압(V_{th} : threshold voltage) 이상의 크기를 갖는 V_{GH} 와 문턱전압 이하의 크기를 갖는 V_{GL} 값을 갖는 펄스와 형태로 인가되며 V_{GH} 가 인가되는 경우, 유기 박막트랜지스터가 온(on) 상태로 되어 데이터 배선(105)을 통해 공급되는 데이터 신호 전압이 상기 유기 박막트랜지스터를 통해 화소전극으로 인가되며 이러한 시점에서 상기 게이트 전극에 인가되는 전압이 V_{GL} 가 되면, 소정시간(다음의 V_{GH} 가 인가 될 때까지의 시간)동안 현재 인가된 데이터 신호전압을 상기 화소전극이 유지해야 하나 상기 게이트 전압이 문턱전압 이하로 떨어지는 순간 소정량의 전압강하가 발생하게 된다. 이때, 상기 화소전극 내에서 이러한 전압강하로 인한 화소전압의 변화량을 ΔV_p 라 정의하고 있다.
- [0057] 이러한 화소전압 변화량 ΔV_p 를 수식으로 표현하면,

- [0058]
$$\Delta V_p = \frac{C_{gs}}{C_{LC} + C_{ST} + C_{gs}} \Delta V_g, \quad (\Delta V_g = V_{GH} - V_{GL}) \quad \text{---①}$$
- [0059] 로 표현될 수 있다. 이때, C_{LC} 는 액정의 정전용량이며, C_{ST} 는 스토리지 커패시터의 정전용량, C_{gs} (또는 C_{gd})는 중첩된 게이트 전극과 소스 전극(또는 드레인 전극)간의 기생용량이다.
- [0060] 이때 상기 수식 ①을 살펴보면 게이트 전극과 소스 전극간의 기생용량 C_{gs} 가 증가하면 할수록 ΔV_p 가 커지게 됨을 알 수 있다.
- [0061] 한편, 액정표시장치에 있어서는 상기 화소전극 변화량 ΔV_p 가 커지게 되면, 액정표시장치 구동 시 액정 충전(charging)이 제대로 이루어지지 않게 됨으로써 화면이 부분적으로 깜빡이는 것처럼 느껴지는 플리커(flicker)가 발생하게 된다.
- [0062] 액정표시장치에 있어서 위치별 ΔV_p 의 분포가 균일하지 못하고 그 차이가 클 경우, V_{LC} (액정층에 걸리는 전압) 또한 위치별로 차이가 나게 되므로 광 투과량의 위치별 불균일을 초래하여 결국 국부적 플리커(flicker) 악화와 같은 화질 저하를 야기시키게 된다. 이 경우 위치별 ΔV_p 의 분포 불균일은 상기 ΔV_p 의 크기가 커지면 커질수록 더욱 증가하게 되는 바, 이로 인해 플리커(flicker) 발생이 증가하게 된다.
- [0063] 하지만, 본 발명의 경우, 유기 반도체층(120)과 접촉하며 상기 유기 반도체층(120)과 동일한 형태를 갖는 게이트 전극(130)과 중첩되는 소스 및 드레인 전극(110, 113)은, 이들 두 전극(110, 113)이 서로 마주하는 부분(각 전극의 제 1 부분)의 면적(도면상에 있어서는 마주하는 부분의 길이)을 크게 하고자 각각 회전한 "T"자 형태의 소스 및 드레인 전극의 제 1 부분(110a, 113a)이 마주하도록 위치하고 있으며, 이들 제 1 부분(110a, 113a)에서 분기한 형태로 각각 상기 데이터 배선(105)과 화소전극(116)과 연결되는 각 제 2 부분(110b, 113b)은 채널의 너비(W)의 증가에 관계없이 일정한 폭(w2)을 갖도록 형성되고 있다. 도면에 있어서는 채널이 너비(W)가 상기 소스 및 드레인 전극의 제 2 부분의 폭(w2) 보다 크게 형성됨을 보이고 있다($W > w2$).
- [0064] 따라서, 본 발명에 따른 유기 박막트랜지스터(Tr)를 포함하는 액정표시장치용 어레이 기판(101)은, 상기 유기 반도체층(120)을 포함하는 유기 박막트랜지스터(Tr) 특성 상 채널의 폭(W)을 증가시키면서도 상기 유기 반도체층(120)과 동일한 형태를 갖는 게이트 전극(130)과의 중첩되는 부분의 면적 증가는 억제하는 구조가 되는 바, 채널 폭(W) 증가에 의한 채널비(W/L) 향상을 도모하면서 화소전극 변화량인 ΔV_p 의 증가는 억제하는 구조가 됨으로써 플리커(flicker) 발생을 최소화할 수 있는 것이 특징이다.
- [0065] 이때, 도 3의 A영역(스위칭 영역)을 확대 도시한 도 4를 참조하면, 도면에 있어서 점선 부분으로 나타낸 부분(B)은 종래와 본 발명에 있어 동일한 크기의 채널 폭(W)을 갖도록 형성하였을 경우, 본 발명의 소스 및 드레인 전극(110, 113) 대비 종래의 바(bar) 형태의 소스 및 드레인 전극의 게이트 전극과 더욱 중첩되는 영역을 나타낸 것이다.
- [0066] 종래와 본 발명에 따른 어레이 기판에 있어 동일한 크기의 채널 폭을 갖도록 유기 박막트랜지스터를 형성했다고 가정했을 경우, 본 발명에 따른 유기 박막트랜지스터(Tr)를 갖는 액정표시장치용 어레이 기판(101)의 경우, 상기 점선으로 도시된 부분(B)의 면적만큼이, 동일한 폭으로 바(bar) 형태의 소스 및 드레인 전극을 갖는 종래의 유기 박막트랜지스터를 포함하는 액정표시장치용 어레이 기판 대비 상기 게이트 전극(130)과 중첩되지 않게 되는 바, 상기 점선으로 도시된 부분(B)의 면적에 대한 기생용량(C_{gs})의 크기가 줄어들게 됨으로써 최종적으로 ΔV_p 의 크기를 줄일 수 있게 됨을 알 수 있다.
- [0067] 이후에는 본 발명에 따른 그 제 1 부분이 서로 마주하도록 각각 시계방향과 반시계방향으로 90도 회전한 "T"자 형태의 소스 및 드레인 전극을 갖는 유기 반도체층을 구비한 액정표시장치용 어레이 기판의 단면 구조에 대해 간단히 설명한다.
- [0068] 도 5는 도 3을 절단선 V-V를 따라 절단한 부분에 대한 단면도이다.
- [0069] 도시한 바와 같이, 기판(101)상에 금속물질 예를들면 금(Au)으로 이루어진 데이터 배선(105)과, 상기 데이터 배선(105)과 동일한 금속물질로써 이루어지며 서로 이격하며 소스 및 드레인 전극(110, 113)이 형성되어 있다. 이때, 상기 소스 전극(110)은 그 제 2 부분(미도시)이 상기 데이터 배선(미도시)과 연결되며 형성되고 있다.
- [0070] 한편, 도면에서는 잘 나타나지 않았지만, 상기 소스 및 드레인 전극(110, 113)은 각각 시계방향과 반시계방향으로 90도 회전한 "T"자 형태를 함으로써 상기 소스 및 드레인 전극의 제 1 부분(미도시, 113a)이 서로 마주하는

형태로 서로 이격하여 형성된 것이 특징이다.

[0071] 다음, 상기 데이터 배선(미도시)과 각각 90도 회전한 "T"자 형태의 소스 및 드레인 전극(110, 113)과, 이들 구성요소 외부로 노출된 기관(101) 상에 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)로써 이루어지며, 상기 반시계방향으로 90도 회전한 "T"자 형태의 드레인 전극의 제 2 부분(113b) 즉 상기 드레인 전극의 제 1 부분(113a)에서 분기하여 형성된 부분 일부와 직접 접촉하며 각 화소영역(P)별로 패터닝된 형태로 화소전극(116)이 형성되어 있다.

[0072] 또한, 상기 서로 이격한 소스 및 드레인 전극(110, 113) 상부로 유기 반도체물질 예를들면 액상의 펜타신(pentacene) 또는 폴리사이오펜(polythiophene)으로 이루어진 유기 반도체층(120)이 형성되어 있으며, 상기 유기 반도체층(120) 상부로 상기 유기 반도체층(120)과 반응하지 않고 또한 영향을 끼치지 않는 유기 절연물질 예를들면 포토아크릴(photo acryl) 또는 PVA(poly vinyl alcohol)로 이루어진 게이트 절연막(125)이 형성되어 있다.

[0073] 또한, 상기 게이트 절연막(125) 위로는 제 2 금속물질 예를들면 몰리브덴(Mo)으로 이루어진 게이트 전극(130)이 형성되어 있다.

[0074] 이때, 상기 유기 반도체층(120) 상부에 형성된 상기 게이트 절연막(125)과 그 상부에 형성된 게이트 전극(130)은 상기 유기 반도체층(120)과 동일한 패턴 형태를 이루고 있는 것이 특징이며, 상기 기관면으로부터 순차 적층된 형태의 구성요소 즉, 각각 90도 회전한 "T"자 형태의 소스 및 드레인 전극(110, 113)과 유기 반도체층(120)과 게이트 절연막(125)과 게이트 전극(130)은 유기 박막트랜지스터(Tr)를 이루고 있다.

[0075] 다음, 상기 게이트 전극(130) 위로는 상기 게이트 전극(130) 일부를 노출시키는 게이트 콘택홀(138)을 가지며, 상기 화소영역(P)내에 형성된 화소전극(116) 대부분을 노출시키며 유기 절연물질로 이루어진 보호층(135)이 형성되어 있으며, 상기 보호층(135) 위로 상기 게이트 콘택홀(138)을 통해 상기 게이트 전극(130)과 접촉하며, 상기 데이터 배선(미도시)과 교차하여 상기 화소영역(P)을 정의하는 게이트 배선(145)이 형성되어 있다.

[0076] 이때 상기 게이트 배선(145)은 상기 보호층(135) 하부에 위치한 화소전극(116)의 일끝단과 중첩하도록 형성됨으로써 이와 중첩하는 화소전극과 더불어 스토리지 커패시터(StgC)를 형성하고 있다. 즉, 상기 서로 중첩하는 게이트 배선과 화소전극 부분(118, 147)은, 상기 보호층(135)을 사이에 두고 그 하부에 위치한 중첩된 화소전극 부분을 제 1 스토리지 전극(118), 상기 보호층(135) 상부로 형성되며 중첩된 게이트 배선 부분을 제 2 스토리지 전극(147)으로 하며, 상기 제 1, 2 스토리지 전극(118, 147) 사이에 위치한 보호층(135)을 유전체층으로 하여 스토리지 커패시터(StgC)를 구성하고 있다.

[0077] 이때 도면에는 나타나지 않았으나, 상기 게이트 배선(145) 상부로 상기 게이트 배선(145)의 부식 방지 및 보호를 위해 제 2 보호층이 더욱 형성될 수도 있다.

발명의 효과

[0078] 본 발명에 의한 유기 반도체층과 이와 접촉하며 각각 90도 회전한 "T"자 형태의 소스 및 드레인 전극을 갖는 액정표시장치용 어레이 기관은 채널비가 큰 유기 박막트랜지스터를 형성하면서도 특성상 소스 및 드레인 전극이 게이트 전극과 중첩되는 면적의 증가를 최소화하여 기생용량(Cgs)의 증가를 억제함으로써 플리커(flicker) 등의 발생에 의한 화질저하를 억제하는 효과가 있다.

도면의 간단한 설명

[0001] 도 1은 일반적인 액정표시장치의 분해사시도.

[0002] 도 2 는 종래의 유기 박막트랜지스터를 포함하는 액정표시장치용 어레이 기관의 하나의 화소영역을 도시한 평면도.

[0003] 도 3은 본 발명에 따른 유기 반도체층을 갖는 유기 박막트랜지스터를 구비한 액정표시장치용 어레이 기관의 하나의 화소영역에 대한 평면도.

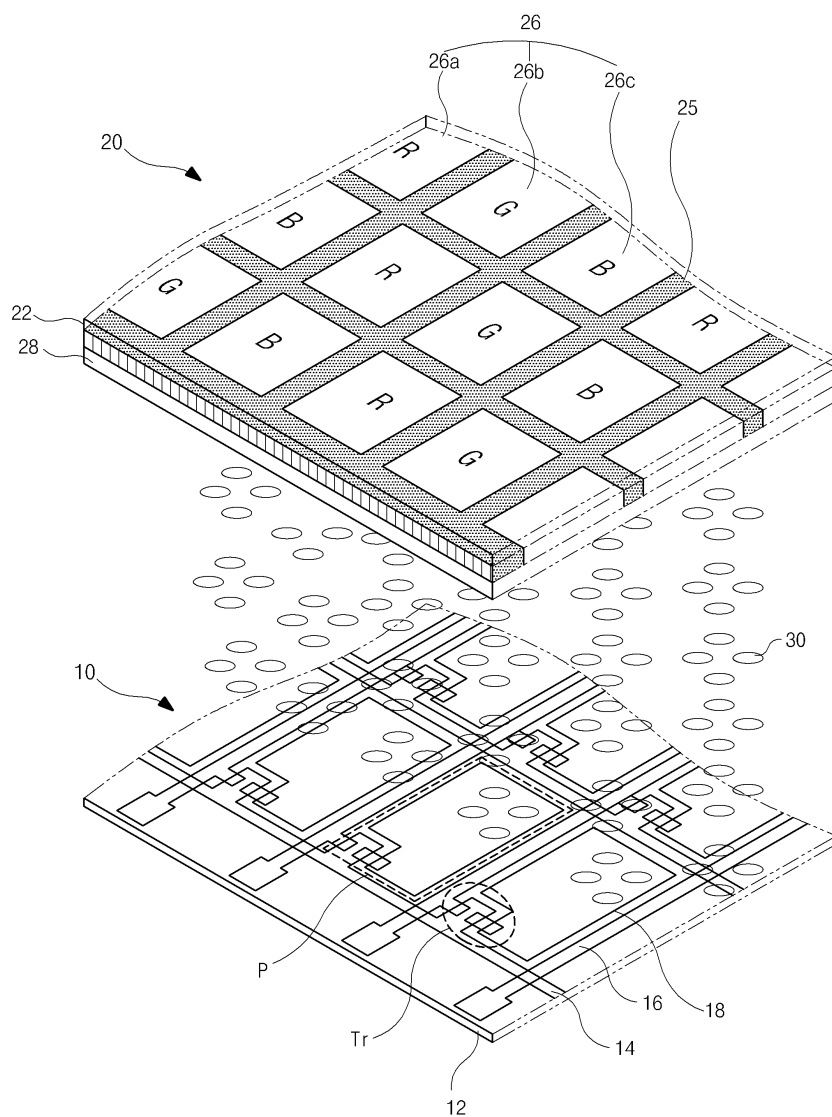
[0004] 도 4는 도 3의 A영역을 확대 도시한 도면.

[0005] 도 5는 도 3을 절단선 V-V를 따라 절단한 부분에 대한 단면도.

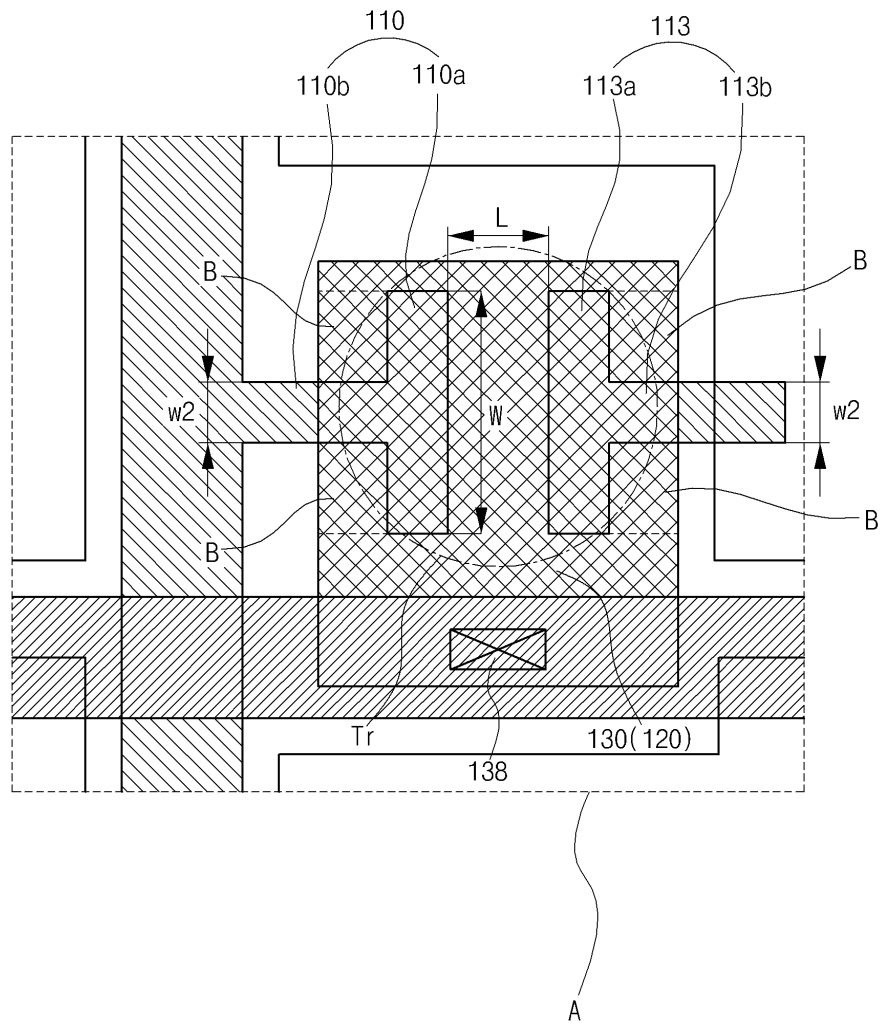
[0006]	<도면의 주요부분에 대한 부호의 설명>	
[0007]	101 : (어레이)기관	105 : 데이터 배선
[0008]	110 : 소스 전극	110a : 소스 전극의 제 1 부분
[0009]	110b : 소스전극의 제 2 부분	113 : 드레인 전극
[0010]	113a : 드레인 전극의 제 1 부분	113b : 드레인 전극의 제 2 부분
[0011]	116 : 화소전극	118 : 제 1 스토리지 전극
[0012]	120 : 유기 반도체층	130 : 게이트 전극
[0013]	138 : 게이트 콘택홀	145 : 게이트 배선
[0014]	147 : 제 2 스토리지 전극	
[0015]	B : 종래대비 줄어든 게이트 전극과 중첩되는 소스 및 드레인 전극부분	
[0016]	P : 화소영역	StgC : 스토리지 커패시터
[0017]	Tr : 유기 박막트랜지스터	
[0018]		

도면

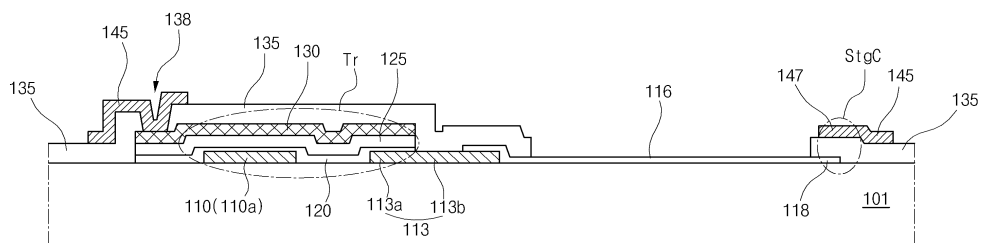
도면1



도면4



도면5



专利名称(译)	一种用于液晶显示器的阵列基板		
公开(公告)号	KR101294693B1	公开(公告)日	2013-08-08
申请号	KR1020060101128	申请日	2006-10-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI NACK BONG		
发明人	CHOI, NACK BONG		
IPC分类号	G02F1/136 G02F		
CPC分类号	G02F1/1368 G02F2001/13606 H01L29/78618		
其他公开文献	KR1020080035044A		
外部链接	Espacenet		

摘要(译)

提供一种用于LCD（液晶显示器）的阵列基板，以形成具有大沟道比的有机TFT（薄膜晶体管），并通过最小化源极和漏极与栅极重叠的面积的增加来抑制寄生电容的增加。电极，从而抑制了由闪烁等产生的图像质量的下降。具有“T”形的源电极（110）形成在基板（101）上。漏电极（113）形成在与源电极相同的层中并且与源电极间隔开，并且形成成为“T”形。源电极和漏电极彼此面对的部分是第一部分（110a，113a）。第二部分（110b，113b）从第一部分分支。在第一部分和第二部分中形成有机半导体层（120）。在有机半导体层上形成栅极绝缘层。在栅极绝缘层上形成栅电极。有机TFT包括有机半导体层。因此，增加了通道的宽度。并且，抑制了源电极和漏电极与具有与有机半导体层相同形状的栅电极重叠的区域的增大。

