(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월07일
(11) 등록번호 10-1294232
(24) 등록일자 2013년08월01일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01)
(21) 출원번호 10-2007-0056099
(22) 출원일자 2007년06월08일
심사청구일자 2012년05월31일
(65) 공개번호 10-2008-0107821
(43) 공개일자 2008년12월11일
(56) 선행기술조사문헌
US20060139504 A1
US20060138417 A1

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
송인덕
경상북도 구미시 고아읍 문장로26길 11, 대우APT 106동 1305호
임병호
경상북도 구미시 봉곡로23길 6-20, 영남네오빌시티 201-1402호 (봉곡동)
(74) 대리인
특허법인네이트

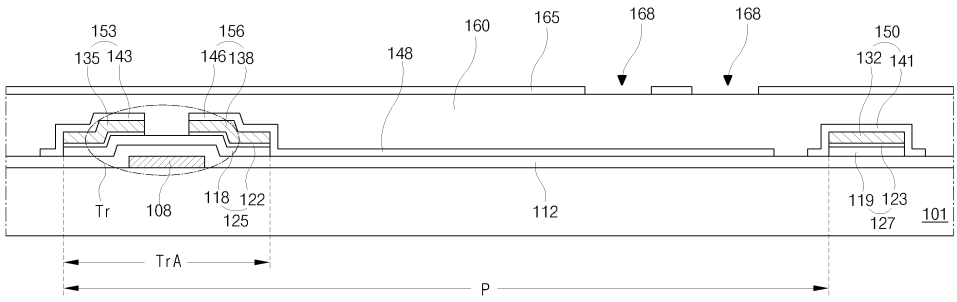
전체 청구항 수 : 총 12 항 심사관 : 이준석

(54) 발명의 명칭 **프린지 필드 스위칭 모드 액정표시장치용 어레이 기판 및이의 제조 방법**

(57) 요 약

본 발명은 기판 상에 일방향으로 연장하며 형성된 게이트 배선 및 상기 게이트 배선과 연결된 게이트 전극과; 상기 게이트 배선 및 게이트 전극 위로 형성된 게이트 절연막과; 상기 게이트 절연막 위로 상기 게이트 전극에 대응하여 형성된 반도체층과; 상기 반도체층 상에서 서로 이격하며 그 양끝단이 상기 반도체층의 양끝단과 일치하는 하부층과, 상기 하부층을 덮는 구조의 상부층의 이중층 구조를 가지며 형성된 소스 및 드레인 전극과; 상기 게이트 절연막 위로 상기 게이트 배선과 교차하여 화소영역을 정의하며 이중층 구조를 가지며 형성된 데이터 배선과; 상기 게이트 절연막 위로 상기 화소영역에 상기 드레인 전극의 상부층에서 연장하여 형성된 판형태를 갖는 화소전극과; 상기 소스 및 드레인 전극과 화소전극 위로 형성된 보호층과; 상기 보호층 위로 투명 도전성 물질로 이루어지며 상기 화소영역에 대응하여 이격하며 바 형태를 갖는 홀을 구비한 공통전극을 포함하는 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판을 제공한다.

대 표 도 - 도5



특허청구의 범위

청구항 1

기판 상에 일방향으로 연장하며 형성된 게이트 배선 및 상기 게이트 배선과 연결된 게이트 전극과;

상기 게이트 배선 및 게이트 전극 위로 형성된 게이트 절연막과;

상기 게이트 절연막 위로 상기 게이트 전극에 대응하여 형성된 반도체층과;

상기 반도체층 상에서 서로 이격하며 그 양끝단이 상기 반도체층의 양끝단과 일치하는 하부층과, 상기 하부층을 덮는 구조의 상부층의 이중층 구조를 가지며 형성된 소스 및 드레인 전극과;

상기 게이트 절연막 위로 상기 게이트 배선과 교차하여 화소영역을 정의하며 이중층 구조를 가지며 형성된 데이터 배선과;

상기 게이트 절연막 위로 상기 화소영역에 상기 드레인 전극의 상부층에서 연장하여 형성된 판형태를 갖는 화소전극과;

상기 소스 및 드레인 전극과 화소전극 위로 형성된 보호층과;

상기 보호층 위로 투명 도전성 물질로 이루어지며 상기 화소영역에 대응하여 이격하며 바 형태를 갖는 홀을 구비한 공통전극

을 포함하는 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판.

청구항 2

제 1 항에 있어서,

상기 게이트 배선은 그 자체로 게이트 전극을 이루는 것이 특징인 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판.

청구항 3

제 1 항에 있어서,

상기 소스 및 드레인 전극의 상부층은 상기 소스 및 드레인 전극의 하부층과 중첩하는 반도체층 중 서로 마주하는 면을 제외한 반도체층의 측면까지 덮으며 형성된 것이 특징인 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판.

청구항 4

제 1 항에 있어서,

상기 이중층 구조의 데이터 배선 하부에는 반도체 패턴이 더욱 형성된 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판.

청구항 5

제 4 항에 있어서,

상기 이중층 구조의 데이터 배선 중 그 상부층은 상기 하부층과 그 하부에 위치한 상기 반도체 패턴의 측면까지 덮도록 형성된 것이 특징인 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판.

청구항 6

제 1 항에 있어서,

상기 데이터 배선과 소스 및 드레인 전극의 상부층과 상기 화소전극은 투명 도전성 물질로 이루어진 것이 특징인 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판.

청구항 7

기판 상에 일방향으로 연장하는 게이트 배선 및 상기 게이트 배선과 연결된 게이트 전극을 형성하는 단계와;

상기 게이트 배선 및 게이트 전극 위로 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위로 반도체층과 상기 반도체층의 양끝단과 각각 일치하는 형태로 단일층 구조로 연결된 상태의 소스 드레인 패턴과 이와 연결되며 단일층 구조로 상기 게이트 배선과 교차하여 화소영역을 정의하는 제 1 데이터 배선 패턴을 형성하는 단계와;

상기 소스 드레인 연결패턴 위로 투명 도전성 물질을 전면에 증착하고 패터닝함으로써 상기 게이트 절연막 위로 상기 화소영역에 판형태의 화소전극을 형성하며, 동시에 상기 소스 드레인 패턴 상부에서 서로 이격하는 형태의 소스 및 드레인 전극 상부층 및 상기 제 1 데이터 배선 패턴 위로 제 2 데이터 배선 패턴을 형성하는 단계와;

상기 소스 드레인 전극 상부층 사이로 노출된 소스 드레인 패턴을 제거함으로써 서로 이격하는 이중층 구조의 소스 및 드레인 전극을 형성하는 단계와;

상기 화소전극 위로 보호층을 형성하는 단계와;

상기 보호층 위로 투명 도전성 물질을 증착하고 패터닝함으로써 상기 화소전극에 대응하여 다수의 이격하는 바(bar) 형태의 홀을 갖는 공통전극을 형성하는 단계

를 포함하는 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 제조 방법.

청구항 8

제 7 항에 있어서,

상기 반도체층과 상기 단일층 구조의 제 1 데이터 배선 패턴과 소스 드레인 연결패턴을 형성하는 단계는,

상기 게이트 절연막 위로 순차적으로 순수 및 불순물 비정질 실리콘 물질층과 금속물질층을 형성하는 단계와;

상기 금속물질층과 그 하부의 불순물 및 순수 비정질 실리콘 물질층을 패터닝하여 액티브층과 그 상부로 순차적으로 연결된 상태의 불순물 비정질 실리콘층 및 상기 소스 드레인 연결패턴을 형성하고 동시에 순수 및 불순물 비정질 실리콘 패턴과 그 상부로 상기 단일층의 제 1 데이터 배선 패턴을 형성하는 단계

를 포함하는 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 제조 방법.

청구항 9

제 8 항에 있어서,

상기 소스 및 드레인 전극 상부층 사이로 노출된 소스 드레인 연결패턴을 제거함으로써 서로 이격하는 이중층 구조의 소스 및 드레인 전극을 형성하는 단계는,

상기 이중층 구조의 소스 및 드레인 전극 사이로 노출된 불순물 비정질 실리콘층을 제거하여 서로 이격하는 오믹콘택층을 형성하는 단계

를 더욱 포함하는 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 제조 방법.

청구항 10

제 8 항에 있어서,

상기 제 2 데이터 배선 패턴은, 상기 제 1 데이터 배선 패턴과 그 하부에 형성된 불순물 및 순수 비정질 실리콘 패턴의 측면까지 덮도록 형성하는 것이 특징인 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 제조 방법.

청구항 11

제 7 항에 있어서,

상기 소스 드레인 연결패턴 상부에서 서로 이격하는 형태의 소스 및 드레인 전극 상부층은 상기 소스 드레인 연결패턴의 측면까지 완전히 덮도록 형성하는 것이 특징인 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 제조 방법.

청구항 12

제 7 항에 있어서,

상기 게이트 전극은 상기 게이트 배선 자체로서 상기 게이트 전극을 이루며 상기 이중층 구조의 소스 및 드레인 전극은 상기 게이트 배선과 중첩하도록 형성하는 것이 특징인 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0021] 본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것으로 특히, 프린지 필드 효과를 갖는 횡전계형 액정표시장치용 어레이 기판 및 그 제조 방법에 관한 것이다.

[0022] 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

[0023] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0024] 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

[0025] 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판과 화소전극이 형성된 어레이 기판과, 상기 두 기판 사이에 개재된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상하로 걸리는 전기장에 의해 액정을 구동하는 방식으로 투과율과 개구율 등의 특성이 우수하다.

[0026] 그러나, 상하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 가지고 있다.

[0027] 따라서, 상기의 단점을 극복하기 위해 시야각 특성이 우수한 횡전계형 액정표시장치가 제안되었다.

[0028] 이하, 도 1을 참조하여 일반적인 횡전계형 액정표시장치에 관하여 상세히 설명한다.

[0029] 도 1은 일반적인 횡전계형 액정표시장치의 단면을 도시한 도면이다.

[0030] 도시한 바와 같이, 컬러필터 기판인 상부기판(9)과 어레이 기판인 하부기판(10)이 서로 이격되어 대향하고 있으며, 이 상부 및 하부기판(9, 10)사이에는 액정층(11)이 개재되어 있다.

[0031] 상기 하부기판(10)상에는 공통전극(17)과 화소전극(30)이 동일 평면상에 형성되어 있으며, 이때, 상기 액정층(11)은 상기 공통전극(17)과 화소전극(30)에 의한 수평전계(L)에 의해 작동된다.

[0032] 도 2a와 2b는 일반적인 횡전계형 액정표시장치의 온(on), 오프(off) 상태의 동작을 각각 도시한 단면도이다.

[0033] 우선, 전압이 인가된 온(on)상태에서의 액정의 배열상태를 도시한 도 2a를 참조하면, 상기 공통전극(17) 및 화소전극(30)과 대응하는 위치의 액정(11a)의 상변이는 없지만 공통전극(17)과 화소전극(30)사이 구간에 위치한 액정(11b)은 이 공통전극(17)과 화소전극(30)사이에 전압이 인가됨으로써 형성되는 수평전계(L)에 의하여, 상기 수평전계(L)와 같은 방향으로 배열하게 된다. 즉, 상기 횡전계형 액정표시장치는 액정이 수평전계에 의해 이동하므로, 시야각이 넓어지는 특성을 띠게 된다.

[0034] 그러므로, 상기 횡전계형 액정표시장치를 정면에서 보았을 때, 상/하/좌/우방향으로 약 80~85°방향에서도 반전현상 없이 가시 할 수 있다.

[0035] 다음, 도 2b를 참조하면, 상기 액정표시장치에 전압이 인가되지 않은 오프(off)상태이므로 상기 공통전극과 화소전극 간에 수평전계가 형성되지 않으므로 액정층(11)의 배열 상태가 변하지 않는다.

[0036] 하지만 이러한 횡전계형 액정표시장치는 시야각을 향상시키는 장점을 갖지만 개구율 및 투과율이 낮은 단점을 갖는다.

[0037] 따라서 이러한 횡전계형 액정표시장치의 단점을 개성하기 위하여 프린지 필드(Fringe field)에 의해 액정이 동작하는 것을 특징으로 하는 프린지 필드 스위칭 모드 액정표시장치(fringe field switching mode LCD)가 제안되었다.

[0038] 도 3은 종래의 프린지 필드 스위칭 모드 액정표시장치의 어레이 기판에 있어 하나의 화소영역에 대한 단면도이다.

[0039] 도시한 바와같이, 프린지 필드 스위칭 모드 액정표시장치의 어레이 기판(41)은 투명한 절연기판(41) 상에 게이트 절연막(49)을 사이에 두고 게이트 배선(미도시)과 데이터 배선(59) 교차하여 다수의 화소영역(P)을 정의하고 있으며, 상기 게이트 배선(미도시)과 데이터 배선(59)의 교차지점에는 스위칭 소자로서 박막트랜지스터(Tr)가 형성되어 있다.

[0040] 또한 상기 박막트랜지스터(Tr)를 덮으며 상기 박막트랜지스터(Tr)의 드레인 전극(62) 일부를 노출시키는 드레인 콘택홀(67)을 갖는 보호층(65)이 전면에 형성되어 있다.

[0041] 또한, 각 화소영역(P)에 있어서는 상기 기판(41)과 게이트 절연막(49) 사이에 투명 도전성 물질로 이루어진 판형태의 공통전극(44)이 형성되어 있으며, 상기 보호층(65) 상부에는 상기 드레인 콘택홀(67)을 통해 상기 박막트랜지스터(Tr)의 드레인 전극(62)과 접촉함으로써 전기적으로 연결된 다수의 화소전극(69)이 소정간격 이격하며 형성되어 있다. 이때 상기 다수의 화소전극(69)과 상기 판형태의 공통전극(44)에 전압이 인가됨으로써 프린지 필드(Fringe field)를 형성하게 된다.

[0042] 한편, 전술한 구조를 갖는 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 경우 통상적으로 6마스크 또는 5마스크 공정에 의해 제조되고 있으며, 특히 5마스크 공정에 의해 제조되는 경우, 슬릿영역이 구비된 회절노광 마스크를 이용하여 마스크 공정을 진행하여 서로 이격하는 소스 및 드레인 전극(60, 62)과 액티브층(53)과 오믹콘택층(55)을 포함하는 반도체층(57)의 패터닝 공정을 동시에 실시함으로써 도면상의 A로 표시된 것과 같이 소스 및 드레인 전극(60, 62)의 끝단 외부로 반도체층(57)이 노출되는 구조를 갖도록 형성되고 있는 실정이다.

[0043] 이 경우 상기 소스 및 드레인 전극(60, 62)의 각 끝단 외부로 노출된 반도체층(57)에 의해 외부광이 조사됨으로써 누설전류가 발생하며, 이로인해 웨이비 노이즈가 발생하게 되며, 따라서 최종적으로 표시품질의 저하를 유발시킴으로써 문제가 되고 있다.

[0044]

발명이 이루고자 하는 기술적 과제

[0045] 본 발명은 이러한 종래의 프린지 필드 스위칭 모드 액정표시장치의 문제점을 해결하기 위해 안출된 것으로, 5마

스크 공정을 진행하여 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판을 제조하는데 있어서, 슬릿영역을 포함하는 회절노광 마스크를 이용한 마스크 공정 진행없이 5마스크 공정에 의한 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판을 제조함으로써 웨이비 노이즈를 발생을 방지하는 것을 그 목적으로 한다.

발명의 구성 및 작용

[0046] 전술한 바와 같은 목적을 달성하기 위한 본 발명에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판은, 기판 상에 일방향으로 연장하며 형성된 게이트 배선 및 상기 게이트 배선과 연결된 게이트 전극과; 상기 게이트 배선 및 게이트 전극 위로 형성된 게이트 절연막과; 상기 게이트 절연막 위로 상기 게이트 전극에 대응하여 형성된 반도체층과; 상기 반도체층 상에서 서로 이격하며 그 양끝단이 상기 반도체층의 양끝단과 일치하는 하부층과, 상기 하부층을 덮는 구조의 상부층의 이중층 구조를 가지며 형성된 소스 및 드레인 전극과; 상기 게이트 절연막 위로 상기 게이트 배선과 교차하여 화소영역을 정의하며 이중층 구조를 가지며 형성된 데이터 배선과; 상기 게이트 절연막 위로 상기 화소영역에 상기 드레인 전극의 상부층에서 연장하여 형성된 판형태를 갖는 화소전극과; 상기 소스 및 드레인 전극과 화소전극 위로 형성된 보호층과; 상기 보호층 위로 투명 도전성 물질로 이루어지며 상기 화소영역에 대응하여 이격하며 바 형태를 갖는 홀을 구비한 공통전극을 포함한다.

[0047] 이때, 상기 게이트 배선은 그 자체로 게이트 전극을 이루는 것이 특징이며, 상기 소스 및 드레인 전극의 상부층은 상기 소스 및 드레인 전극의 하부층과 중첩하는 반도체층 중 서로 마주하는 면을 제외한 반도체층의 측면까지 덮으며 형성된 것이 특징이다.

[0048] 또한, 상기 이중층 구조의 데이터 배선 하부에는 반도체 패턴이 더욱 형성된 것이 특징이며, 상기 이중층 구조의 데이터 배선 중 그 상부층은 상기 하부층과 그 하부에 위치한 상기 반도체 패턴의 측면까지 덮도록 형성된 것이 특징이다.

[0049] 또한, 상기 데이터 배선과 소스 및 드레인 전극의 상부층과 상기 화소전극은 투명 도전성 물질로 이루어진 것이 특징이다.

[0050] 본 발명에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 제조 방법은, 기판 상에 일방향으로 연장하는 게이트 배선 및 상기 게이트 배선과 연결된 게이트 전극을 형성하는 단계와; 상기 게이트 배선 및 게이트 전극 위로 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위로 반도체층과 상기 반도체층의 양끝단과 각각 일치하는 형태로 단일층 구조로 연결된 상태의 소스 드레인 패턴과 이와 연결되며 단일층 구조로 상기 게이트 배선과 교차하여 화소영역을 정의하는 제 1 데이터 배선 패턴을 형성하는 단계와; 상기 소스 드레인 연결패턴 위로 투명 도전성 물질을 전면에 증착하고 패터닝함으로써 상기 게이트 절연막 위로 상기 화소영역에 판형태의 화소전극을 형성하며, 동시에 상기 소스 드레인 패턴 상부에서 서로 이격하는 형태의 소스 및 드레인 전극 상부층 및 상기 제 1 데이터 배선 패턴 위로 제 2 데이터 배선 패턴을 형성하는 단계와; 상기 소스 드레인 전극 상부층 사이로 노출된 소스 드레인 패턴을 제거함으로써 서로 이격하는 이중층 구조의 소스 및 드레인 전극을 형성하는 단계와; 상기 화소전극 위로 보호층을 형성하는 단계와; 상기 보호층 위로 투명 도전성 물질을 증착하고 패터닝함으로써 상기 화소전극에 대응하여 다수의 이격하는 바(bar) 형태의 홀을 갖는 공통전극을 형성하는 단계를 포함한다.

[0051] 이때, 상기 반도체층과 상기 단일층 구조의 제 1 데이터 배선 패턴과 소스 드레인 연결패턴을 형성하는 단계는, 상기 게이트 절연막 위로 순차적으로 순수 및 불순물 비정질 실리콘 물질층과 금속물질층을 형성하는 단계와; 상기 금속물질층과 그 하부의 불순물 및 순수 비정질 실리콘 물질층을 패터닝하여 액티브층과 그 상부로 순차적으로 연결된 상태의 불순물 비정질 실리콘층 및 상기 소스 드레인 연결패턴을 형성하고 동시에 순수 및 불순물 비정질 실리콘 패턴과 그 상부로 상기 단일층의 제 1 데이터 배선 패턴을 형성하는 단계를 포함하며, 이 경우, 상기 소스 및 드레인 전극 상부층 사이로 노출된 소스 드레인 연결패턴을 제거함으로써 서로 이격하는 이중층 구조의 소스 및 드레인 전극을 형성하는 단계는, 상기 이중층 구조의 소스 및 드레인 전극 사이로 노출된 불순물 비정질 실리콘층을 제거하여 서로 이격하는 오믹콘택층을 형성하는 단계를 더욱 포함하며, 이때, 상기 제 2 데이터 배선 패턴은 상기 제 1 데이터 배선 패턴과 그 하부에 형성된 불순물 및 순수 비정질 실리콘패턴의 측면까지 덮도록 형성하는 것이 특징이다.

[0052] 또한, 상기 소스 드레인 연결패턴 상부에서 서로 이격하는 형태의 소스 및 드레인 전극 상부층은 상기 소스 드레인 연결패턴의 측면까지 완전히 덮도록 형성하는 것이 특징이다.

[0053] 또한, 상기 게이트 전극은 상기 게이트 배선 자체로서 상기 게이트 전극을 이루며 상기 이중층 구조의 소스 및 드레인 전극은 상기 게이트 배선과 중첩하도록 형성하는 것이 특징이다.

[0054] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.

[0055] <제 1 실시예>

[0056] 도 4는 본 발명의 제 1 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 하나의 화소영역에 대한 평면도이며, 도 5는 도 4를 절단선 V-V를 따라 절단한 부분의 단면도이다.

[0057] 우선, 도 4를 참조하여 본 발명의 제 1 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 평면 형태에 대해 설명한다.

[0058] 도시한 바와 같이, 일방향으로 다수의 게이트 배선(105)이 연장하며 구성되어 있으며, 이러한 다수의 게이트 배선(105)과 교차하여 다수의 화소영역(P)을 정의하며 다수의 데이터 배선(150)이 구성되고 있다.

[0059] 또한 상기 다수의 화소영역(P) 각각에는 이를 정의한 상기 데이터 배선(150)과 게이트 배선(105)과 연결되며 게이트 전극(108)과 게이트 절연막(미도시)과 반도체층(125)과 소스 및 드레인 전극(153, 156)을 구성요소로 하는 박막트랜지스터(Tr)가 형성되어 있다.

[0060] 또한 상기 다수의 화소영역(P) 각각에는 상기 박막트랜지스터(Tr)의 드레인 전극(156)과 연결되며 판 형태를 갖는 화소전극(148)이 형성되어 있으며, 이때 상기 드레인 전극(156)은 이중층 구조를 가지며 그 최상층을 이루는 상부층(146)이 상기 화소전극(148)과 일체형으로 형성된 것이 특징이다.

[0061] 한편, 상기 다수의 화소영역(P)이 형성된 표시영역 전면에는 각 화소영역(P)에 대응하여 상기 판형태의 화소전극(148)과 중첩하며 다수의 슬릿형태의 홀(168)을 갖는 공통전극(미도시)이 형성되고 있으며, 이때 평면도에서는 잘 나타나지 않지만, 상기 화소영역(P) 내에 다수의 슬릿형태의 홀(168)을 가지며 형성된 공통전극(미도시)과 상기 판형태의 화소전극(148) 사이에는 보호층(미도시)이 형성됨으로써 전압이 인가되면 프린지 필드(fringe field)를 형성하는 구조를 이루고 있다.

[0062] 단면 구조를 도시한 도 5를 참조하여 좀 더 구체적으로 본 발명에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 구조에 대해 설명한다.

[0063] 도시한 바와 같이, 투명한 절연기판(101) 상에 저저항 특성을 갖는 금속물질로써 게이트 배선(미도시)과 이와 연결되어 각 화소영역(P)에 게이트 전극(108)이 형성되어 있다.

[0064] 상기 게이트 배선(미도시) 및 게이트 전극(108) 위로는 전면에 게이트 절연막(112)이 형성되어 있으며, 상기 게이트 절연막(112) 위로 상기 게이트 전극(108)에 대응하여 순수 비정질 실리콘의 액티브층(118)과 불순물 비정질 실리콘의 오믹콘택층(122)을 포함하는 반도체층(125)이 형성되어 있으며, 상기 반도체층(125) 상부로 이격하며 이중층 구조를 갖는 소스 및 드레인 전극(153, 156)이 형성되어 있다.

[0065] 이때, 상기 서로 이격하는 소스 및 드레인 전극(153, 156) 사이로는 상기 반도체층(125) 중 액티브층(118)이 노출되고 있다.

[0066] 한편, 상기 게이트 절연막(112) 상부에는 상기 게이트 배선(미도시)과 교차하여 화소영역(P)을 정의하며, 이중층 구조를 갖는 데이터 배선(150)이 형성되어 있으며, 상기 데이터 배선(150)은 상기 이중층 구조를 갖는 소스 전극(153)과 연결되어 있다. 이때 상기 이중층 구조를 갖는 데이터 배선(150)과 상기 게이트 절연막(112) 사이에는 상기 반도체층(125)을 구성하고 있는 동일한 반도체 물질로써 이중층 구조의 반도체 패턴(127)이 형성되고 있다. 상기 데이터 배선(150) 하부에 위치하는 이중층 구조의 반도체 패턴(127)은 제조 방법상의 특이성에 기인한 것이며, 추후 제조 방법을 설명에서 언급한다.

[0067] 한편, 상기 이중층 구조를 갖는 데이터 배선(150)과, 서로 이격하는 소스 및 드레인 전극(153, 156)에 있어, 이들을 이루는 하부층(132, 135, 138)은 저저항 특성을 갖는 금속물질로 이루어지고 있으며, 그 상부층(141, 143, 146)은 투명 도전성 물질로 이루어지고 있는 것이 특징이다.

[0068] 이때, 특히 상기 데이터 배선(150)과 소스 및 드레인 전극(153, 156)에 있어서, 상기 투명 도전성 물질로 이루어진 상부층(141, 143, 146)이 저저항 금속물질로 이루어진 하부층(132, 135, 138)을 포함하여 그 하부에 형성된 상기 반도체 패턴(127) 및 반도체층(125)의 측면까지 덮는 형태로 이루어진 것이 또 다른 구조적 특징이 되

고 있다. 이때 상기 소스 및 드레인 전극(153, 156)에 있어 서로 마주하는 끝단의 측면은 상기 상부층(143, 146)이 형성되지 않고 상기 상부층(143, 146)과 하부층(135, 138) 및 반도체층(125) 중 오믹콘택층(122)과 그 끝단이 일치하는 구조를 갖는다.

[0069] 또한, 상기 게이트 절연막(112) 위로는 각 화소영역(P)에 대응하여 투명 도전성 물질로써 판형태의 화소전극(148)이 형성되어 있으며, 이때 상기 화소전극(148)은 상기 드레인 전극(156) 중 그 상부층(146)과 일체형으로 연결되어 형성되고 있는 것이 특징이다.

[0070] 다음, 상기 화소전극(148)과 데이터 배선(150)과 소스 및 드레인 전극(153, 156) 위로 전면에 보호층(160)이 형성되어 있다. 이때 상기 보호층(160)은, 상기 화소전극(148)과 상기 드레인 전극(156)의 상부층(146)과 일체형으로 형성되어 있는 바, 상기 드레인 전극(156)을 노출시키는 드레인 콘택홀 등은 필요하지 않다.

[0071] 도면에 나타내지 않았지만, 상기 게이트 및 데이터 배선(미도시, 150)의 일끝단이 위치하는 게이트 및 데이터 패드부에 있어서 상기 게이트 및 데이터 배선(미도시, 150)과 각각 연결된 게이트 패드전극(미도시) 및 데이터 패드전극(미도시)을 노출시키기 위한 패드 콘택홀(미도시)이 형성되고 있다.

[0072] 이러한 패드 콘택홀(미도시)을 갖는 보호층(160) 상부에는 투명 도전성 물질로 이루어지며 각 화소영역(P) 내에 형성된 판형태의 상기 화소전극(148)에 대응하여 서로 소정간격 이격하는 바(bar) 형태의 홀(168)을 갖는 공통전극(165)이 형성되어 있다. 도면에 있어서는 각 화소영역(P)별로 상기 바(bar) 형태의 홀(168)이 서로 동일 간격으로 이격하며 3개가 구성되어 있는 것으로 도시되어 있지만, 효율적인 프린지 필드 형성을 위해 2개 내지 10개 정도의 범위 내에서 적당한 개수의 홀이 형성될 수 있다.

[0073] 이후에는 전술한 구조적 특징을 갖는 본 발명의 제 1 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 제조 방법에 대해 설명한다.

[0074] 도 6a 내지 도 6e는 본 발명의 제 1 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 하나의 화소영역에 대한 마스크 공정에 따른 제조 단계별 공정 평면도이며, 도 7a 내지 도 7f는 도 4의 절단선 V-V를 따라 절단한 부분에 대한 제조 단계별 공정 단면도이다. 이때 설명의 편의상 박막트랜지스터가 형성되는 영역을 스위칭 영역이라 정의한다.

[0075] 우선, 도 6a와 도 7a에 도시한 바와같이, 투명한 절연기판(101) 상에 저저항 특성을 갖는 금속물질 예를들면 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 구리(Cu), 구리합금 중 선택된 물질을 전면에 증착하여 금속물질층(미도시)을 형성하고, 이를 포토레지스트의 도포, 포토 마스크를 이용한 노광, 노광된 포토레지스트의 현상, 상기 금속물질층의 식각 및 포토레지스트의 스트립(strip) 등의 일련의 단위 공정을 포함하는 마스크 공정을 진행하여 상기 금속물질층을 패터닝함으로써 일방향으로 연장하는 다수의 게이트 배선(105)과 각 화소영역(P)에 상기 게이트 배선(105)과 연결된 게이트 전극(108)을 형성한다.

[0076] 이때, 도면에 있어서는 상기 게이트 배선(105)과 게이트 전극(108)은 단일층으로 구성된 것을 보이고 있으나, 두 가지 금속물질 예를들면 알루미늄 합금(AlNd) 및 몰리브덴(Mo)이 각각 하부층과 상부층을 이루도록 하여 이중층 구조를 갖도록 형성할 수도 있다.

[0077] 다음, 도 7b에 도시한 바와 같이, 상기 게이트 배선(105) 및 게이트 전극(108) 위로 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착하여 전면에 게이트 절연막(112)을 형성하고, 연속하여 상기 게이트 절연막(112) 상부로 순수 비정질 실리콘과 불순물 비정질 실리콘을 순차적으로 증착함으로써 순수 비정질 실리콘 물질층(113)과 불순물 비정질 실리콘 물질층(114)을 형성한다. 이후, 상기 불순물 비정질 실리콘 물질층(114) 위로 저저항 특성을 금속물질 예를들면 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 구리(Cu), 구리합금 중 하나를 증착함으로써 제 2 금속층(115)을 형성한다.

[0078] 이후, 상기 제 2 금속층(115) 위로 포토레지스트를 도포하여 포토레지스트층(미도시)을 형성한 후 이를 노광 마스크를 이용한 노광 및 현상을 진행함으로써 제 1 포토레지스트 패턴(180)을 형성한다.

[0079] 이때 상기 제 1 포토레지스트 패턴(180)은 데이터 배선이 형성될 부분과 박막트랜지스터가 형성되는 스위칭 영역(TrA)에 대응하도록 형성한다.

[0080] 다음, 도 6b와 도 7c에 도시한 바와 같이, 상기 제 1 포토레지스트 패턴(180) 외부로 노출된 제 2 금속층(도 7b의 115))과 그 하부의 불순물 및 순수 비정질 실리콘 물질층(도 7b의 114, 113)을 식각하여 제거함으로써 상기

게이트 절연막(112) 상부로 상기 게이트 배선(105)과 교차하며, 순수 및 불순물 비정질 실리콘 물질로 이루어진 이중층 구조의 반도체 패턴(127(119, 123))을 포함하는 단일층 구조의 데이터 배선(이후 이를 제 1 데이터 배선 패턴이라 칭함, 132)을 형성하고, 동시에 스위칭 영역(TrA)에 있어서는 상기 게이트 절연막(112) 위로 순수 비정질 실리콘의 액티브층(118)과 그 상부로 불순물 비정질 실리콘의 불순물 비정질 실리콘층(120)을 형성하며, 상기 불순물 비정질 실리콘층(120) 상부에는 그 양끝단이 상기 불순물 비정질 실리콘층(120) 및 액티브층(118)과 일치하는 형태로 단일층 구조의 연결된 상태의 소스 드레인 연결패턴(133)을 형성한다.

[0081] 다음, 도 6c와 도 7d에 도시한 바와같이, 상기 소스 드레인 연결패턴(도 7c의 133)과 제 1 데이터 배선 패턴(132) 상부에 남아있는 포토레지스트 패턴(도 7c의 180)을 스트립(strip)을 진행하여 제거한다.

[0082] 이후, 상기 제 1 데이터 배선 패턴(132)과 소스 드레인 연결패턴(도 7c의 133) 위로 전면에 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 증착함으로써 전면에 제 1 투명 도전성 물질층(미도시)을 형성한다.

[0083] 다음, 상기 제 1 투명 도전성 물질층(미도시) 위로 포토레지스트층(미도시)을 형성하고 이를 패터닝함으로써 상기 제 1 데이터 배선 패턴(132)에 대응하여 이보다 큰 폭을 갖는 제 2 포토레지스트 패턴(183a)을 형성하고, 동시에 스위칭 영역(TrA)에 있어 상기 소스 드레인 연결패턴(도 7c의 133)에 대응하는 상기 제 1 투명 도전성 물질층(미도시) 상에서 서로 이격하는 형태로 제 3 및 제 4 포토레지스트 패턴(183b, 183c)을 형성한다.

[0084] 또한, 상기 제 2, 3 및 제 4 포토레지스트 패턴(183a, 183b, 183c)과 동시에 각 화소영역(P)에 상기 각 화소영역(P)을 정의하는 게이트 및 데이터 배선(105, 150) 내측으로 판형태의 화소전극(148)이 형성될 부분에 대응하여 제 5 포토레지스트 패턴(183d)을 형성한다. 이때 상기 드레인 전극의 상부층(146)을 형성할 상기 제 1 투명 도전성 물질층(미도시) 상에 형성된 제 4 포토레지스트 패턴(183c)과 상기 화소전극(148)을 형성할 상기 제 1 투명 도전성 물질층(미도시) 상에 형성된 제 5 포토레지스트 패턴(183d)은 이격간격 없이 연결된 형태가 되도록 한다.

[0085] 이후 상기 제 2 내지 제 5 포토레지스트 패턴(183a, 183b, 183c, 183d) 외부로 노출된 상기 제 1 투명 도전성 물질층(미도시)을 식각하여 상기 제 1 데이터 배선 패턴(132)에 대응해서 투명 도전성 물질로 이루어진 상부층(이후 이를 제 2 데이터 배선 패턴이라 칭함, 141)을 형성함으로써 이중층 구조의 데이터 배선(150)을 이루도록 한다.

[0086] 이때, 상기 투명 도전성 물질로 이루어진 제 2 데이터 배선 패턴(141)은 상기 제 1 데이터 배선 패턴(132)의 상면 이외에 그 측면과 상기 제 1 데이터 배선 패턴(132)의 하부에 위치한 이중층 구조의 반도체 패턴(127)의 측면까지 완전히 덮는 형태가 되도록 형성하는 것이 특징이다. 이는 상기 제 2 포토레지스트 패턴(183a)을 상기 제 1 데이터 배선 패턴(132)의 폭보다 큰 폭을 갖도록 형성함으로써 상기 데이터 배선(150)의 측면에 형성된 제 1 투명 도전성 물질층(미도시)이 식각 진행시 상기 제 2 포토레지스트 패턴(183a)에 의해 보호되어 제거되지 않았기 때문이다.

[0087] 한편, 상기 제 1 투명 도전성 물질층(미도시)의 식각에 의해 상기 제 2 데이터 배선 패턴(141) 이외에 스위칭 영역(TrA)에 있어서는 서로 이격하는 형태로 상기 소스 드레인 연결패턴(도 7c의 133)의 중앙부를 노출시키며 소스 및 드레인 전극(153, 156)의 상부층(143, 143)이 형성되며, 동시에 화소영역(P)에 있어서는 판 형태의 화소전극(148)을 형성하게 된다.

[0088] 이때 상기 소스 및 드레인 전극(153, 156)의 상부층(143, 146)은 서로 이격하여 마주하는 측면을 제외하고는 상기 소스 및 드레인 전극(153, 156)의 하부층(135, 138)과 그 하부의 불순물 비정질 실리콘층(도 7c의 120) 및 액티브층(118)의 측면을 덮는 형태로 형성되는 것이 특징이다. 이는 상기 제 3 및 제 4 포토레지스트 패턴(183b, 183c)을 상기 연결된 형태의 소스 드레인 연결패턴(도 7c의 133)과 그 하부의 불순물 비정질 실리콘층(도 7c의 120)과 액티브층(118)의 측면까지 가리도록 형성했기 때문이다.

[0089] 이후 제 1 건식식각을 진행함으로써 스위칭 영역(TrA)에 있어서는 상기 소스 드레인 전극(153, 156)의 상부층(143, 146) 외부로 노출된 소스 드레인 연결패턴(도 7c의 133)을 제거함으로써 서로 이격하는 형태의 소스 드레인 전극(153, 156)의 하부층(135, 138)을 형성한다.

[0090] 따라서, 현 단계에서 상기 소스 및 드레인 전극(153, 156)은 저저항 금속물질로 이루어진 하부층(135, 138)과, 제 1 투명 도전성 물질로 이루어진 상부층(143, 146)의 이중층 구조를 이루게 된다. 이때, 상기 제 1 건식식각은 상기 소스 및 드레인 전극(153, 156)의 상부층(143, 146)에 의해 가려진 부분에 대해서는 전혀 영향을 주지 않게 되는 바, 상기 소스 및 드레인 전극(153, 156)의 하부층(135, 138)의 끝단과 불순물 비정질 실리콘층(도

7c의 120) 및 액티브층(118)의 끝단은 여전히 일치한 상태를 유지하게 된다.

[0091] 다음, 상기 이중층 구조의 소스 및 드레인 전극(153, 156) 사이로 노출된 불순물 비정질 실리콘층(도 7c의 120)을 제 2 건식식각을 진행하여 제거함으로써 상기 액티브층(118) 상에 서로 이격하는 오믹 콘택층(122)을 이루도록 한다.

[0092] 한편, 본 발명의 경우, 상기 서로 이격하는 소스 및 드레인 전극(153, 156)과 서로 이격하는 오믹 콘택층(122)을 형성하기 위한 상기 제 2 건식식각 진행 시 상기 소스 드레인 연결패턴(도 7c의 133)의 양끝단과 단일층 형태의 데이터 배선(132)은 제 1 투명 도전성 물질층(미도시)에 의해 가려져 있는 구조가 되며, 상기 제 1 및 제 2 건식식각에 의해 상기 제 1 투명 도전성 물질층(미도시)에 의해 가려진 부분이 식각되는 일이 없는 제조 공정이 진행됨으로써 최종적으로 상기 이중층 구조의 소스 및 드레인 전극(153, 156)의 양끝단에 있어서 저저항 금속물질로 이루어진 하부층(135, 138)과 그 하부의 반도체층(125) 더욱 정확히는 오믹콘택층(122) 및 액티브층(118)이 일치하는 구조를 이루게 된다.

[0093] 따라서, 상기 반도체층(125)이 소스 및 드레인 전극(153, 156) 외부로 노출됨으로써 외부광에 노출되어 발생하는 누설전류의 발생을 억제하게 되는 바, 웨이비 노이즈의 발생을 원천적으로 방지하는 구조가 되는 것이 특징적인 것이 된다.

[0094] 다음, 도 6d와 도 7e에 도시한 바와 같이, 상기 이중층 구조의 소스 및 드레인 전극(153, 156)과 이중층 구조의 데이터 배선(150)과 화소전극(148) 상부에 남아있는 제 2 내지 제 5 포토레지스트 패턴(도 7d의 183a, 183b, 183c, 183d)을 스트립(strip)을 진행하여 제거한다.

[0095] 이후, 상기 새롭게 노출된 이중층 구조를 갖는 데이터 배선(150)과 소스 및 드레인 전극(153, 156)과 판형태의 화소전극(148) 위로 전면에 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착하거나 또는 유기절연물질 예를들면 벤조사이클로부텐(BCB) 또는 포토아크릴(photo acryl)을 도포함으로써 보호층(160)을 형성한다. 도면(도 7e)에 있어서는 유기절연물질을 비교적 두껍게 도포함으로써 그 표면이 평탄한 형태의 보호층(160)이 형성됨을 일례로 보이고 있다.

[0096] 이후 도면에 나타나지 않았지만, 상기 보호층(160)에 대해 마스크 공정을 진행함으로써 상기 게이트 및 데이터 배선(105, 150)의 일끝단이 위치한 게이트 및 데이터 패드부(미도시)에 있어 상기 게이트 및 데이터 배선(105, 150)의 일끝단을 노출시키는 게이트 및 데이터 패드홀(미도시)을 형성한다. 이때 노출된 게이트 및 데이터 배선(105, 150)의 일끝단은 각각 게이트 패드전극(미도시)과 데이터 패드전극(미도시)을 이루게 된다. 이때 평면도인 도 6d는 상기 게이트 및 데이터 패드홀을 갖는 보호층(160)이 도시되지 않았으므로 실질적으로 도 6c와 동일한 도면이 되고 있다.

[0097] 다음, 도 6e와 도 7f에 도시한 바와 같이, 상기 게이트 및 데이터 패드홀(미도시)을 갖는 보호층(160) 위로 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 증착하여 제 2 투명 도전성 물질층(미도시)을 형성하고, 이를 패터닝함으로써 상기 기판(101)상의 다수의 화소영역(P)으로 이루어진 표시영역(미도시) 전면에 공통전극(165)을 형성한다. 이때 상기 공통전극(165)은 상기 각 화소영역(P)에 대응해서는 다수의 서로 소정간격 이격하는 바(bar) 형태의 홀(168)이 형성된 것이 특징이다.

[0098] 또한, 도면에 나타나지 않았지만, 상기 바(bar) 형태의 다수의 홀(168)을 갖는 공통전극(165)을 형성함과 동시에 게이트 및 데이터 패드부(미도시)에 대응해서는 각각 상기 게이트 패드전극(미도시)과 데이터 패드전극(미도시)과 각각 게이트 및 데이터 패드홀(미도시)을 통해 접촉하는 보조 게이트 패드전극(미도시)과 보조 데이터 패드전극(미도시)을 형성한다. 이때 상기 보조 게이트 패드전극(미도시)과 보조 데이터 패드전극(미도시)은 생략할 수 있다.

[0099] 상기 각각의 보조 게이트 패드전극(미도시)과 보조 데이터 패드전극(미도시)은 이격하여 형성됨으로써 각각이 전기적으로 절연된 상태를 가지며, 상기 표시영역(미도시) 전면에 형성된 공통전극(165)과도 이격하여 형성됨으로써 서로 전기적으로 절연상태가 되는 것이 특징이다.

[0100] 이때 상기 표시영역(미도시) 전면에 형성된 공통전극(165)은 그 일부가 배선 형태로 게이트 및 데이터 패드부(미도시)까지 연장 형성됨으로써 상기 게이트 및 데이터 패드부(미도시)와 연결되는 외부 구동회로기판(PCB : printed circuit board, 미도시)으로부터 공통전압을 인가받는 구조가 된다.

[0101] 전술한 바와 같이 제조된 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판(101)은 슬릿영역을 갖는 슬릿 노광마스크를 통한 회절노광 또는 하프톤 영역을 갖는 하프톤 노광 마스크를 이용한 하프톤 노광을 실시하지 않

으므로, 소스 및 드레인 전극의 양끝단 외부로 반도체층이 노출되지 않는 구조가 되는 바 웨이비 노이즈를 방지하는 특징을 가지며, 나아가 투명 도전성 물질로 이루어진 화소전극(148)과 공통전극(165)을 통해 프린지 필드를 형성함으로써 시야각 특성이 우수하며 동시에 휘도 특성이 일반적인 횡전계형 액정표시장치용 어레이 기판 대비 우수한 특성을 갖는다.

[0102] <제 2 실시예>

[0103] 본 발명의 제 2 실시예에 따른 프린지 필드 액정표시장치용 어레이 기판은 전술한 제 1 실시예에 따른 어레이 기판에 있어 화소영역 내부에 형성되는 스위칭 소자인 박막트랜지스터를 게이트 배선 상에 구현함으로써 제 1 실시예 대비 화소영역의 개구율을 더욱 향상시킨 것을 특징으로 한다. 이 경우 그 단면 구조에 있어서는 제 1 실시예와 동일한 구조를 갖는 바, 그 평면 구조에 대해서만 설명한다.

[0104] 도 8은 본 발명의 제 2 실시예에 따른 프린지 필드 액정표시장치용 어레이 기판의 하나의 화소영역에 대한 평면도이다.

[0105] 도시한 바와 같이, 일방향으로 다수의 게이트 배선(205)이 연장하며 구성되어 있으며, 이러한 다수의 게이트 배선(205)과 교차하여 다수의 화소영역(P)을 정의하며 다수의 데이터 배선(250)이 구성되고 있다.

[0106] 또한, 상기 다수의 화소영역(P) 각각을 정의하는 각 게이트 배선(205) 상에는 상기 게이트 배선(205) 일부를 게이트 전극(208)으로 하고 이러한 게이트 전극(208)과 중첩하며 형성된 반도체층(225)과 상기 반도체층(225) 위로 상기 각 데이터 배선(250)에서 상기 각 게이트 배선(205)과 중첩하며 분기한 형태의 소스 전극(253)과 상기 소스 전극(253)과 상기 반도체층(225) 상에서 이격하며 형성된 드레인 전극(256)을 구성요소로 하는 박막트랜지스터(Tr)가 형성되어 있다.

[0107] 이때 상기 박막트랜지스터(Tr)의 소스 및 드레인 전극(253, 256)은 제 1 실시예와 동일하게 저저항 금속물질로 이루어진 하부층(235, 238)과 투명 도전성 물질로 이루어진 상부층(243, 246)의 이중층 구조를 이루고 있으며, 상기 드레인 전극(256)의 상부층(246)은 상기 각 화소영역(P) 내에 형성된 판형태의 화소전극(248)과 일체형으로 형성되고 있는 것이 특징이다.

[0108] 또한, 상기 화소전극(248)과 중첩하며 각 화소영역(P) 내에 다수의 이격하는 바(bar) 형태의 홀(268)을 구비한 공통전극(미도시)이 보호층(미도시)을 개재하여 표시영역(미도시) 전면에 형성되고 있다.

[0109] 전술한 구성을 갖는 본 발명의 제 2 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판(201)의 경우, 스위칭 소자인 박막트랜지스터(Tr)가 도시한 바와같이 게이트 배선(205) 상에 위치하는 구조를 가짐으로써 화소영역(P)의 개구율을 향상시킴으로써 휘도 특성을 극대화한 것이 특징이다.

[0110] 이러한 구조를 갖는 제 2 실시예 어레이 기판의 제조 방법은 박막트랜지스터의 형성 위치만이 차이가 있을 뿐 전술한 제 1 실시예에 따른 제조 방법과 동일하므로 그 설명은 생략한다.

[0111]

발명의 효과

[0112] 본 발명에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판은 5마스크 공정을 진행하여 제작함에도 불구하고 그 제조 방법에 따른 특성 상 소스 및 드레인 전극 양 끝단에 있어 상기 소스 및 드레인 전극 외부로 반도체층 노출되지 않는 구조가 되는 바, 누설전류에 의한 웨이비 노이즈를 방지하는 효과가 있다.

[0113] 또한 투명 도전성 물질로 이루어진 공통전극과 화소전극을 통해 프린지 필드를 구현함으로써 시야각을 향상시키는 동시에 휘도 특성을 향상시키는 효과가 있다.

[0114] 또한, 스위칭 소자인 박막트랜지스터를 게이트 배선 상에 중첩하여 형성함으로써 개구율을 높여 휘도를 더욱 향상시키는 효과를 갖는다.

도면의 간단한 설명

[0001] 도 1은 일반적인 횡전계형 액정표시장치의 일부를 개략적으로 도시한 단면도.

[0002] 도 2a, 2b는 일반적인 횡전계형 액정표시장치의 온(on), 오프(off) 상태의 동작을 각각 도시한 단면도.

[0003] 도 3은 종래의 프린지 필드 스위칭 모드 액정표시장치의 어레이 기판에 있어 하나의 화소영역에 대한 단면도.

[0004] 도 4는 본 발명의 제 1 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 하나의 화소영역에 대한 평면도이며, 도 5는 도 4를 절단선 V-V를 따라 절단한 부분의 단면도.

[0005] 도 6a 내지 도 6e는 본 발명의 제 1 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 하나의 화소영역에 대한 마스크 공정에 따른 제조 단계별 공정 평면도.

[0006] 도 7a 내지 도 7f는 도 4의 절단선 V-V를 따라 절단한 부분에 대한 제조 단계별 공정 단면도.

[0007] <도면의 주요부분에 대한 간단한 설명>

[0008] 101 : 기판 108 : 게이트 전극

[0009] 112 : 게이트 절연막 118 : 액티브층

[0010] 122 : 오믹콘택층 125 : 반도체층

[0011] 127 : 반도체 패턴 132 : 데이터 배선 하부층

[0012] 135 : 소스 전극 하부층 138 : 드레인 전극 하부층

[0013] 141 : 데이터 배선 상부층 143 : 소스 전극 상부층

[0014] 146 : 드레인 전극 상부층 148 : (판형태의)화소전극

[0015] 150 : (이중층의)데이터 배선 153 : (이중층의)소스 전극

[0016] 156 : (이중층의)드레인 전극 160 : 보호층

[0017] 165 : 공통전극 168 :(바(bar) 형태의) 홀

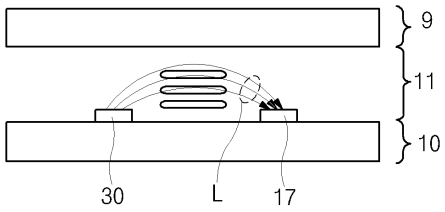
[0018] P : 화소영역 Tr : 박막트랜지스터

[0019] TrA : 스위칭 영역

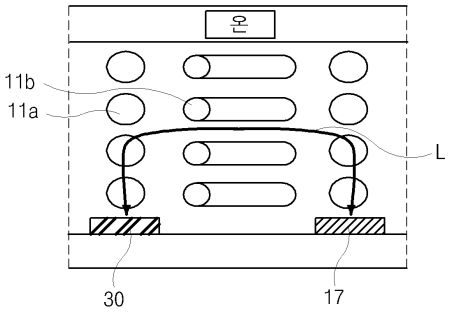
[0020]

도면

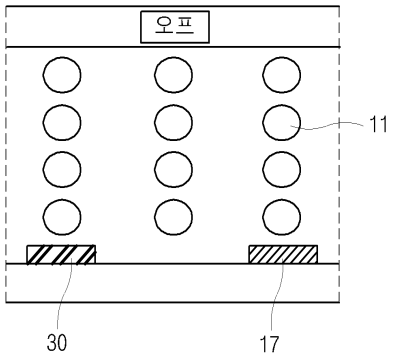
도면1



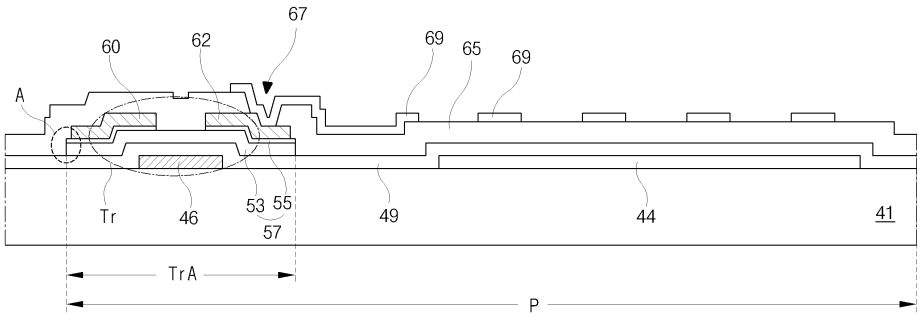
도면2a



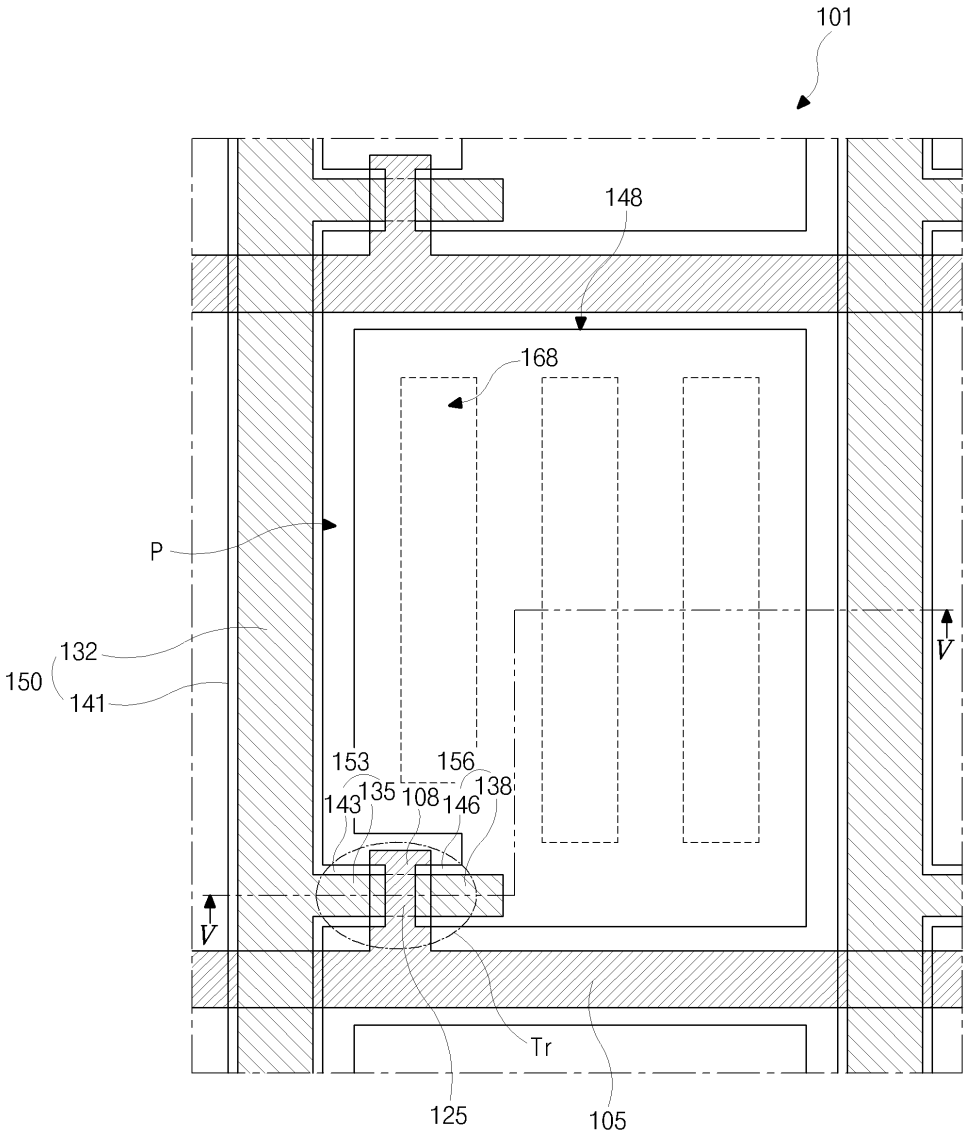
도면2b



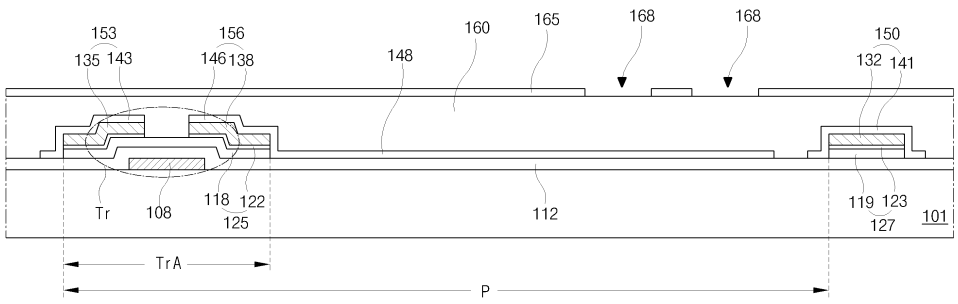
도면3



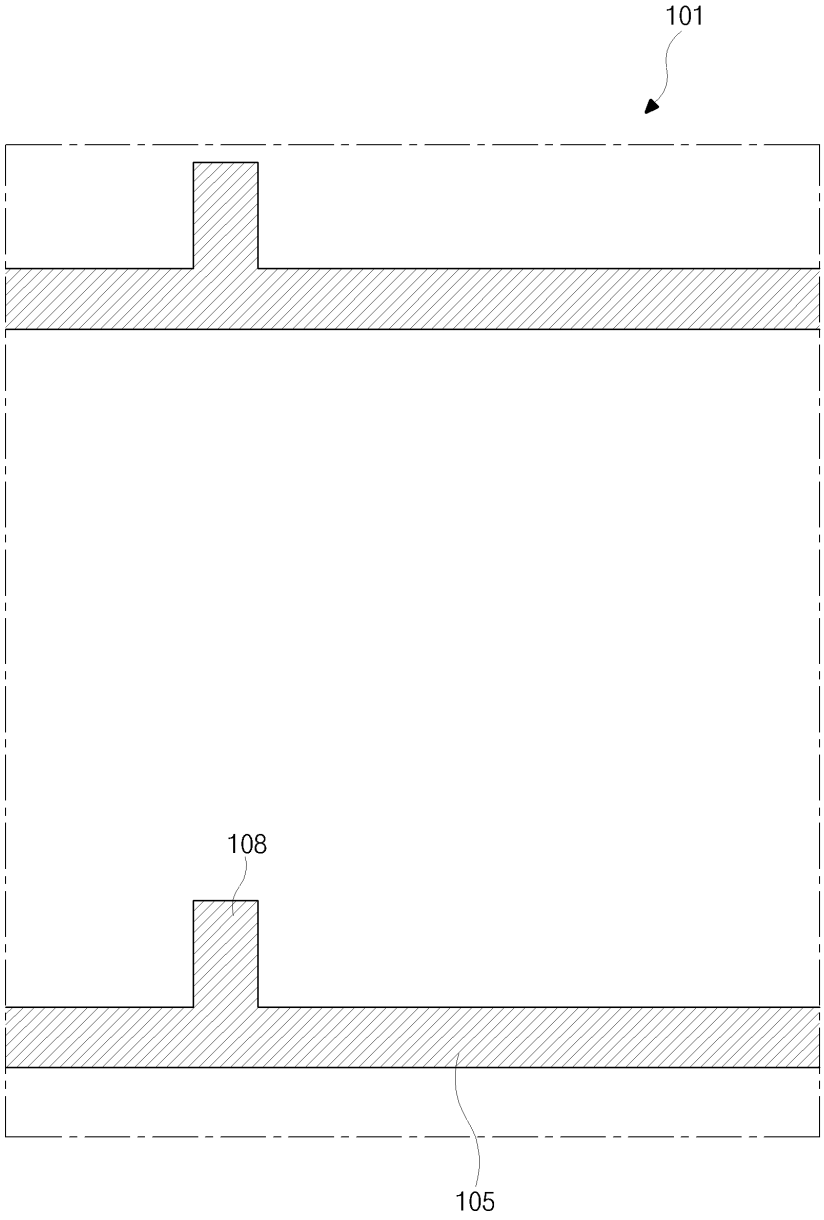
도면4


101
148
168
P
132
150
141
V
153
156
135
108
146
138
143
V
Tr
125
105

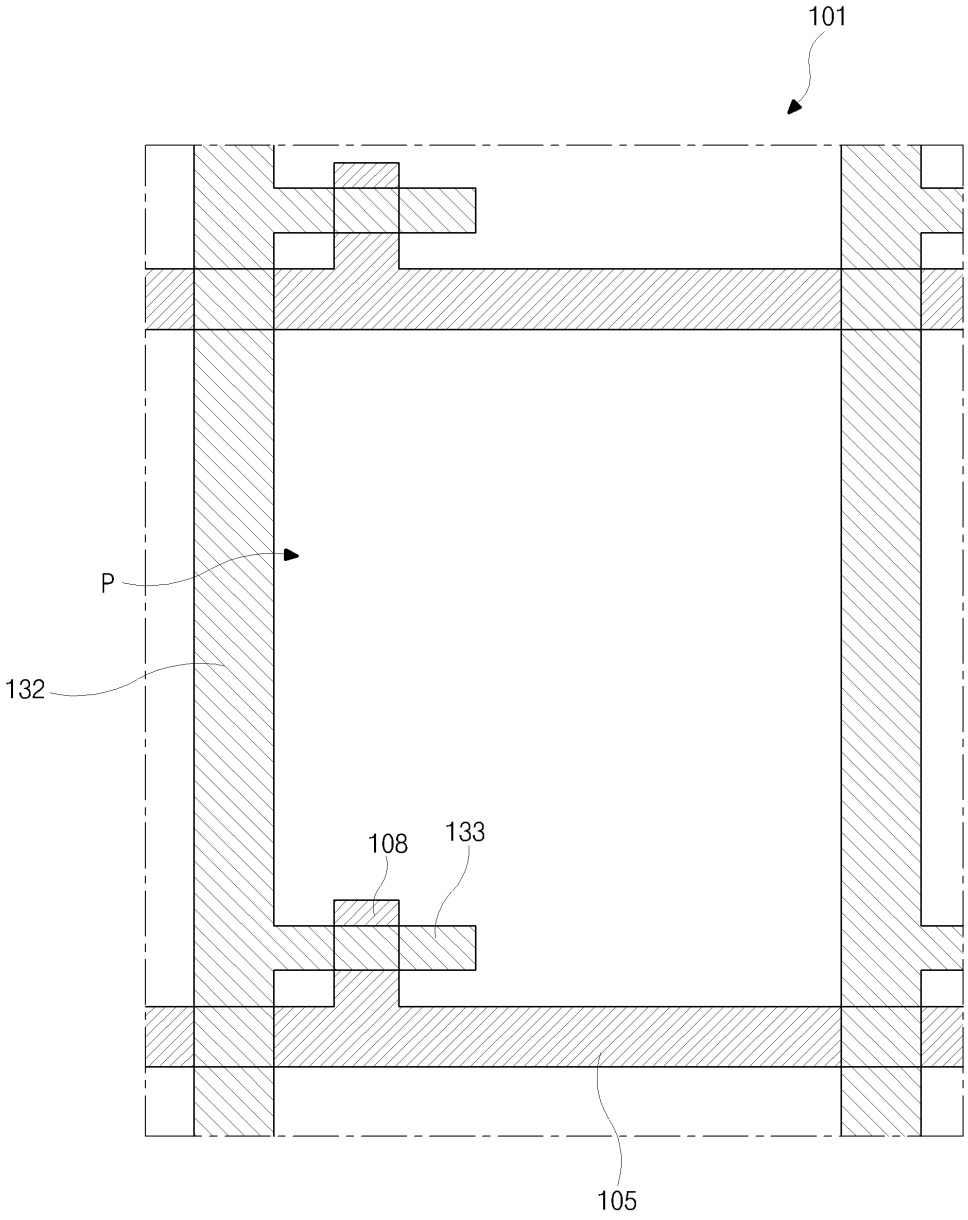
도면5


153
135
143
156
146
138
148
160
165
168
168
150
132
141
Tr
108
118
125
122
112
119
127
123
101
TrA
P

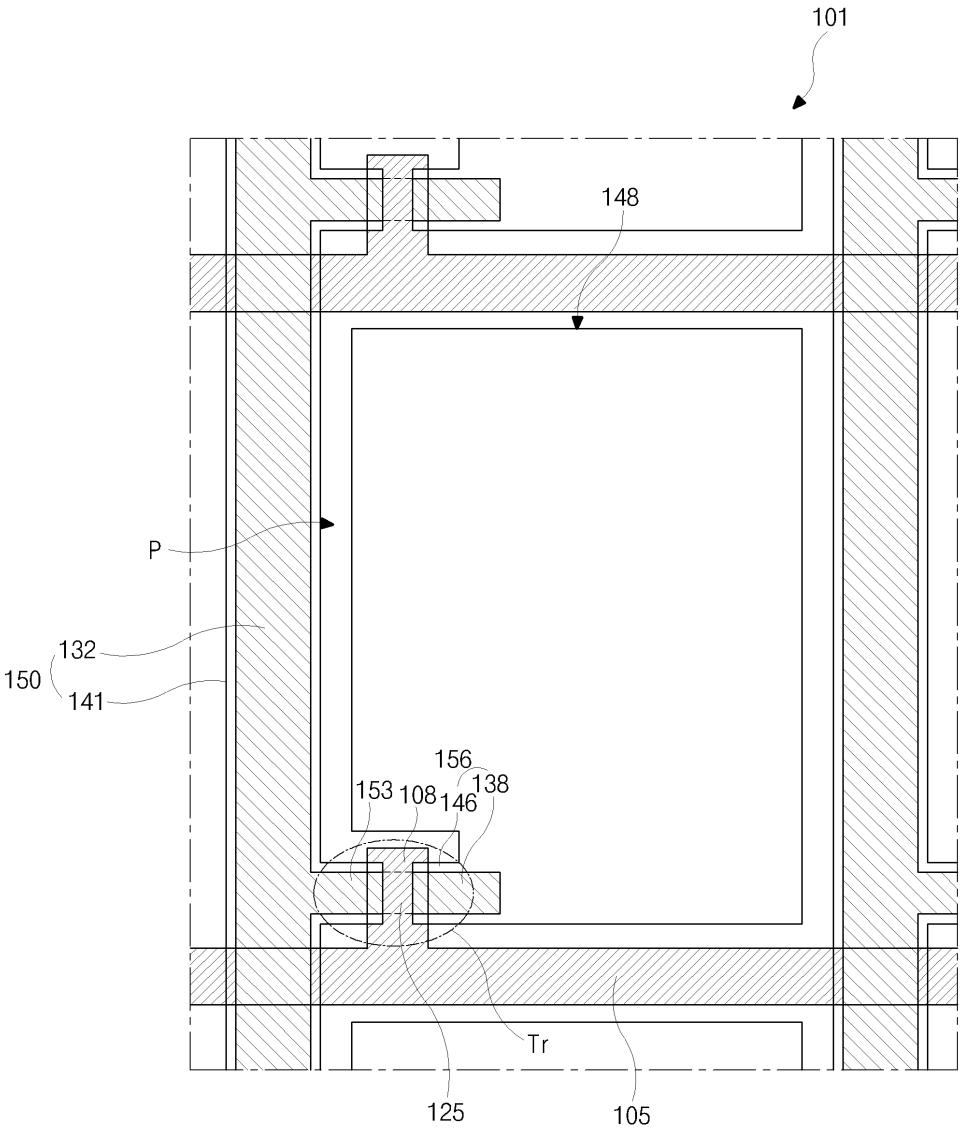
도면6a



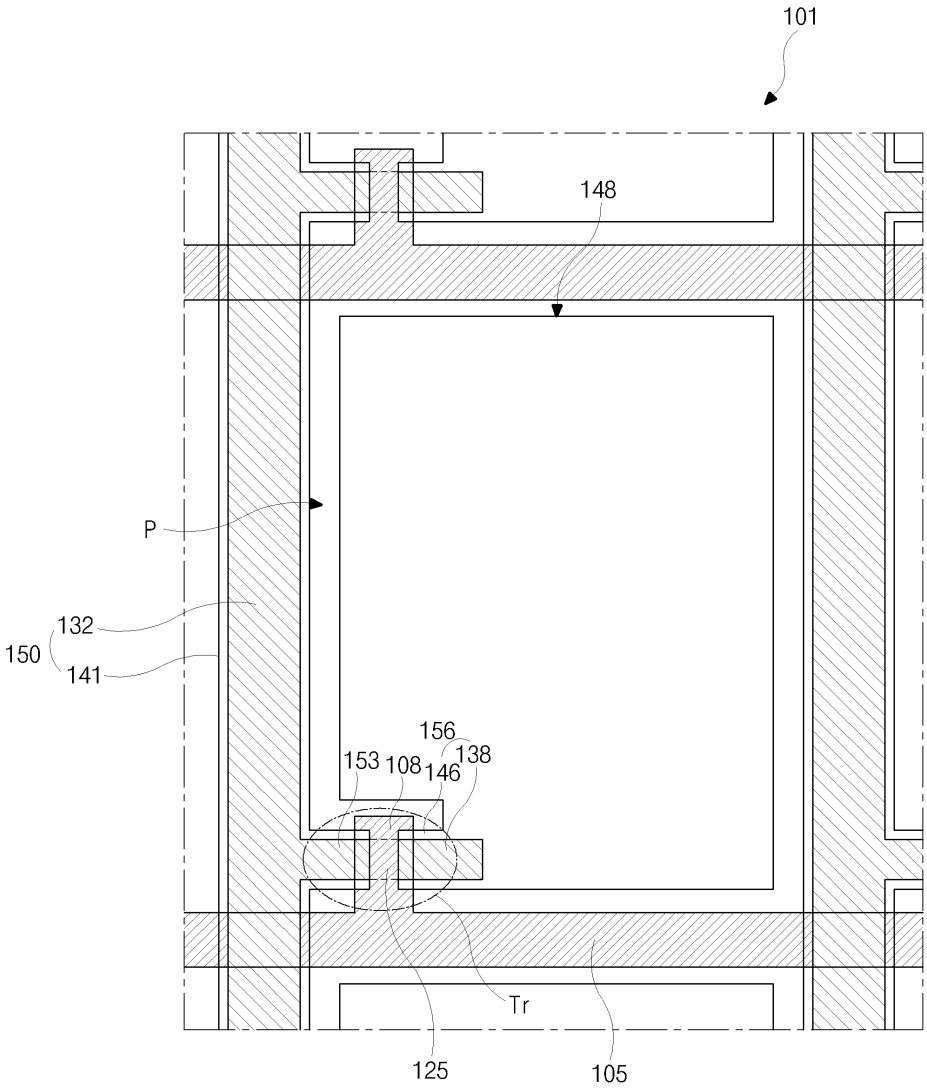
도면6b



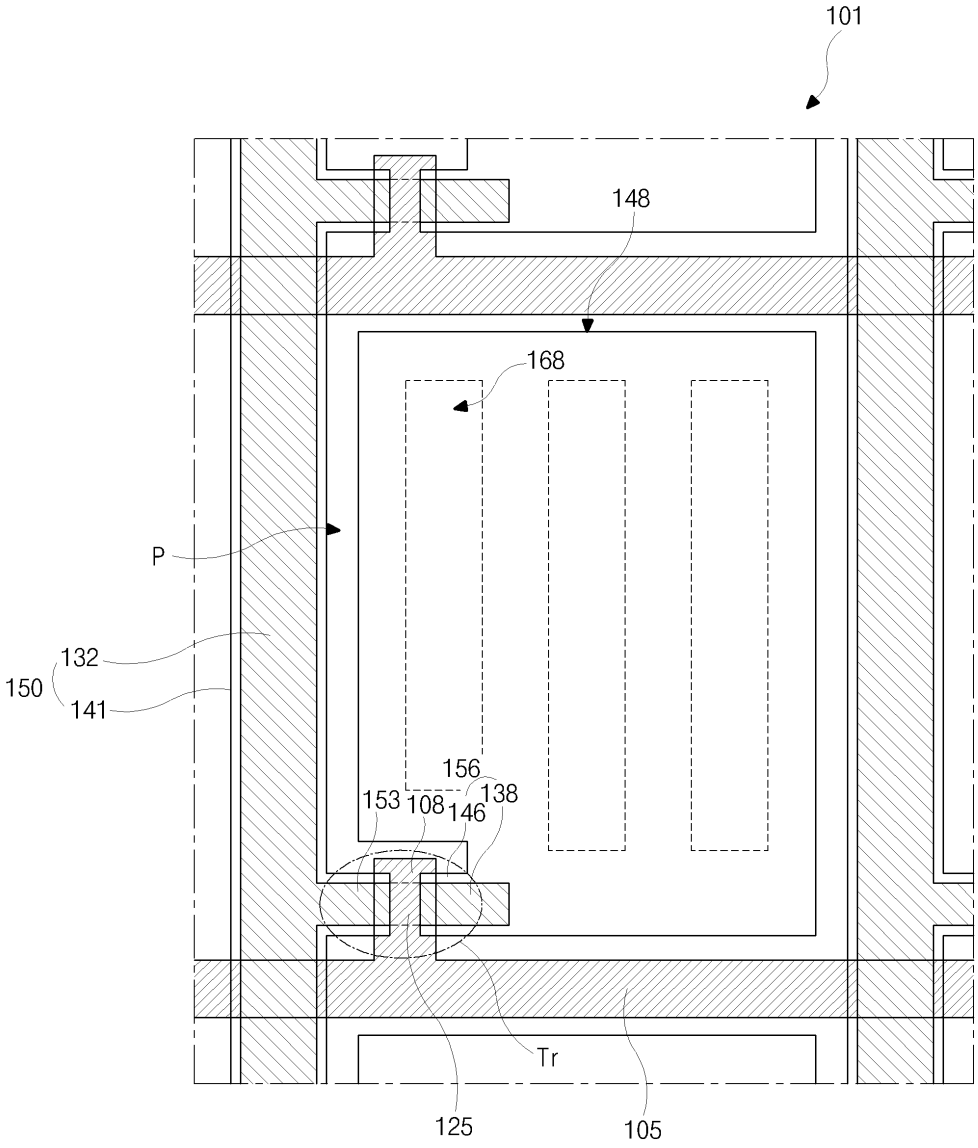
도면6c



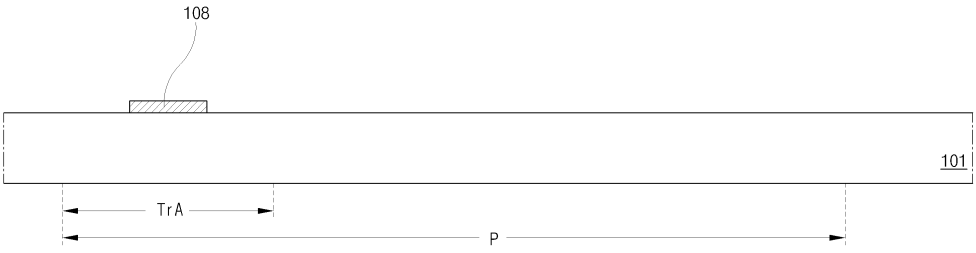
도면6d



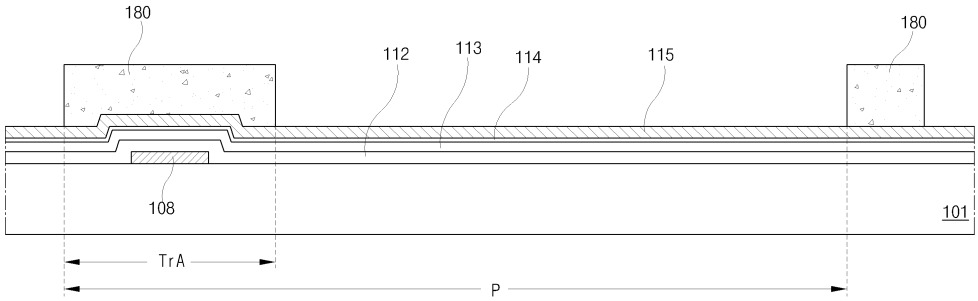
도면6e


101
148
168
P
132
150
141
156
153
108
146
138
Tr
125
105

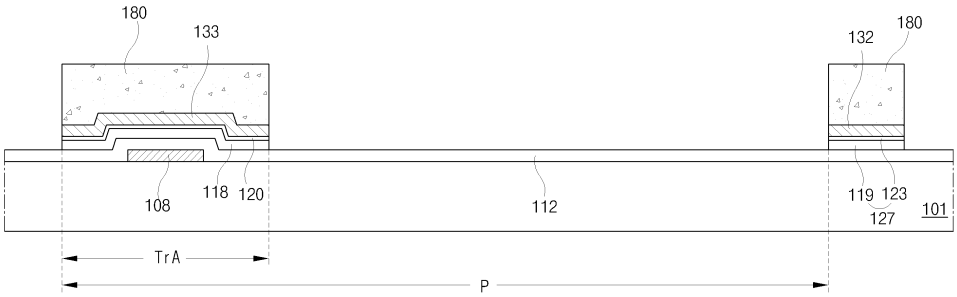
도면7a


108
101
TrA
P

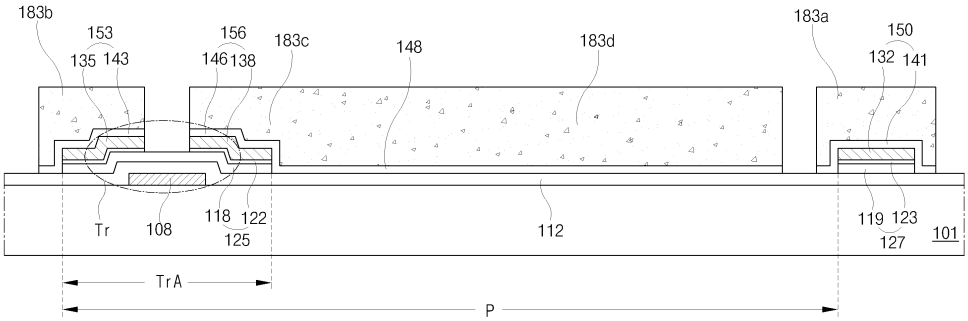
도면7b



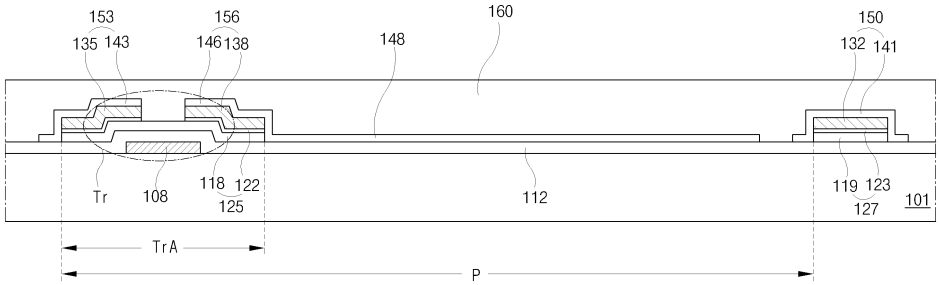
도면7c



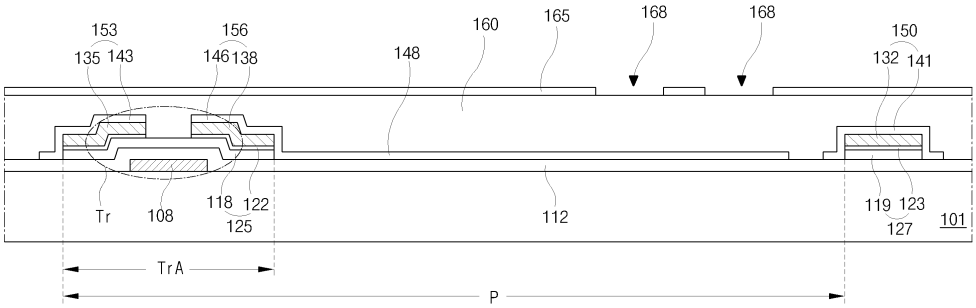
도면7d



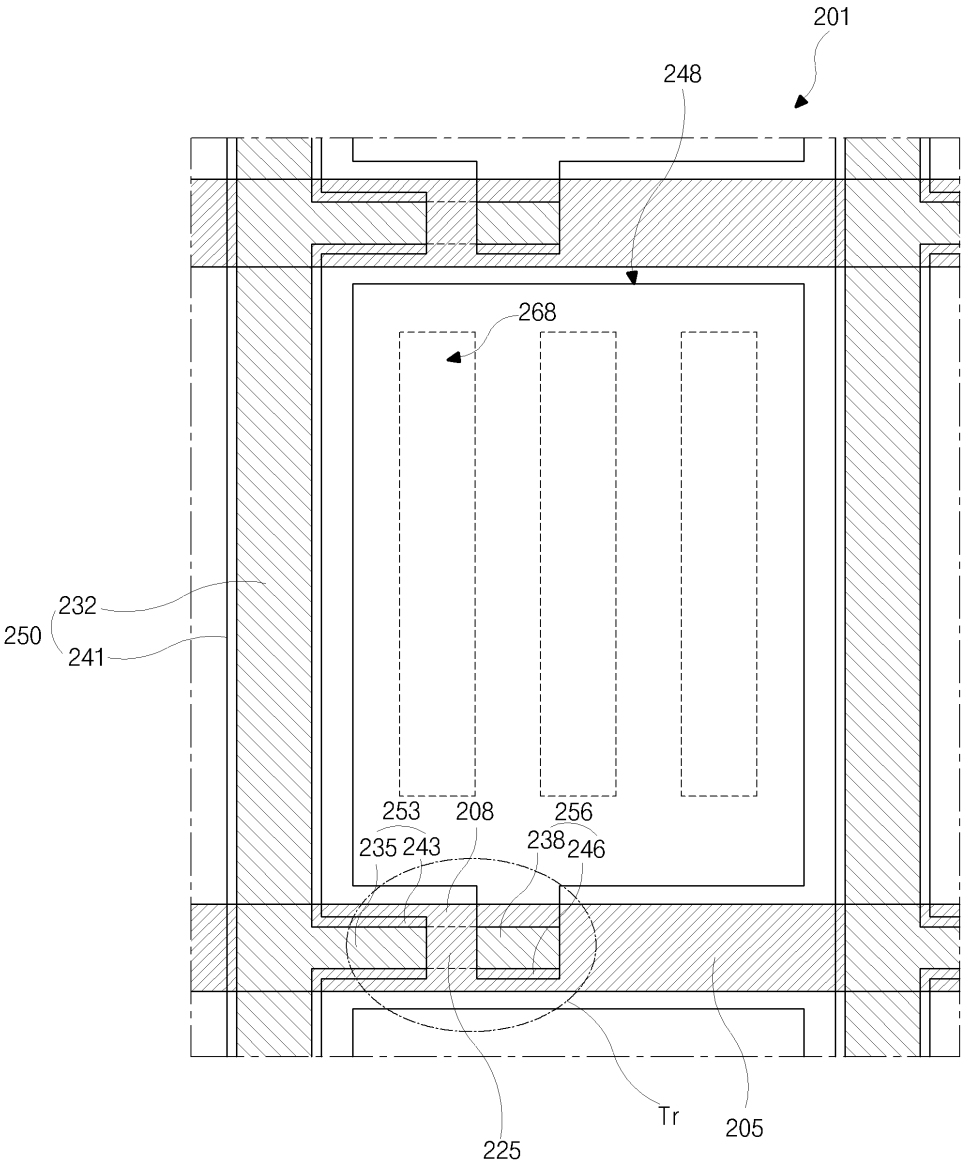
도면7e


153
135 143
156
146 138
148
160
150
132 141
Tr
108
118 122
125
112
119 123
127
101
TrA
P

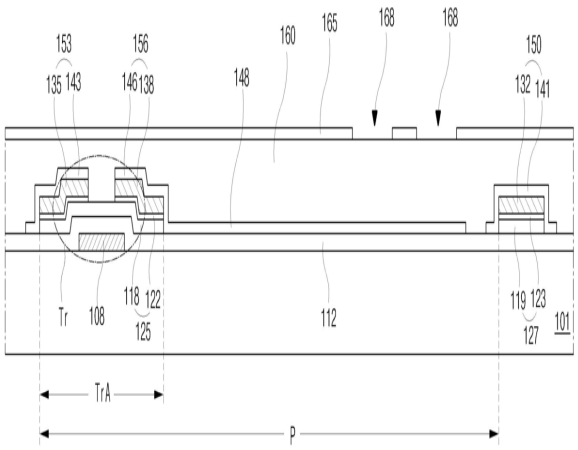
도면7f


153
135 143
156
146 138
148
160
165
168
168
150
132 141
Tr
108
118 122
125
112
119 123
127
101
TrA
P

도면8



专利名称(译)	标题：用于边缘场切换模式液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR101294232B1	公开(公告)日	2013-08-07
申请号	KR1020070056099	申请日	2007-06-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SONG IN DUK 송인덕 LIM BYOUNG HO 임병호		
发明人	송인덕 임병호		
IPC分类号	G02F1/1343 G02F		
CPC分类号	G02F1/1368 G02F1/134363 H01L27/1214 G02F2001/134372 H01L27/124 G02F1/136286 H01L29/458		
其他公开文献	KR1020080107821A		
外部链接	Espacenet		

摘要(译)

本发明提供一种用于液晶显示器的边缘场切换模式阵列基板，包括公共电极，该公共电极包括像素电极，该像素电极具有在漏电极的上层中延伸的片状结构并且在像素区域中向上形成，同时具有两层在形成与栅极布线向上交叉的同时形成结构，同时具有覆盖该结构的子层的上层的两层结构，两端与上述半导体层的两端重合，而彼此分离在上述半导体层上限定像素区域，栅极绝缘层向上对应于栅电极并且形成为向上形成有栅电极：栅极布线和连接到栅极布线的栅电极形成在基板上，同时在特定方向上延伸并且具有条形的孔形状同时包括向上形成有源的保护层，d雨电极和像素电极，以及保护层，向上，透明导电材料对应于像素区域并且它分离。边缘场，液晶显示器，孔径比，亮度，波状噪声，漏电流。